

VESA LOGO HERE

VESA建议的DisplayPort (DP) 标准

版本1.4 D1

2015年11月3日

www.vesa.org

目的

本文档的目的是定义一个灵活的系统和设备，能够通过数字通信接口在源设备和水槽设备之间传输视频，音频和其他数据。



概括

DisplayPort™标准指定开放的数字通信接口，用于在两个内部连接中，例如PC或Monitor中的接口以及外部显示连接。合适的外部显示连接包括PC和监视器或投影仪，PC和电视之间的接口，或DVD播放器和电视显示器等设备之间的接口。

对DP v1.1a进行了修订以纠正勘误项并在DP v1.1中添加澄清。

对DP V1.2进行了修订，以添加增强功能，包括更高速度操作，更灵活的拓扑管理，单个连接的多个流，更高速度的辅助通道通信，改善对音频的支持以及新的较小的连接器。它还纠正了错误，并在DP V1.1A中添加了澄清。此版本纠正了错误并将澄清添加到DP v1.2。此外，此版本将DP_PWR电压级别选项添加到下游DisplayPort设备。

对DP v1.2a进行了修订以纠正勘误项，并在DP v1.2中添加澄清。

对DP V1.3进行了修订，以添加8.1GBPS/车道的链接率和客厅友好性的改善，既可以直接连接到客厅显示器，又可以通过DP-HDMI转换器连接。

对DP V1.4进行了修订，以添加VESA显示流压缩（DSC）传输支持视觉上的无损8KP/10KP60Hz视频以及在192KHz的32频道LPCM音频的完整扩展以及HBR 8通道音频高达1536KHz的音频。对于无视的无故障DSC Bitstream传输，添加了Reed Solomon (254, 250) 正向误差校正（FEC）。除了纯粹的视频和音频传输带宽增加外，DP v1.4还结合了静态和动态高动态范围（HDR）的元数据传输。此外，DP V1.4增强了多流传输（MST）功能，以更好地启用多功能功能。

Contents

目的	1
1个摘要	1
知识产权	2
4商标	2
.24专利	2
.25支持此标准	2
.28致谢	2
介绍	2
1.1 DisplayPort标准组织	2
.28修订历史	2
38.1.2 DisplayPort目标	2
.30	2
.39 1.2.1关键行业需求DisplayPort	2
ort技术目标	2
.40 1.2.2 DisplayPort外部连接目标	2
.41 1.2.4显示内部连接目标	2
.42 1.2.5 DisplayPort CE连接目标	2
.42 1.2.6 DisplayPort的内容保护	2
.43 1.3首字母缩写，初始化和缩写	2
.44 1.4词汇表	2
.49 1.5参考文档	2
.55 1.6位和字节顺序的命名法	2
.58 1.6.1位排序	2
1.7.1主链接的化妆	2
节排序	2
.60 1.7.2 Aux Ch	2
.59 1.7 DisplayPort概述	2
.62 1.7.3链接配置和管理	2
.60	2
.62 1.7.4分层模块化体系结构	2
链接层	2
2.1 SST模式简介	2
2.1.1车道数量和每车道数据速率（适用于SST和MST模式）	2
.65 2.1.2 SST模式下的主要，未压缩视频流的数量	2
.65 2.1.3基本功能（适用于SST和MST模式）	2
.65 2.1.4 SST模式下的DisplayPort设备类型和链接拓扑	2
.66	2

2.2在SST模式下的等应运输服务。	71
2.2.1主流到源设备中的主链路泳道映射。	72
2.2.2流设备中的流重建。	122
2.2.3流时钟再生。	122
2.2.4主流属性数据传输。	126
2.2.5 SDP格式。	136
2.2.6 E	209
2.3 AUX CH状态和仲裁。	215
2.3.1 AUX CH状态概述。	215
2.3.2 链接层仲裁控制。	220
2.3.3政策制定辅助服务。	220
2.3.4详细的DPTX AUX CH状态和事件描述。	221
2.3.5详细的DPRX AUX CH状态和事件描述。	222
2.4 DP MST等速运输服务的概述。	223
2.4.1面向连接的运输。	225
2.4.2 DP等级运输服务层。	227
2.4.3边带CH通信。	231
2.5拓扑管理层。	232
2.5.1 MST DP设备和设备类型的原始图。	233
2.5.2 MST拓扑。	236
2.5.3 MST设备标识。	237
2.5.4拓扑经理和拓扑助理。	239
2.5.5拓扑发现。	240
2.5.6拓扑维护。	241
2.5.7具有仅SST源设备的拓扑。	242
2.5.8循环处理。	243
2.6 MST操作。	248
2.6.1路径约束的枚举。	258
2.6.2基于多通传输数据包的链接定时生成。	259
2.6.3符号序列映射到VC有效载荷中。	270
2.6.4时间插槽计数分配给VC有效载荷。	270
2.6.5 VC有效载荷分配同步管理。	280
2.6.6 Allocate_Payload Fiming序列。	285
2.6.7各种事件对VC有效载荷ID表的影响。	293
2.6.8鲁棒性要求。	296
2.6.9控制功能，控制符号和K代码分配。	297
2.6.10 MST和SST符号映射之间的转换。	298
2.6.11 MTPH在MST模式下用于CP扩展。	300
2.7压缩显示流传输服务。	302
2.7.1传输缓冲区模型。	302
2.7.2配置 - 发现，启用和禁用。	303
2.7.3每行要求最小切片。	306

2.8曼彻斯特交易格式中的AUX交易语法。	309
2.8.1命令定义。	311
2.8.2 AUX交易响应/回复超时。	314
2.8.3本机AUX请求交易语法。	314
2.8.4本机AUX回复交易语法。	315
2.8.5 I2C总线交易映射到AUX语法。	316
2.8.6 I2C交易转换为本机AUX交易（信息性）。	336
2.8.7 I2C-Ever-Aux交易澄清和实施规则。	336
2.9辅助服务。	352
2.9.1流传输启动序列。	353
2.9.2流传输终止序列。	354
2.9.3 DPCD字段地址映射。	355
2.9.4 AUX链接服务。	477
2.9.5辅助设备服务。	483
2.10 EDP的替代扰流器重置。	484
2.10.1协议分化方法。	484
2.10.2符号错误率测量模式输出（信息性）。	484
2.11消息辅助客户端。	486
2.11.1消息辅助客户端层。	488
2.11.2消息交易层。	490
2.11.3边带味觉层。	500
2.11.4用于消息传递AUX客户端的AUX支持。	506
2.11.5 RAD由MST设备在路径中更新。	509
2.11.6广播消息交易。	510
2.11.7消息传递。	511
2.11.8错误处理。	515
2.11.9可用消息交易请求的描述。	518
2.12音频到视频和音频到审计的同步。	538
2.12.1概述。	538
2.12.2 DisplayPort AV同步数据块。	539
2.12.3延迟补偿。	540
2.13全局时间代码和音频通道间同步。	546
2.13.1全局时间代码。	547
2.13.2 GTC应用于音频间互通同步。	560
3.1 PHY层功能。	562
3.1.1 PHY层功能。	563
3.1.2 Link-Phy层接口信号。	564
3.1.3 PHY层和链接媒体接口信号。	565
3.1.4合规测量点。	566
3.1.5电信号定义。	574
3.1.6争夺。	577
3.1.7符号编码和序列化/除外序列化。	578

3.2 DP_PWR用于框到框DisplayPort连接。	
.579 3.2.1 DP_PWR用户检测方法。	
.581 3.2.2 DP_PWR线。	
.581 3.2.3 Inrush Energy。	
.581 3.2.4电压下垂。	
.582 3.2.5过度电流保护。	
.582 3.3热插头/拔出电源检测电路	
.583 3.4 AUX通道。	
.585 3.4.1 AUX通道逻辑子块。	
.586 3.4.2 AUX通道电气块。	
.587 3.5	
主链接。	
.591 3.5.1主链接逻辑子块。	
.591 3.5.2主链路电块。	
.626 3.6.1 FGD	
和EOS保护信号路由要求。	
.653 3.6.2链接训练引触模PHY中继器。	
.658 3.6.3 LT-Tunable	
PHY中继器。	
.658 3.6.4 LT可调PHY中继器DPCD登记册。	
.660 3.6.5辅助交易处理要求。	
.662 3.6.6链接培训。	
.667 3.6.7双模式要求。	
.680 3.6.8	
机械的LT可触摸PHY中继器电气规格要求。	
.681	
4.1电缆连接器组件规格（用于框到框）	
.682 4.1.1电缆连接器组装定义。	
.683 4.1.2散装电缆的类型。	
.687 4.1.3阻抗概况。	
.688 4.1.4插入损失和退货	
损失。	
.691 4.1.5高比特电缆连接器组装规范。	
.692 4.1.6减少了比特速率电缆连接器组装规范。	
.702 4.2连接器规范。	
.706 4.2.1外部全尺寸	
连接器。	
.706 4.2.2 Mini DisplayPort外部连接器。	
.719 4.2.3面板侧内连接器（	
信息性）	
.739	
互操作性的源/接收器/分支设备策略要求。	
.748	
5.1源设备在SST模式下。	
5.1.1流源需求。	
.748 5.1.2源设备链接配置要求。	
.752 5.1.3源设备在流时正时更改	
.754 5.1.4 HPD脉冲检测后的	
源设备行为。	
.755 5.1.5下游设	
备通过源设备DPRX电源管理。	
.756 5.1.6源设备连接到分支设备。	
.757 5.1.7来源设备D	
SC Bitstream Transport and FEC政策。	
.758 5	
.1.8 MSA水平空白扩展操作支持。	
.759	

第4节

第5节

5.2 SST模式下的水槽设备。	.759
5.2.1流槽需求。	
5.2.2接收器设备链接配置要求。	.760
5.2.3流中心时机上的接收器设备行为更改。	.761
5.2.4切换HPD信号以进行状态更改通知。	.762
5.2.5接收器设备DPRX功率状态。	
5.2.6水槽设备DSC Bitstream处理和FEC策略。	.763
5.3仅在SST模式下的分支设备。	.768
5.3.1 EDID访问处理要求。	.769
5.3.2分支设备链接配置要求。	
5.3.3主动协议转换器适配器。	.770
5.3.4链路率和车道计数。	
5.3.5正向误差校正。	.780
5.4 MST模式下的源设备。	.781
5.4.1提示下游设备的MST/SST功能过渡。	.781
5.4.2原子消息事务生成。	
5.4.3电源管理。	
5.4.4 DSC BITSTREAM运输和FEC政策。	.782
5.5接收器设备在MST模式下。	
5.5.1带有单个dprx上游端口的MST水槽设备。	.782
5.5.2具有多个DP RX上游端口端口的MST能力水槽设备。	.784
5.6在MST模式下的分支设备。	
5.6.1具有单个DPRX上游端口的MST能力分支设备。	.784
5.6.2具有多个DPRX上游端口端口的具有MST能力的分支设备。	.789
5.7 MST模式下的分支链接设备。	
5.8电缆连接组件。	.789
5.8.1框到框，最终用户可利用的电缆组件。	.789
5.8.2嵌入式和圈养的电缆组件。	
5.8.3主动电缆组件。	.790

附录A。

音频运输（信息性）	
A.1音频流组件。	.791
A.2通过数据包ID的三种SDP类型的关联。	.792
A.3 AUDIO_STREAM SDP传输的调度。	.792
A.3.1音频格式的处理。	.794
A.4 AUDIO_STREAM SDP的结构。	.794
A.4.1 1-或2通道音频。	.795
A.4.2 3至8通道音频。	.795
A.4.3 1至2通道一点点音频。	.796
A.4.4 3至8通道一点点音频。	.796
A.4.5 1-至16通道3D LPCM音频。	.796
A.4.6 17至32通道3D LPCM音频。	.797
A.4.7压缩DST音频。	.797
A.5通道对话映射。	.798
A.6样本频率信息的传输。	.799

附录b	水槽事件通知示例（信息性）。	800
	B.1通过来源和下沉的相互识别。	
	B.2 IRQ_HPD脉冲和水槽设备特异性IRQ。	800
附录c	链接质量管理（信息性）。	
	C.1边缘链接质量。	801
	C.2分析。	
	c.3对位错误的容忍度。	801
	C.4链接重新训练。	802
附录d	电气规格（信息性）。	802
	D.1 AUX参数。	803
	D.2主链接参数。	804
	D.3双迪拉克抖动模型。	806
附录e	CRAMBLER C代码参考（信息性）。	811
附录f	拓扑管理/有效载荷带宽管理用法示例（信息性）。	822
附录g	在系统初始化期间的链接管理（信息性）。	823
	G.1背景。	
	G.2问题语句。	823
	G.2.1问题#1 - 接收器连接和动力，但HPD低。	823
	G.2.2问题#2 - 接收器HPD拆卸事件，然后进行插头事件。	824
附录h	协议支持RT用于3D立体声显示。	
	H.1带3D立体声信号传导方法。	829
	H.1.1 MSA MISC1方法。	
	H.1.2 VIDEO_STREAM_CONFIGURATION数据包方法。	829
	H.2 3D立体声显示功能声明。	836
	H.2.1 EDID 3D立体声显示功能声明。	837
	H.2.2 DisplayID 3D立体声显示功能声明。	839
	H.3 DisplayPort Stereo 3D互操作性要求。	840
	H.3.1需要支持DisplayPort Stereo 3D接收器设备。	
	H.3.2需要支持DisplayPort立体声3D源设备。	843
附录i	query_stream_encryption_status消息交易处理CP树拓扑中的处理。	844
	i.1分支机设备自我检查。	
	i.2 query_stream_encryption_status消息事务的优点。	845
	i.3 QUERY_STREAM_ENCRYPTICT_STATUS消息交易处理CP树拓扑中的处理。	846
	I.3.1源设备提供的IDS QUERY_STREAM_ENCRYPTICT_STATUS请求消息交易。	
	I.3.2 QUERY_STREAM_ENCRYPTICT_STATUS中的流状态	

回复交易。	848
CT_STATUS中的流状态签名回复消息事务。	849
.849 i.3.4用源设备使用水槽类型流状态。	850
.850 i.3.5状态查询。	850
.850 i.3.6 query_stream_encryption的应用_	853
STATUS消息事务到HDCP。	854
.853附录J 16位框架CRC示例。	856
854附录K自适应同步	858
856附录I每行计算DSC切片的信息和示例。	858
858 L.1切片计数要求的推导。	858
.858 L.2用法示例。	859
.859附	861
录M主要贡献者历史记录（以前的版本）	

Tables

表1: 专利。	.25
表2: DP v1.4 (To be updated)	.28
表3: 主要贡献者表3: 修订历史记录。	.30
表1-1: 首字母缩写, 初始化和缩写。	.44
表1-2: 术语表。	.49
表1-3: 参考文档。	.55
表1-4: DP主链接应用程序带宽。	.61
表1-5: 4车道主链接上的像素数据映射。	.62
表2-1: 该标准涵盖的设备类型。	.6
表2-2: 拓扑设备类别。	.67
表2-3: 默认框架模式的控制符号。	.74
表2-4: 增强的框架模式控制符号。	.76
表2-5: 像素转向主链路车道。	.76
表2-6: VB-ID位定义。	.79
表2-7: 10BPC RGB (每个像素30位) 1366x768填充4车道主链接。	.82
表2-8: 8BPC RGB到4车道主链接映射。	.83
表2-9: 8BPC RGB映射到2车道主链接。	.83
表2-10: 8BPC RGB映射到1车道主链接。	.84
表2-11: 6BPC RGB映射到4车道主链接。	.85
表2-12: 6BPC RGB映射到2车道主链接。	.85
表2-13: 6BPC RGB映射到1车道主链接。	.85
表2-14: 10BPC RGB映射到4车道主链接。	.86
表2-15: 10BPC RGB映射到2车道主链接。	.86
表2-16: 10BPC RGB映射到1车道主链接。	.87
表2-17: 12BPC RGB映射到4车道主链接。	.87
表2-18: 12BPC RGB映射到2车道主链接。	.87
表2-19: 12BPC RGB映射到1车道主链接。	.88
表2-20: 16BPC RGB映射到4车道主链接。	.88
表2-21: 16BPC RGB映射到2车道主链接。	.89
表2-22: 16BPC RGB映射到1车道主链接。	.89
表2-23: 8BPC YCBCR 4: 2: 2映射到4车道主链接。	.90
表2-24: 8BPC YCBCR 4: 2: 2映射到2车道的主链接。	.90
表2-25: 8BPC YCBCR 4: 2: 2映射到1车道的主链接。	.90
表2-26: 10BPC YCBCR 4: 2: 2映射到4车道主链接。	.91
表2-27: 10BPC YCBCR 4: 2: 2映射到2车道的主链接。	.91
表2-28: 10BPC YCBCR 4: 2: 2映射到1车道主链接。	.91
表2-29: 12BPC YCBCR 4: 2: 2映射到4车道主链接。	.92
表2-30: 12BPC YCBCR 4: 2: 2映射到2车道的主链接。	.92
表2-31: 12BPC YCBCR 4: 2: 2映射到1车道的主链接。	.92
表2-32: 16BPC YCBCR 4: 2: 2映射到4车道主链接。	.92

表2-33: 16BPC YCBCR 4: 2: 2映射到2车道的主链接。
表2-34: 16BPC YCBCR 4: 2: 2映射到1车道的主链接。
表2-35: 8BPC YCBCR 4: 2: 0在四个主链路车道上均匀的线(从线0开始)。
表2-36: 8BPC YCBCR 4: 2: 0奇数线(从行0开始)在四个主链路车道上。
表2-37: 8BPC YCBCR 4: 2: 0在两个主链路车道上均匀的线(从线0开始)。
表2-38: 8BPC YCBCR 4: 2: 0奇数线(从行0开始)在两个主链路车道上。
表2-39: 8BPC YCBCR 4: 2: 0在一个主链路车道上均匀的线(从线0开始)。
表2-40: 8BPC YCBCR 4: 2: 0奇数线(从线0开始)在一个主链路车道上。
表2-41: 10BPC YCBCR 4: 2: 0在四个主链路车道上均匀的线(从线0开始)。
表2-42: 10BPC YCBCR 4: 2: 0奇数线(从行0开始)在四个主链路车道上。
表2-43: 10BPC YCBCR 4: 2: 0在两个主链路车道上均匀的线(从线0开始)。
表2-44: 10BPC YCBCR 4: 2: 0奇数线(从行0开始)在两个主链路车道上。
表2-45: 10BPC YCBCR 4: 2: 0在一个主链路车道上均匀的线(从线0开始)。
表2-46: 10BPC YCBCR 4: 2: 0奇数线(从线0开始)在一个主链路车道上。
表2-47: 12BPC YCBCR 4: 2: 0在四个主链路车道上均匀的线(从线0开始)。
表2-48: 12BPC YCBCR 4: 2: 0奇数线(从行0开始)在四个主链路车道上。
表2-49: 12BPC YCBCR 4: 2: 0在两个主链路车道上均匀的线(从线0开始)。
表2-50: 12BPC YCBCR 4: 2: 0奇数线(从行0开始)在两个主链路车道上。
表2-51: 12BPC YCBCR 4: 2: 0在一个主链路车道上均匀的线(从线0开始)。
表2-52: 12BPC YCBCR 4: 2: 0奇数线(从线0开始)在一个主连接道上。
表2-53: 16BPC YCBCR 4: 2: 0在四个主链路车道上均匀的线(从线0开始)。
表2-54: 16BPC YCBCR 4: 2: 0奇数线(从行0开始)在四个主链路车道上。
表2-55: 16BPC YCBCR 4: 2: 0在两个主链路车道上均匀的线(从线0开始)。
表2-56: 16BPC YCBCR 4: 2: 0奇数线(从行0开始)在两个主链路车道上。
表2-57: 16BPC YCBCR 4: 2: 0在一个主链路车道上均匀的线(从线0开始)。
表2-58: 16BPC YCBCR 4: 2: 0奇数线(从线0开始)在一个主连接道上。
表2-59: 8BPP y至4车道主链接映射。
表2-60: 8BPP Y映射到2车道主链接。
表2-61: 8BPP y映射到1车道主链接。
表2-62: 10BPP y映射到4车道主链接。
表2-63: 10BPP y映射到2车道主链接。
表2-64: 仅10BPP y映射到1车道主链接。
表2-65: 12BPP y映射到4车道主链接。
表2-66: 12BPP y映射到2车道主链接。
表2-67: 12BPP y映射到1车道主链接。
表2-68: 16BPP y映射到4车道主链接。
表2-69: 16BPP y映射到2车道主链接。
表2-70: 16BPP y映射到1车道主链接。
表2-71: 6BPP原始映射到4车道主链接。
表2-72: 6BPP原始映射到2车道主链接。
表2-73: 6BPP原始映射到1车道主链接。
表2-74: 7BPP原始映射到4车道主链接。
表2-75: 7BPP原始映射到2车道主链接。
表2-76: 7BPP原始映射到1车道主链接。
表2-77: 8BPP原始映射到4车道主链接。
表2-78: 8BPP原始映射到2车道主链接。
表2-79: 8BPP原始映射到1车道主链接。

表2-79: 8BPP原始映射到1车道主链接。	.111	表2-80: 10BPP原始映射到4车道主链接。	.112
射到2车道主链接。	.112	表2-81: 10BPP原始映射到1车道主链接。	.112
表2-82: 10BPP原始映射到1车道主链接。	.112	表2-83: 12BPP原始映射到4车道主链接。	.113
表2-84: 12BPP原始映射到2车道主链接。	.113	表2-85: 12BPP原始映射到1车道主链接。	.113
表2-86: 14BPP原始映射到4车道主链接。	.114	表2-87: 14BPP原始映射到2车道主链接。	.114
表2-88: 14BPP原始映射到1车道主链接。	.114	表2-89: 16BPP原始映射到4车道主链接。	.115
表2-90: 16BPP原始映射到2车道主链接。	.115	表2-91: 16BPP原始映射到1车道主链接。	.115
表2-92: 30BPP RGB视频的传输单元超过2.7Gbps/lane主链接。	.118	表2-93: DPRX流动设备中的DPRX流重建操作。	.122
表2-94: 主流属性数据字段。	.126	表2-95: 可以忽略的MSA SDP正时参数。	.130
编码/比色格式的MISC1和MISC0字段。	.135	表2-96: 用于像素SDP标头。	.136
表2-97: SDP类型。	.136	表2-98: InfoFrame SDP V1.2标题字节。	.139
表2-99: InfoFrame SDP V1.3标题字节。	.140	表2-100: SDP有效载荷v1.3非Audio CEA Infoframe封装的数据字节 - DB0至DB31。	.140
表2-101: Audio_timestamp SDP的标题字节。	.142	表2-102: Maud和Naud价值观的示例 (信息性)。	.143
表2-103: 音频高比特率模式 (信息性)。	.146	表2-104: 非HBR编码的音频2通道布局 (信息性)。	.147
表2-105: LPCM音频模式 (信息性)。	.149	表2-106: 一个位和DST音频模式 (信息性)。	.150
表2-107: AUDIO_STREAM SDP标头字节。	.152	表2-108: 使用IEC 60958类似于编码的Audio_stream SDP有效负载的位定义。	.172
表2-109: Audio_stream SDP有效载荷的位定义, 并使用一位音频编码。	.172	表2-110: 使用DST音频编码的Audio_stream SDP有效负载的位定义。	.174
表2-111: AUDIO_STREAM SDP编码类型有效负载能力 (信息性) 的摘要。	.177	表2-112: 3通道3D LPCM音频要求DMT = 57H模式 (信息性)。	.178
表2-113: Audio_copyManagement SDP的标题字节。	.180	表2-114: ISRC SDP的标题字节。	.182
表2-115: VSC SDP的标题字节。	.186	表2-116: VSC SDP有效载荷DB0。	.187
表2-117: DB18至DB18的VSC SDP有效载荷。	.194	表2-118: 扩展SDP的标题字节。	.194

表2-124: 源设备的DP_PWR状态规则。 .218表2-125: 水槽设备的DP_PWR状态规则。 .219表2-126: DPT X AUX CH状态和事件描述。 .221表2-127: DPRX AUX CH状态和事件描述。 .222表2-128: 当前功能结构语法。 .248表2-129: 当前功能结构字段定义。 .248表2-130: RGB, Luma和Chroma的颜色深度指示的位定义。 .249表2-131: S3D功能的位字段定义。 .249表2-132: DPCD寄存器与虚拟DP对等设备相关。 .255表2-133: VC有效载荷控制符号序列的摘要。 .262表2-134: VC有效载荷带宽一个时间插槽每MTP分配各种链接配置。 .274表2-135: 映射到DPCD地址空间的DPRX的VC有效载荷ID表。 .281表2-136: VC有效载荷表更新和ACT状态验证的DPCD地址映射。 .282表2-137: 对VC有效载荷ID表的各种事件和影响。 .293表2-138: MTP标头控制功能。 .297表2-139: MTP有效载荷控制功能。 .297表2-140: 索引到K代码地图。 .298表2-141: 每张显示行所需的切片计数。 .306表2-142: 辅助交易语法的各种数据类型。 .310表2-143: 请求命令定义, 位3。 .311表2-144: 回复命令定义, 位3: 0。 .312表2-145: 请求命令定义, 位2: 0, 当位3 = 0时。 .317表2-146: I2C写入示例1。 .319表2-147: I2C写入交易方法1, 在水槽设备中使用慢速I2C总线。 .321表2-148: I2C写入交易方法2。 .325表2-149: I2C读取事务方法1。 .327表2-150: I2C读取事务示例2。 .329表2-151: i2c写入, 然后读取I2C。 .332表2-152: 突发写大小/总线速度。 .341表2-153: 爆发读尺寸/总线速度。 .345表2-154: DPCD字段地址映射。 .355表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) .357表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH) .391表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) .408表2-158: DPCD源设备特定字段中的地址映射 (DPCD地址00300H至003FFH) .432表2-159: DPCD设备特定字段中的地址映射 (DPCD地址00400H至004FFH) .433表2-160: DPCD分支设备特定字段中的地址映射 (DPCD地址00500H至005FFH)

表2-162: DPCD EDP特定字段中的地址映射 (DPCD地址00700H至007FFH) .437表2-163: DPCD侧带M
SG缓冲区字段中的地址映射 (DPCD地址01000H至017FFH) .438表2-164: DPCD DPRX事件状态指标
字段中的地址映射 (DPCD地址02000H至021FFH) .439表2-165: DPCD扩展接收器功能字段中的地址映
射 (DPCD地址02200H至022FFH) .444表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址
03000H至030FFH) .456表2-167: DPCD多触摸 (EDP) 字段中的地址映射 (DPCD地址60000H至61CFFH
) .468表2-168: DPCD HDCP 1.3和HDCP2.2字段中的地址映射 (DPCD地址68000H至69FFFH) .468表2-169
: dpcd lt-tunable PHY中继器字段中的地址映射 (DPCD地址F0000H至F02FFH) .469表2-170: DPCD My
DP特异性字段中的地址映射 (DPCD通过FFFFFFH地址FFF00H) .476表2-171: ANSI 8B/10B编码和争夺
链接管理规则。 .481表2-172: 符号错误率测量模式在crambler
重置后。 .485表2-173: 消息交易协议版本号。 .489表2-174: 消息交易序列语
法。 .490表2-175: 消息交易请求语法。 .490表2-176: 请求名称和标识符。
.491表2-177: 请求数据。
.492表2-178: 消息交易回复语法。 .495表2-179: 回复数据。
.495表2-180: NAK的原因。
.496表2-181: ack_data。
.498表2-182: 边带MSG语法。
.500表2-183: 边带MSG标题语法。 .501表2-184: 边带MS
G身体语法。
.504表2-185: Allocate_Payload消息语法。
.518表2-186: clear
_payload_id_table消息语法。
.520表2-187: Connection_status_notify消息语法。
.521表2-188: 对等设备类型。
.522表2-189: PEER_DEVICE_TYPE确定。
.523表2-190: enum_path
_resources消息语法。
.524表2-191: link_address消息语法。
.526表2-192: power_down_phy消息语
法。
.528表2-193: power_up_phy消息语法。
.529表2-194: query_payload消息语法。
.530表2-195: 远程_DPCD_READ消息语法。
.531表2-196: 远程_DPCD_WRITE消息语法。
.532表2-197
: 远程_i2c_read消息语法。

Table 2-200: DPCD Fields for GTC Operation	548

表3-1: 允许vdiff_pp和预先强调组合。	
.575表3-2: Box-box DisplayPort连接的DP_PWR规范。	
.580表3-3: 热插头检测信号规范。	
.583表3-4: DisplayPort Aux通道电气规格。	
.587表3-5: 在TX设备的连接器引脚处使用AUX CH的掩蔽顶点。	
.589表3-6: RX设备连接器引脚的AUX CH的掩盖顶点。	
.590表3-7: DP控制链接符号的ANSI 8B/10B特殊字符。	
.591表3-8: 链接训练的符号模式。	
.594表3-9: 1-, 2和4车道配置的交错FEC块。	
.616表3-10: 奇偶校验符号以1车道配置交织和分裂。	
.620表3-11: 奇偶校验符号以2和4车道的配置交织和分裂。	
.621表3-12: CD_ADJ代码选择。	
.622表3-13: CD_ADJ选择案例定义。	
.622表3-14: FEC_DECODE_EN/FEC_DECODE_DIS序列。	
.624表3-15: DisplayPort Main-Link发送器系统参数。	
.627表3-16: DisplayPort Main-Link发射器TP2参数。	
.628表3-17: DisplayPort Main-Link发射器TP3_EQ参数。	
.629表3-18: DisplayPort Main-Link接收器系统参数。	
.630表3-19: DisplayPort Main-Link接收器TP3参数。	
.631表3-20: DisplayPort Main-Link接收器TP3_EQ参数。	
.632表3-21: 差异噪声预算。	
.640表3-22: tp3_eq处的HBR3下游和上游设备蒙版顶点。	
.643表3-23: hbr2上游设备蒙版顶点在tp3_eq处。	
.643表3-24: hbr2下游设备眼掩模在tp3_eq处。	
.643表3-25: HBR的上游设备蒙版顶点。	
.645表3-26: RBR的上游设备蒙版顶点。	
.645表3-27: hbr tp3_eq的下游设备眼顶点。	
.647表3-28: tp3的下游设备眼顶点。	
.647表3-29: DPCD介绍了LT-Tunable PHY中继器窥探。	
.659表3-30: LT可调PHY中继器DPCD功能和ID字段。	
.660表3-31: LT可调PHY中继器DPCD链接配置和状态字段。	

表4-1: 支持的电缆组件类型。	
.683表4-2: 支持的调整适配器类型。	
.684表4-3: 受支持的扩展电缆类型。	
.685表4-4: 电缆组件的阻抗曲线值。	
.689表4-5: 电缆组件的阻抗曲线值。	
.690表4-6: S-参数的混合模式差异/共同关系。	
.691表4-7: 内对偏度极限。	
.700表4-8: 配对偏斜限制。	
.701表4-9: DFP连接器引脚分配。	
.706表4-10: UFP连接器引脚分配。	
.707表4-11: 交配序列水平。	
.709表4-12: 连接器机械性能。	
.710表4-13: 连接器电性能。	
.711	

表4-14: 连接器环境性能。	.712
表4-15: DFP MDP连接器引脚分配。	.719
表4-16: UFP MDP连接器引脚分配。	.720
表4-17: MDP连接器机械性能要求。	.727
表4-18: MDP连接器电气性能要求。	.728
表4-19: MDP连接器环境性能要求。	.729
表4-20: 交配序列水平。	.734
表4-21: DisplayPort面板侧内部连接器引脚分配。	.740
表4-22: 面板侧连接器机械要求。	.745
表4-23: 面板侧连接器电气要求。	.746
表4-24: 面板侧连接器环境要求。	.747
表5-1: DisplayPort Colilimetry格式支持。	.749
表5-2: 连接到分支设备时, 建议的DP源设备行为。	.758
表5-3: RBR上典型的电视计时所需的车道计数。	.760
表5-4: RBR的典型数据投影仪计数所需的车道计数。	.761
表5-5: 水槽设备电源状态机注意。	.765
表5-6: 从睡眠力量状态请求/赠款寄存器中延长唤醒超时。	.767
表5-7: DVI, HDMI和DP ++协议转换器适配器要求。	.773
表5-8: CEC-TUNNELING-AUX术语。	.776
表5-9: CEC-TUNNELING-AUX FIELD。	.778
表A-1: 使用CA = 04H的3通道音频的通道对映射。	.798
表D-1: 用于传输IC包装销的AUX CH的掩蔽顶点 (信息性)。	.804
表D-2: 接收IC包装销的AUX CH的掩盖顶点 (信息性)。	.805
表D-3: DP主链接TX硅参数 (信息性)。	.806
表D-4: DP主-Link TX TP1包装引脚参数 (信息性)。	.808
表D-5: DP主链接RX TP4包装引脚参数 (信息性)。	.809
表D-6: 带有HBR/RBR (信息性)的DP主链接RX硅垫。	.810
表D-7: 带有HBR2的DP主链接RX硅垫 (信息性)。	.810
表H-1: MISC1字段, 位2: 1定义。	
表H-1: VSC数据包的标题字节。	.830
表H-2: VSC数据包有效载荷。	.830
表H-3: Edid V1.4 3D立体声显示功能声明。	.837
表H-4: DisplayID v1.1, 3D立体声显示功能声明。	.839
表H-5: 3D立体声显示格式在DisplayID v1.2中支持。	.840
表H-6: 允许3D立体声汇的定时范围, 用于字段顺序立体声格式。	.841
表H-7: 允许3D立体声汇的定时范围, 用于堆叠的顶部, 底部立体声格式。	.842
表I-1: 源设备提供的IDS for QUERY_STREAM_ENCRYPTINE_STATUS请求消息交易。	.847
表I-2: 通过分支设备回复流状态信息。	.848
表I-3: 流状态签名。	.849
表I-4: 分支设备状态查询计算值。	.850

Figures

图1-1: DisplayPort数据传输渠道。	60
图1-2: 分层体系结构。	60
图2-1: 链接层服务的概述。	63
图2-2: 单DP链接。	63
图2-3: DP源设备到DP接收器设备通过DP中继器。	63
图2-4: DP源设备到差异通过DP到签为式转换器。	63
图2-5: 传统源设备到DP设备通过旧版对DP转换器。	68
图2-6: 多个DP源设备通过输入开关设备。	68
图2-7: DP源设备通过DP复制器到多个DP接收器设备。	69
图2-8: DPTX主链接数据路径的高级框图。	69
图2-9: DPRX主链接数据路径的高级框图。	69
图2-10: 4车道主链接的主视频流数据包装示例。	77
图2-11: 主链接上的链接符号无主视频流。	80
图2-12: VB-ID, MVID7: 0和Maud7: 0在主链接上打包。	80
图2-13: 转移单元。	80
图2-14: 次级数据插入。	80
图2-15: 车间间偏斜。	80
图2-16: 参考脉冲和流时钟再生电路的反馈脉冲。	123
图2-17: MVID和NVID值确定示例在源设备中的异步时钟模式下。	124
图2-18: DisplayPort主流属性的传输。	129
图2-19: 视频水平遮挡扩展操作。	131
图2-20: 隔开视频格式/时机, 用于每帧的奇数线数。	133
图2-21: 隔行的视频格式/时间安排, 每帧的线路数量均匀。	133
图2-22: Infotrame SDP。	137
图2-23: AUDIO_TIMESTAMP SDP映射主链接。	141
图2-24: audio_stream SDP在2通道布局音频的主链接上。	155
图2-25: AUDIO_STREAM SDP在Main-Link上, 用于8通道布局音频。	157
图2-26: 16通道布局音频的主链接上的Audio_stream SDP (3D LPCM音频扩展类型类型代码13)。	159
图2-27: 32通道布局音频的主链接上的Audio_stream SDP (3D LPCM音频扩展类型类型代码13)。	162
图2-28: DST音频布局的主链接上的Audio_stream SDP。	167
图2-29: 3D LPCM音频数据分配带有音频Infotrame Byte 4 = FEH, 8.1 SPM主张 (信息性)。	169
图2-30: 3D LPCM音频数据分配带有音频Infotrame Byte 4 = FFH, 8.1 SPM主张所使用的RCD订单 (信息性)。	169
图2-31: 3D LPCM音频数据分配带有音频Infotrame Byte 4 = FEH, 所有SPM都宣称 (信息性)。	170
图2-32: 3D LPCM音频数据分配带有音频Infotrame Byte 4 = FFH, 所有SPM均主张所使用的RCD订单 (信息性)。	170

图2-33: 带有 IEC 60958 类似于编码的Audio_stream SDP的4字节有效载荷中的数据映射。	171
图2-34: AUDIO_STREAM SDP的4字节有效载荷中具有一个位音频编码的数据映射。	171
图2-35: 带有DST音频编码的DST AUDIO_STREAM SDP的4字节有效载荷子层中的数据映射。	171
图2-36: 主链接上的Audio_copyManagement SDP。	181
图2-37: 主链接上方的ISRC SDP。	184
图2-38: 像素交织方法的像素模式表示。	190
图2-39: 交织模式对应于2向交错的立体声, 其中正确的图像像素在线上均匀。	190
图2-40: 交流板模式与带有交替的左图和右图像像素的棋盘图案相对应。	191
图2-41: 并排立体声格式, 左视图后面是右视图。	191
图2-42: 字段顺序立体声格式具有左图和右视图, 通过MSC1字段 (MSA的位2: 1) 表示。	192
图2-43: 堆叠的顶部, 底部立体声格式, 底部和右图的左图。	192
图2-44: 主链接上的VSC SDP。	193
图2-45: 主链接上的扩展SDP映射。	198
图2-46: 摄像头SDP映射在主链接上。	200
图2-47: 摄像机原始主动像素 (主视频流) 和相机SDP传输。	201
图2-48: pps计时。	202
图2-49: PPS SDP有效载荷布局。	203
图2-50: VSC_EXT_VESA SDP框架。	205
图2-51: SST模式示例中的SDP分裂。	208
图2-52: Rs (15:13) 编码器的框图。	210
图2-53: ECC阻止2链和4车道主链接的nibble插入式插槽。	212
图2-54: 1车道主链接的ECC嵌入式插入和4车道主链接 (标头) 的nibble间隙。	212
图2-58: 数据包标题的15个鼻孔代码词的化妆。	214
图2-59: AUX CH DPTX状态图。	216
图2-60: 辅助CH DPRX状态图。	217
图2-61: DisplayPort数据传输通道。	223
图2-62: DP多流传输。	224
图2-63: 虚拟通道, 链接和路径的插图。	225
图2-64: 单流源设备到双流式接收器设备 (双放置克隆)。	226
图2-65: 双流源设备到双流式接收器设备 (扩展台式机)。	226
图2-66: 仅SST等等运输服务层。	227
图2-67: MST等速运输服务层。	228
图2-68: 边带CH通信层。	231
图2-69: 分支单位。	

图2-73: 示例MST拓扑。	.236
图2-74: 相对于源设备, 带有RAD设备的示例拓扑。	.238
图2-75: 带环和平行路径的MST拓扑	.242
图2-76: 本节介绍的层。	.243
图2-77: MST DP源设备的逻辑框图。	.245
图2-78: MST DP接收器设备的逻辑框图。	.246
图2-79: MST DP分支设备的逻辑框图。	.246
图2-80: SST DP源设备的逻辑框图。	.247
图2-81: SST DP接收器设备的逻辑框图。	.247
图2-82: 多功能分支- 链接设备示例。	.251
图2-83: 示例多功能MST分支链接设备枚举。	.252
图2-84: DP SST监视器1插入后的枚举。	.258
图2-87: 为VC有效载荷分配时间插槽。	.259
图2-88: DP源设备的VC有效载荷符号生成器。	.260
图2-89: 4符号序列单元映射到主链路车道。	.261
图2-90: 1车道主链路的4符号序列单位示例的重复。	.261
图2-91: 在给定主视频流的VC有效载荷后, 以MST模式处于MST模式, 并删除了VC有效载荷填充符号序列。	.265
图2-92: DP源设备VC有效载荷映射逻辑框图。	.266
图2-93: DP接收器设备VC有效载荷映射逻辑框图。	.266
图2-94: 通过DP分支设备VC有效载荷映射逻辑框图。	.266
图2-95: SDP在MST模式下分裂。	.269
图2-96: 有效载荷带宽管理器的带宽管理。	.271
图2-97: ACT分配更改触发序列。	.283
图2-98: VC有效载荷分配更改。	.284
图2-99: 添加新有效载荷的示例时间顺序。	.286
图2-100: 用于添加带有错误的新有效载荷的时序序列。	.287
图2-101: 用于删除有效载荷的时间顺序。	.288
图2-102: 用于删除有效载荷错误的时序序列。	.289
图2-103: 用于删除具有本地无法恢复的错误的有效载荷的时间顺序。	.290
图2-104: 减少VC有效载荷分配的时间顺序。	.291
图2-105: 增加VC有效载荷分配的时间顺序。	.292
图2-106: 链路框架边界处的MSTM ECF和LVP信号传导。	.301
图2-107: ACT序列之前的ECF。	.301
图2-108: 带有压缩的DisplayPort层体系结构模型。	.302
图2-109: 高级压缩架构元素。	.302
图2-110: 初始发现, 设置和DSC压缩的启用。	.303
图2-111: VB-ID中的压缩/未压缩流指示。	.305
图2-112: 视频框架中包装DSC数据字节的示例。	.308
图2-113: Aux CH桥接两辆I2C总线的示例。	.318
图2-114: 动作F	

图2-117: 倒数请求消息和下回复消息。	489
图2-118: UP请求消息和UP回复消息。	489
图2-119: 将消息事务映射到多个边带MSG (SB MSG CRC是sideband_msg_data_crc字段)	500
图2-120: 使用示例拓扑沿路径更新。	509
图2-121: 传递向下REQ消息时辅助错误。	516
图2-122: 传递UP REQ消息时的辅助错误。	517
图2-123: 源设备延迟聚合和引入延迟邮票。	539
图2-124: 通过中继器设备连接的DisplayPort监视器。	541
图2-125: 音频到视频同步的延迟补偿。	542
图2-126: DisplayPort源流媒体流到视频流到多个显示器。	543
图2-127: 在多监视器配置中对音频到视频同步的延迟补偿。	544
图2-128: 延迟对Audio Sync的延迟补偿。	546
图2-129: G TC Master的GTC值测量点。	550
图2-130: 锁定和维护间隔。	551
图2-131: GTC同步的辅助交易 (信息性)	557
图3-1: DP PHY层。	562
图3-2: 通道的依从性测量点。	566
图3-3: 合规性测试负载。	566
图3-4: HBR2上游设备合规性测试配置。	568
图3-5: HBR2下游设备合规性测试配置。	569
图3-6: HBR上游设备合规性测试配置。	570
图3-7: HBR下游设备合规性测试配置。	570
图3-8: HBR的下游设备合规性测试配置。	571
图3-9: RBR上游设备合规性测试配置。	572
图3-10: RBR下游设备合规性测试配置。	572
图3-11: RBR的下游设备合规性测试配置。	573
图3-12: 差分电压和差速电压的定义。	574
图3-13: 预先强调的示例。	576
图3-14: 字符到符号映射。	578
图3-15: 辅助差异对。	585
图3-16: 曼彻斯特-II编码的自我锁定。	585
图3-17: 辅助CH同步模式和停止条件。	586
图3-18: TX设备连接器销的Aux CH眼罩。	589
图3-19: RX设备连接器销的Aux CH眼罩。	590
图3-20: 链路训练的时钟恢复顺序	604
图3-21: 链路训练的通道均衡顺序。	608
图3-22: post_lt_adj_req序列。	610
图3-23: 在DP TX中编码FEC。	613
图3-24: DPRX中的FEC解码。	614
图3-25: 示意图RS编码器表示 (信息性)	615
图3-26: 1车道配置的交错FEC块传输。	

图3-30: DPTX中2和4车道配置的双向FEC交织。	.619
PRX中的2和4车道配置的双向FEC交错。	.619
ODE_EN序列传输 (2和4车道配置示例)。	.624
图3-33: FEC_DECODE_DIS序列传输 (2和4车道配置示例)。	.624
图3-34: 主连接差异对。	.626
图3-35: HBR3接收器抖动输出/输入公差掩码。	.635
图3-36: HBR2接收器抖动输出/输入公差掩码。	.637
图3-37: HBR抖动输出/输入公差掩码。	.638
图3-38: RBR抖动输出/输入公差掩码。	.639
图3-39: tp3_eq处的hbr3/hbr2眼膜。	.642
图3-40: 上游设备连接器引脚处的眼罩。	.644
图3-41: TP3_EQ (HBR) 或TP3 (RBR) 处的下游设备蒙版。	.646
图3-42: 参考HBR3接收器均衡器传递函数。	.648
图3-43: 参考HBR3接收器均衡器DFE。	.649
图3-44: 参考HBR2接收器均衡器传递函数。	.650
图3-45: 参考HBR接收器均衡器传递函数。	.651
图3-46: 相对于HBR和HBR2参考CLTE增强的HBR参考。	.653
图3-47: DP拓扑示例, 带有LT可调PHY中继器。	.656
图3-48: 信号路由要求。	.657
图3-49: DP CD LT可触摸PHY中继器场中的分区。	.658
图3-50: LT可调的PHY中继器辅助UFP状态机器 (信息性)。	.663
图3-51: LT可调PHY中继器AUX DFP状态机 (信息性)。	.664
图3-52: 不针对LT可触摸PHY中继器的AUX读取。	.664
图3-53: AUX读取仅针对LT可调PHY中继器。	.665
图3-54: 不针对LT可触摸PHY中继器的辅助写作。	.665
图3-55: 辅助写入目标LT可触摸PHY中继器。	.666
图3-56: 笔记本电脑和对接站示例。	.669
图3-57: LT可调PHY中继器识别。	.670
图3-58: 使用LT可调PHY repeater2的cr阶段开始。	.671
图3-59: LT可触摸Phy Repeater2 Lane0和Lane1的读取状态。	.671
图3-60: DPTX调整输出电压摆动和预先强调。	.672
图3-61: lt可调phy repeater2 lane x_cr_done实现了。	.672
图3-62: 确定lt可调phy repeater1的车道x_cr_done状态。	.673
图3-63: LT可调PHY REPEATER2调整输出电压摇摆和预先强调。	.673
图3-64: LT可触摸Phy Repeater1 Lane x_CR_DONE已实现。	.674
图3-65: 使用DPRX启动CR阶段。	.674
图3-66: DPRX LANE x_CR_DONE已实现。	.675
图3-67: 使用LT可调PHY repeater1和2启动EQ阶段。	.675
图3-68: 确定LT可触摸PHY REPETER2 EQ状态。	.676
图3-69: DPTX调整了重点水平。	.676
图3-70: 实现的LT可触摸PHY REPETER2 EQ相位。	.677
图3-71: 实现的LT可触摸PHY repeater1 EQ相。	.677
图3-72: 使用	

图3-76: 结束链接培训。	0
图4-1: 类型C1电缆组件。	0
图4-2: 类型C2电缆组件。	.683
图4-3: 类型C3电缆组件。	.683
图4-4: 键入A1调整适配器。	.684
图4-5: 键入A2调整适配器。	.684
图4-6: 类型E1扩展线。	.684
图4-7: 散装电缆构建 (信息性 - 仅供参考)	.685
图4-8: 差异阻抗曲线测量数据示例。	.687
图4-9: MDP差异阻抗谱测量数据示例。	.689
图4-10: HBR电缆组件类型C1, C2和C3的混合模式差插入损失。	.692
图4-11: HBR调整适配器的混合模式差插入损失。	.693
图4-12: 延长电缆的混合模式差插入损失。	.694
图4-13: HBR电缆组件/适配器 (DP连接器) 的混合模式差速率RL。	.695
图4-14: HBR电缆组件/适配器 (MDP连接器) 的混合模式差速率RL。	.696
图4-15: HBR电缆组件的近端总噪声 (峰值)	.697
图4-16: 功率总和等级远端总噪声 (峰值) 的HBR电缆组件。	.699
图4-17: 内对偏度测量方法。	.700
图4-18: 配对偏斜测量方法。	.701
图4-19: RBR电缆的混合模式差插入损失 (SDD21) 掩码。	.702
图4-20: RBR电缆的混合模式差异损失 (SDD11)。	.703
图4-21: RBR电缆组件的近端总噪声 (峰值)	.704
图4-22: RBR电缆组件的远端总噪声 (峰值)	.705
图4-23: 外部电缆连接器组件接线。	.708
图4-24: 连接器交配级别。	.709
图4-25: DisplayPort外部连接器图	.713
图4-26: DisplayPort外部电缆连接器组装图。	.714
图4-27: 外部连接器的建议方向。	.715
图4-28: 非锁存插头连接器的插头过高尺寸。	.715
图4-29: DisplayPort外部连接器的完全交配条件。	.716
图4-30: DP外部连接器的建议PCB布局	.717
图4-31: PCI卡上四个DP外部连接器的参考设计。	.718
图4-32: 面板切出参考维度。	.718
图4-33: MDP电缆连接器组件接线。	.721
图4-34: MDP-TO-DP电缆连接器组件接线。	.722
图4-35: DP-TO-MDP电缆连接器组件接线。	.723
图4-36: MDP-TO-DP适配器接线。	.724
图4-37: DP-TO-MDP适配器接线。	.725
图4-38: MDP电缆扩展器接线。	.726
图4-39: MDP电缆连接尺寸 - 1。	.730
图4-40: MDP电缆连接尺寸 - 2。	.731
图4-41: MDP连接器尺寸 - 1。	.731

图4-44: 推荐的MDP连接器PCB触点和安装。	.736
图4-45: 降低高度PCI卡上的四个MDP连接器的参考设计 - 1。	.737
图4-46: 降低高度PCI卡上的四个MDP连接器的参考设计 - 2。	.738
图4-47: 图1所示的面板侧内部PCB安装插座连接器。	.740
图4-48: 面板侧内部PCB安装插座连接器 (以毫米为单位) - 1。	.741
图4-49: 面板侧内部PCB安装插座连接器 (以毫米为单位) - 2。	.742
图4-50: PCB安装连接器推荐的足迹布局 (以毫米为单位)。	.743
图4-51: 面板侧内部电缆插头连接器 (以毫米为单位)。	.743
图4-52: 接触和机械指南的详细信息 (以毫米为单位)。	.744
图4-53: 面板侧内部电缆连接器 (以毫米为单位) 的交配条件 (参考)。	.745
图5-1: HPD事件。	
图5-2: 接收器设备电源机器。	
图5-3: CEC拓扑。	
图5-4: DisplayPort-Dual-Link DVI电缆适配器。	
图A-1: 无视频或视频垂直空白期间的Audio_stream SDP传输。	.793
图A-2: 在视频垂直活动期间, 带有视频的Audio_stream SDP传输。	.793
图D-1: 传输IC包装销的Aux CH眼罩 (信息性)。	.804
图D-2: 接收IC包装引脚时的Aux CH眼罩 (信息性)。	.805
图G-1: 链接质量管理与快速链接培训。	.825
图G-2: 链接质量管理源安全模式。	.827
图G-3: 显示端口设备电源管理状态图, 带有DP上游设备的状态2s, 无法进行HPD断言。	.828
图H-1: 像素交织方法的像素模式表示。	.833
图H-2: 交织模式对应于2向交织的立体声, 其中正确的图像像素在偶数线上。	.833
图H-3: 交流板图案与带有左和右图像像素交替的棋盘图案相对应。	.834
图H-4: 并排立体声格式, 左视图后面是右视图。	.834
图H-5: 字段顺序立体声格式, 具有左视图和右视图, 通过MISC1字段 (MSA的位2: 1) 表示。	.835
图H-6: 堆叠的顶部, 底部立体声格式在底部的顶部和右图。	.836
图i-1: QUERY_STREAM_ENCRYPTICT_STATUS消息事务执行直接连接到MST接收器设备时。	.851
图i-2: query_stream_encryption_status消息事务转发和执行, 当源设备通过MST分支设备连接到接收器设备时。	.851
图i-3: 当存在l-to-l'验证错误时, query_stream_encryption_status消息事务转发和执行。	.852

Preface

知识产权

版权所有©2007 - 2015年视频电子标准协会。版权所有。

尽管在准备此标准时都采取了每项预防措施，但视频电子标准协会及其贡献者对错误或遗漏的错误或不对任何目的的功能或适用性不承担任何责任，也不对任何明示或暗示的担保。

商标

本文档中使用的所有商标均为其各自所有者的财产。

DisplayPort和Dockport是商标，Vesa是视频电子标准协会的注册商标。

CEA是消费电子协会的商标。

HDCP是数字内容保护有限责任公司的商标。

HDMI是HDMI, LLC的注册商标。

I2C是NXP半导体的商标。

Patents

Vesa提请人们注意以下事实：据称遵守该标准可能涉及使用专利或其他知识产权权利（统称为“IPR”）。Vesa对此知识产权的证据，有效性和范围没有任何立场。

此知识产权的以下持有人保证，VESA愿意以合理和非歧视性（RAND）条款许可IPR。此知识产权持有人的声明已在VESA注册。

表1：专利

Holder Name	Contact Information	Claims Known	
Advanced Micro Devices, Inc. 1 Commerce Valley Drive East Markham, ON L3T 7X6 Canada	Raymond Li (raymond.li@amd.com)	US Patent Applications 11/678,825 11/678,819 11/010,159	
Apple, Inc. 1 Infinite Loop MS 169-3IPL Cupertino, CA 95014 408-783-5093	Jonathan Brown Senior Standards Counsel (jbrown1@apple.com)	US Patents US 20130050216 US 20130094557 US 61/914,312 US 61/914,322 US 61/954,498 Foreign Counterparts Related to the Patents Identified Above WO2013055510	
Dell, Inc. One Dell Way Round Rock, TX 78682	Tom Lanzoni (tom_lanzoni@dell.com)	11/458130 11/458138 11/543574 11/678838	11/769803 12/029013 12/12334 12/148668

表1: 专利 (续)

Holder Name	Contact Information	Claims Known		
Genesis Microchip, Inc. 750 Canyon Drive Coppell, TX 75019	Robert Krysiak (bob.krysiak@st.com)	US Patents		
		6,992,987	7,424,558	7,733,915
		7,068,686	7,567,592	8,059,673
		7,088,741	7,620,062	8,068,485
		7,177,329		
		US Patent Applications		
		10/726,350	10/726,441	11/742,222
		10/726,362	10/726,794	12/248,822
		China Patents		
		ZL200410038432.8	ZL200410071497.2	
		ZL200410047784.X	ZL200410038545.8	
		ZL200410044503.5	ZL200810128376.5	
		China Patent Applications		
		20041038545	20041044503	20081095571
		20041038546	20041045686	20081099136
		20041043412	20041071497	20081128376
		20041043419	20041071498	
		EPO Patent Applications		
		04251581.7	04252057.7	04252205.2
		04251582.5	04252202.9	08153724.3
		04252054.4	04252203.7	08153726.8
		04252055.1	04252204.5	08155262.2
		04252056.9		
		Japan Patent Applications		
		2004127749	2004130804	20040132494
		2004127757	2004130812	20040135520
		2004129464	2004133593	20040135542
		2004129479	2008116510	20080125185
		Korea Patent Applications		
		20040026008	20040026013	20040026486
		20040026009	20040026483	20080039968
		20040026010	20040026484	20080063251
		20040026011	20040026485	20080043714
		20040026012		
		Singapore Patent Applications		
		2008027534	20040001975	20040002060
		20040001154	20040001979	20040002061
		20040001166	20040002054	20080002448
		20040001969	20040002057	20080002449
		20040001973		
		Taiwan Patent Applications		
		93106707	93109757	93110863
		93106751	93110851	97115572
		93109369	93110857	97111673
		93109370	93110861	97111674
		93109747		

表1: 专利 (续)

Holder Name	Contact Information	Claims Known
Intel Corporation 2111 NE 25th Avenue Hillsboro, OR 97124	Srikanth Kambhatla (srikanth.kambhatla@intel.com)	11/648367 Sink device addressing mechanism 61/1298,936, Title: Audio/video streaming audio in a topology of devices. 12/774,023 (claims priority to P33959Z), Title: Audio/video streaming audio in a topology of devices. 12/782,040 (claims priority to P33959Z), Title: Binding for audio/video streaming in a topology of devices. 12/821,306 (claims priority to P33959Z), Title: Message passing framework for audio/video in a topology of devices. 12/789,893 (claims priority to P33959Z), Title: Identifying devices in a topology of devices for audio/video streaming.
Molex, Inc. 2222 Wellington Court Lisle, IL 60532	Stephen L. Sheldon IP Counsel (slsheldon@molex.com)	US Patents US 6,280,209, claim 1 US 6,457,983, claims 1 and 23 US 6,575,789, claim 1 US 6,945,796, claims 5 and 13 US 7,165,981
Parade Technologies, Ltd. 2890 Zanker Road, Suite 102 San Jose, CA 95134	Craig Wiley (craig.wiley@paradetech.com)	US Patents 7,397,383, Title: Digital AV Transmission PHY Signaling Format Conversion, Multiplexing & De-multiplexing. 8,094,684, Title: Link Training Scheme for DisplayPort Repeaters US Patent Applications 11/467,528 11/537,377 12/118,508
Silicon Image, Inc. 1140 East Arques Avenue Sunnyvale, CA 94085	Roger Isaac (roger.isaac@siliconimage.com)	US Patents US 6151334 US 6857525 US 6914637 US 7088398 US 7599439
STMicroelectronics, Inc. 750 Canyon Drive Coppell, TX 75019	Robert Krysiak (bob.krysiak@st.com)	US Patent Applications 12/365,678 12/423,724 12/484,796
Synaptics, Inc. 1251 McKay Drive San Jose, CA 95131	Wendy Cheng (wcheng@synaptics.com)	US 8,686,759, Title: Link-Train tunable PHY electrical repeater

注意此VESA标准的某些元素可能是IPR的主题，而不是上述标准的主题。VESA不得负责识别任何或全部此类知识产权，也不对任何此类知识产权的可能存在进行询问。

该标准是在没有任何保证的情况下提供的，尤其是任何不侵权的保证。本标准的任何实施均应完全出于实施者的自身风险，VESA，其任何成员或提交者都不得对任何实施者或第三方对任何直接或间接产生的任何损害的任何责任承担任何责任

此标准。

支持此标准

可以编写支持此标准的澄清和申请说明。要获取最新标准和任何支持文件，请联系VESA。

如果您有包含DisplayPort的产品，请问生产您产品的公司以提供帮助。如果您是制造商，VESA可以为您提供任何可能需要的澄清。将所有评论提交给support@vesa.org。

致谢

没有VESA的DisplayPort任务组的努力，本文档将是不可能的。特别是，表2列出了为该版本的标准贡献大量时间和知识的个人及其公司。

表2：DP V1.4的主要贡献者（要更新）

Company	Name	Contribution
Advanced Micro Devices, Inc.	Nancy Chan	Technical Content
	James Hunkins	Technical Content
	Syed Athar Hussain	Technical Content
	Frank Sodek	Technical Content
Analogix Semiconductor, Inc.	Greg Stewart	Technical Content
	Mehran Badii	Technical Content
Apple, Inc.	Rainer Kelly	Technical Content
	Tim McIntosh	Technical Content
	Sree Raman	Technical Content
	Colin Whitby-Strevens	Technical Content
	Bob Ridenour	Technical Content
Barco	Dirk Ballyn	Technical Content
Bitec Spain SL	Marco Denicolai	Technical Content

表2： DP V1.4的主要贡献者（要更新）（续）

Company	Name	Contribution
EIZO Corporation	Yoshinobu Banba	Technical Content
Intel Corporation	Srikanth Kambhatla	Technical Content
	Jamie Johnston	Technical Content
	Mike Hamann	Technical Content
	Anoop Karunan	Technical Content
	Christine Krause	Technical Content
	Jingbo Li	Technical Content
	Ansari Nausheen	Technical Content
	Prakash Radhakrishnan	Technical Content
Foxconn Electronics Inc.	Glenn Moore	Technical Content
MegaChips Technology America Corporation	John Garrett	Technical Content
	Alan Kobayashi	Technical Content and Task Group Chair
NVIDIA Corporation	Spoorthi D'Silva	Technical Content
	Varun Sampath	Technical Content
	David Stears	Technical Content
Parade Technologies, Ltd.	Craig Wiley	Technical Content
Samsung	Dale Stoltzka	Technical Content
Synaptics, Inc.	Prashant Shamarao	Technical Content
TE Connectivity, Ltd.	Jim McGroth	Technical Content
Texas Instruments, Inc.	Mike Campbell	Technical Content
	Yoon Lee	Technical Content
	Brian Quach	Technical Content
VTM Group/VESA Consultant	Bob Crepps	Technical Content

Revision History

表3: 修订历史记录

Date	Version	Description
November 3, 2015	v1.4 d1	- DP1.4 draft documents that have gone through TGR - DP1.4 Update on MSA Video Horizontal Expansion Option d3 TGR-PostTGR Coms Addressed - DP1.4 Secs 2.2.5 on InfoFrame SDP, VSC_EXT, and Split SDP in SST d5 TGR-PostTGR Coms Addressed - DP1.4 Audio Secs Update d11 TGR-PostTGR Coms Addressed - DP1.4 Add of Sec 2.6.1.1 on Multi-Function MST Branch Enumeration d6 TGR-PostTGR Coms Addressed - DP1.4 Add DSC Transport Sec 2.6a d5 TGR_Post TGR Coms Addressed - DP1.4 Updates on FEC d 7 TGR-PostTGR Coms Addressed 151029 - DP Link Training policy update draft document - DP1.4 Updated to Link Training in Sec 3.5.1.2 D2 - Adopted DP1. 3 SCR documents - DP to VGA sink_source behavior v3 - DP1.3 Adaptive-Sync v3 - DP1.3 HBR EYE Mask Typo Errors v1 - DP1 3 TPS4 Symbol Sequence Info Correction SCR v 1 - TGR-completed DP1.3 SCR draft documents - DP1.3 BT2020 color gamut for RGB - DP1.3 HDMI Protocol Conv Source Control v4 - DP1.3 LT Tunable PHY Repeater Use Case - DP1.3 TRAINING LANEx Set v2 clean - Corrected Wireless DFP Byte 1 name at DPCD Address 000081h - Corrected SINK_COUNT field in DPCD Address 02002h references to include bit 7. - Corrected range RESERVED for Protocol Converter Extension to start at 3035h (instead of 3034h) - Table 1-3 – Updated to include additional documents mentioned throughout the Standard - Table 3-8 – Corrected TPS4 “Name” column text - Applied minor edits and started applying VESA template style changes

表3: 修订历史记录 (续)

Date	Version	Description
September 2014	1.3	- Updated DPCD address mapping to include GTC-related registers that were added in DPv1.2a at DPCD Addresses 0005Ah and 0005Bh (Table 2-155), 00115h, 0015Ah, and 0015Bh (Table 2-156), and 02004h bit 1 (Table 2-164). - Added register at DPCD Address 0025Bh. - Added missing names for Byte 1 (bits 7:0), and Byte 2 (bits 7:2 RESERVED) of DPCD Addresses 00080h through 0008Fh, when DETAILED_CAP_INFO_AVAILABLE = 1. 2.8.4.5.1 (was 2.9.3.6.1) – Corrected field reference from 00102h bits 3:2 to 0010Bh through 0010Eh bits 2:0. 2.12.1.3.2.2 (previously not numbered), 2nd pg – Corrected bit reference from 00058h bit 0 to bit 1. - Corrected SINK_COUNT field in DPCD Address 00200h references to include bit 7. - Corrected DFP_COUNT field in DPCD Address 00007h references to include bit 3. - Appended “_ESI” to DPCD Address 0200Ch register name. - Standardized spelling of register names – DPCD Addresses 00005h, 0000Fh, and 001A0h. - Combined DPCD Addresses 00054h through 00058h into a single register with multiple bytes. - Deprecated FAUX, Post Cursor2, and Default Framing mode. - Applied global updates to bring standard parallel with DPCD-related content in VESA eDP, DockPort, and MyDP standards. - Renamed terms: - downstream port → downstream-facing port (DFP) - upstream port – upstream-facing port (UFP) - M and N timestamps → Mvid and Nvid time stamps - AUX CH → AUX CH or AUX transactions, depending on use - uPacket receiver, DP receiver → DPRX - uPacket transmitter, DP transmitter → DPTX - Revised miscellaneous bit names to better identify their function. - Updated Acronym and Glossary lists to include new terms and expanded and/or corrected definitions. - Updated (preliminary updated) reference document table to include additional reference documents supported by this Standard. - Added “living-room friendliness” objective; both (1) DP directly to a living-room large screen display and (2) through active transport protocol conversion from DP to HDMI. - Global – Added 8.1Gbps/lane speed, and support for MyDP 6.75Gbps/lane speed. - Global – Added support for YCbCr420 and RAW. 2.1 – Clarified terminology/device types (DP Source/Sink/Branch/PHY Repeater). 2.1.4 – Updated SST Branch device EDID and DPCD access handling requirement.

表3: 修订历史记录 (续)

Date	Version	Description
September 2014	1.3	Continued: • 2.2.1 – Added Camera RAW mapping to Main-Link symbols. Incorporate “End of active line TU clarification” SCR. • 2.2.4 – Incorporated “Extend MS Timing Parameters Ignore Option” SCR (Active-Sync enabler); added MISC 1 bit 6 support (support added globally) • 2.2.5 – VSC SDP extension for Pixel Encoding/Colorimetry Format (globally added support). • 2.2.5 – Added Camera SDP. • 2.8 – Added comprehensive DPCD Address Mapping table covering all published DP-related standards: • New Extended Receiver Capability field for DPCD r1.4 (and higher) • HDMI2.0 SCDC abstraction • Metadata extension: DVI/HDMI1.4b/HDMI2.0 mode selection Pixel encoding conversion within active transport protocol converter (e.g., YCbCr444 to YCbCr420) Colorimetry format • BT2020 • Full-range YCbCr601/701: Content type • Game/video/still image: CEC-Tunneling-over-AUX HDCP2.2-for-DP (DPCD 69xxxh) • Incorporated eDP, MyDP, and DockPort DPCD register address mapping. • 2.11 – Added Intel SCR concerning ENUM_PATH_RESOURCES message transaction extension. • 3.4.2 – Added edge rate restriction of AUX CH electrical sub-block for supporting HBR3. • 3.5.1 – Added HBR3, TPS4, Post LT ADJ REQ. • 3.5.2 – Added HBR3, updated jitter budget, Reference DFE, Enhanced HBR Reference CTLE. • 3.6 – Added new Link Training-tunable PHY Repeater section. • 5.3.2 – Added link rate/lane count configuration flexibility between UFP and DFP. • 5.3.3 – Expanded DP-to-HDMI transport protocol converter section to comprehend protocol conversion to HDMI2.0. • 5.3.3 – Added CEC-Tunneling-over-AUX. • Figure G-3 – Replaced.

表3: 修订历史记录 (续)

Date	Version	Description
May 2013	1.2a	- Reformatted document into new style template. - Tabled or bulleted/numbered paragraphical data, as needed, and fixed typos. Other minor edits have also been applied as part of the changes listed below. - Corrected table or figure cross-references in 2.2.1.2, 2.2.1.3, 2.2.5.3.3, 2.6.5, 3.4.1.3.1, 3.4.2.7, and D.1.1.4. - Standardized mention of register-related information (bits, fields, registers, addresses, etc.) Hyperlinked register and state-related information, as well as some packet-related information. Edited text surrounding the newly hyperlinked text, as needed. - Corrected figure cross-references in 2.2.5.3.3 and 2.6.6 (was 2.6.5). - Organized registers into individual address mapping tables by DPCD field, with all master copies residing in Section 2. - Relabeled appendices alphabetically, with no numbers in their titles. - Corrected register name for DPCD Address 00114h.

表3: 修订历史记录 (续)

Date	Version	Description
May 2012	1.2a	- Patent information for Genesis Microchip, Intel, STMicrosystems and Parade added. - FAUX bit rate changed from 720Mbps to 675Mbps throughout the document. 2.3.1.1 Rules of DP_PWR State for a Source Device: Added text. 2.2.5.6 VSC Packet: Added text regarding PSR function defined in eDP v1.3. 2.2.5.6.1 VSC Packet Header, Table 2-55: Added text for VSC packets. 2.2.5.6.2 VSC Packet Payload: Added text describing Table 2-56. 2.3.3.2 Relative Address (RAD): Corrected port numbers. 2.7.7.1.5.3 Upon I2C_DEFER AUX Reply with MOT Bit in Request Transaction Set to 0 or 1: Added text. 2.7.7.1.5.6 Upon Receiving AUX_DEFER Reply to Request Transaction with MOT Bit Set to 0 or 1: Added text, table, and sub-section. 2.7.7.1.6.3 Upon I2C_DEFER AUX_ACK Reply to a Request Transaction with MOT Bit Set to 0 or 1: Added text. 2.7.7.1.6.6 Upon Receiving AUX_DEFER Reply to Request Transaction with MOT Bit Set to 0 or 1: Changed and added text, table, and sub-section. 2.9.3 AUX Link Services: Added text regarding EDID Read requirements. 2.9.3.1 Address Mapping for Link Configuration Management, Table 2-75: Added missing information to Read/Write over AUX column and requirement for Downstream device in area 0010Fh of table, changed rows. Also added new bit in DPCD and updated address entries for 00005h and 00080h-0008fh. Added entries from 00271h to 0027Ah. 2.11 Messaging AUX Client: Replaced & renumbered sections 2.11.9.5.9 and 2.11.9.5.10. Corrected field names in Table 2-85. Resolved errors in Tables 2-81, 2-85. Corrected syntax in Tables 2-89, 2-90, 2-91, 2-94, 2-95, 2-96, 2-97, 2-98, 2-99, 2-100, 2-101, 2-103. Added new fields to Tables 2-81, 2-85. 2.11.2.4 Handling of Multiple Message Transaction Requests: Removed Message Transaction requirement. 2.11.3.1.4 Sideband_MSG_Body_Length: Corrected field description text. 2.11.3.1.5 Start_Of_Message Transaction: Changed text, clarified bit definition. 2.11.3.2 Sideband_MSG_Body: Corrected table number referenced. 2.11.4.1.1 MST_CAP Bit of MSTM_CAP DPCD Location: Removed device requirement. 2.11.4.1.5 DOWN_REQ Sideband MSG Buffer: Corrected writing into message buffer, 2.11.4.1.6 UP_REP Sideband MSG Buffer: Corrected writing into message buffer, 2.11.4.1.7 DOWN_REP Sideband MSG Buffer: Corrected writing into message buffer. 2.11.9.1.3 Payload_Bandwidth_Number: Removed last sentence. 2.11.9.1.4 Allocated_Payload_Bandwidth_Number: Added this new section. 2.11.9.4.1 This sub-section added covering Full Payload Bandwidth Number.

表3: 修订历史记录 (续)

Date	Version	Description
May 2012	1.2a	Continued: 2.11.9.4.2 This sub-section number changed from 2.11.9.4.1 to 2.11.9.4.1 due to the addition of new Section 2.11.9.4.1 and change the section title to “Available Payload Bandwidth Number.” 2.11.9.4.3 Port Number: Section number has changed. 2.11.9.10.7 Global_Unique_Identifier sub-section 2.11.9.15 QUERY_STREAM_ENCRYPTION_STATUS: Updated text. 2.13 Global Time Code and Audio Inter-channel Sync: Amended and added significant text. Added new table (Table 2-104). 3.2 DP_PWR for Box-to-Box DisplayPort Connection: Added active cable assembly to list of device types, changed power pin voltage, removed some text in Table 3-3, column two. Text additions and footnote. 3.1.3.1 DP_PWR/DP_PWR_RETURN: Added text and footnote. 3.2 DP_PWR specification for a downstream device updated. 3.2.1 DP_PWR User Detection Method: Added text regarding resistor requirements for CONFIG1 and 2. 3.2.3 Inrush Energy: Changed peak current. 3.4.2 AUX Channel Electrical Sub-block: Tables (3-6, 3-8, 3-9) and Figures (3-29, 3-30) were replaced to redefine eye vertices and bring Standard in line with CTS document(s). 3.5.1 Transmitter and Receiver Electrical Parameters: Added to and amended Table 3-17, 3-20. 3.5.1.2 Link Training: Added text defining transmitter response related to Post Cursor2 level. 3.5.1.2.1 Clock Recovery (CR) Sequence: Added text regarding Downstream device. 3.5.3.7.2 Differential Noise Budget: Added to and/or amended Tables 3-6, 3-7, and 3-23. 3.5.3.8 Differential Voltage/Timing EYE Diagram: Changed and added to CTLES, replaced Tables 3-40 and 3-41. 4.1.1 Cable-Connector Assembly Definition: Added text to very end of section (before sub-section 4.1.1.1). 4.1.3.1 Impedance Profile through DP Connector: Changed information in Tables 4-1, 4-2, replaced Fig 4-9. 4.1.5.4.2 Inter-Pair Skew: Amended text. 4.4.6.4 Intra- and Inter-Pair Skew: Restructured and added sub-section for Inter-Pair Skew. 5.1.2.1 Source Device Link Requirement when Other Interfaces are Supported: New sub-section. 5.1.6 Transferred requirements for Source treatment of Branch devices from Interop Guide.

表3: 修订历史记录 (续)

Date	Version	Description
May 2012	1.2a	Continued: • 5.2.2.1 Sink Device Link Requirement when Other Interfaces are Supported: New sub-section. • 5.3 Transferred requirements for protocol converting Branch devices and treatment by Sources from Interop Guide. • 5.3.2 Branch Device Link Configuration Requirements: Added info to address 0003h field. • 5.5.5 Sink Device uPacket RX Power-Save Mode, Figure 5-2: Added text to table and to STATE 1: ACTIVE section following figure. • 5.7.3 Active Cable Assembly, 5.7.3.1 Active Cable Assembly Electrical Parameters, 5.7.3.2 Active Cable Assembly DP_PWR Requirements: New sections added. • Appendix D: Amended Table 9-8. • Appendix H • 13.1.2.1 VSC Packet Header, Table 13-1: Added text to table. • 13.1.2.2 VSC Packet Payload: Added descriptive text. • 13.3 Added section/sub-sections and table related to stereo 3D. • Appendix I, 14.3 QUERY_STREAM_ENCRYPTION_STATUS Message Transaction Handling: Updated text, modified Tables 14-1, 14-2 and added text regarding L parameters in sub-sections. Removed path-message description. • Appendix J: Original was deleted and replaced with another appendix. • Other general edits and clarifications have also been made.

表3: 修订历史记录 (续)

Date	Version	Description
January 2010	1.2	While maintaining full backward-compatibility with Version 1.1a, Version 1.2 added the following major features: • A new link rate, 5.4Gbps/lane, called HBR2 (or High Bit Rate 2). • Enhanced 3D stereo transport capability. • Color consistency/accuracy improvement support for wide color gamut contents and displays. • Multi-stream transport (MST) format supporting the transmission of up to 63 independent AV streams from a single DP connector, taking full advantage of the micro-packet transport architecture. • Enhanced topology management via message transactions over sideband channel (i.e., AUX CH and Hot Plug Detect) so that a stream Source device has full knowledge of the devices and their capabilities in the topology. • High data rate audio, audio-to-video lip synchronization and audio inter-channel synchronization enablement. • Fast AUX transaction at the raw bit rate of 720Mbps, or application bit rate of 576Mbps, for enabling applications such as USB2.0 transport over AUX CH. • Incorporated Mini DisplayPort Connector Standard. • Highlighted the difference between DisplayPort Standard and Embedded DisplayPort (eDP) Standard. • Various clarifications and errata corrections to Version 1.1a were also made in this revision.
December 2007	1.1a	Revised to correct errata items and improve clarification.
March 2007	1.1	Revised to clarify details; introduce the class of “hybrid device”; extend support for content protection schemes to include HDCP; and change requirements for power at DisplayPort connectors.
May 2006	1.0	Initial release of the Standard.

1简介

DisplayPort (DP) 是一种行业标准，可容纳PC和CE行业中数字显示技术的日益广泛采用。它巩固了内部和外部连接方法，以降低设备的复杂性，为关键跨行业应用程序提供必要的功能，并提供性能可伸缩性，以使下一代显示器具有更高的色彩深度，刷新率和显示分辨率。

1.1 DisplayPort标准组织

DP标准分为以下各节，以定义显示界面的整体体系结构和结构：

- 第1节 - 简介
介绍部分定义了DisplayPort的高级行业需求，并旨在满足协议，电气和机械部分的最终技术目标。本节还包括有关DP体系结构的整体标准，参考和概述的术语术语表。
- 第2节 - 链接层
链接层部分描述了用于配置和管理向前（主机要显示）传输通道和辅助双向通道的数据流的协议。 SST（单流传输）模式和MST（多流传输）模式均涵盖了涵盖。
- 第3节 - PHY层
物理（PHY）层部分描述了DPTX和DPRX实现的电气要求。它还定义了所需的电路和编码方法，以通过电缆或电路板跟踪传输数据和从DP链路层传输数据。
- 第4节 - 机械
机械部分定义了用于传达DP PHY层定义的电信号的内部和外部显示器连接器的连接器和电缆要求。
- 第5条 - S INTE的我们的CE/接收器/分支机构策略要求 索引性
设备和链接媒体需求部分描述了源，接收器和分支设备的策略要求，以支持实现DisplayPort连接的设备之间的互操作性。

1.2

DisplayPort目标

该标准定义了一个可扩展的数字显示界面，具有可选的音频和内容保护功能，可在PC和消费电子（CE）设备中进行广泛应用。该界面旨在支持内部芯片到芯片和外部框之盒数字显示连接。潜在的内部芯片到芯片应用程序包括在笔记本电脑中使用用于从图形控制器驱动面板的笔记本电脑，以及在显示器或电视中使用以从显示控制器中驱动显示组件的情况。用于显示端口的框到框应用程序的示例包括PC和显示器，投影仪和电视显示之间的显示连接。DisplayPort还适用于消费电子设备之间的显示连接，例如高清光盘播放器，固定盒子和电视显示器。

DisplayPort旨在满足第1.2.1节中定义的PC和CE行业中的几个关键需求。这些行业需求将扩展到DisplayPort标准的1.2.2节中的一组技术目标，以确保显示界面可以支持当前和未来的行业需求。

外部和内部显示连接的特定目标分别在第1.2.3节和DisplayPort标准的第1.2.4节中定义。第1.2.5节定义了CE设备应用程序的其他目标。

1.2.1

展示港的关键行业需求

在DisplayPort体系结构的开发和最终的接口标准中，考虑了以下PC和CE行业的需求：

- 最大程度地应用和重复使用数字技术，以降低与实施数字显示连接相关的设备成本。
- 为内部和外部显示连接启用通用信号传导方法，以降低设备的复杂性并促进商品化。
- 启用一种可扩展的体系结构，该体系结构支持可以在经济上实施的可选鲁棒内容保护能力。
- 启用高质量的可选数字音频传输功能。
- 在渲染和显示设备中启用更高水平的硅整合和创新，以降低设备的复杂性并实现数字接口商品化。潜在的DisplayPort集成功能的示例包括图形或显示控制器内的发射器集成，以及在模块上的计时控制器中的接收器集成。
- 简化内部和外部数字显示连接的电缆。
- 通过在较少的电线上提供更高的带宽来解决现有技术的性能问题。
- 应用嵌入式时钟结构以减少电磁干扰（EMI）敏感性和物理电线数。
- 提供一个可以通过感觉插入的小型颜色连接器，并且设计将使四个连接器放置在全高外围部件互连（PCI）卡片上。
- 通过开放且可扩展的行业标准启用广泛的PC和CE行业。

DisplayPort通过定义可以在模块正时控制器，图形处理器，媒体处理器和显示控制器中容易实现的电气和协议规范来解决这些行业需求。

定义了一个向前驱动器通道，该通道可扩展到一个到四个车道，并实现了支持可变颜色深度，刷新速率和显示像素格式的微型包装体系结构。定义了双向辅助通道，该通道还实现了微型架构，以灵活地传递控制和状态信息。

DisplayPort包括一个机械规范，该规范定义了一个小型，用户友好的外部连接器，该连接器已优化，可用于薄型配置文件笔记本电脑，此外还允许在图形卡上最多四个连接器。该标准的机械部分还定义了用于内部应用的标准模块连接器。

1.2.2 DisplayPort技术目标

上面定义的DisplayPort的跨行业需求可以转化为特定的技术目标。这些用于DisplayPort的技术目标是：

- 提供具有双向辅助通道功能的高带宽向前传输链路通道。

- 提供最多32.4Gbps（每秒千兆位）向前链路通道吞吐量的应用程序支持，以解决长期PC行业的需求，以支持大于QXGA（2048x1536）像素格式和大于24位的色彩深度。
- 为1Mbps（每秒兆甲）的辅助通道（AUX CH）吞吐量提供申请支持，最大延迟为500US（如第3.6节所述，除了dptx和dprx之间的叠层PHY中继器拓扑除外）。
- 支持可变的颜色深度传输的6、8、10、12或16位每个组件。
- 支持EMI符合FCC/CISPR B标准的依从至少为6dB。
- 在适用的情况下支持现有的VESA和CEA标准。
- 不排除旧传输传输支持（例如DVI和LVD）的体系结构，并从DisplayPort组件进行。
- 支持热插头和拔出插头检测和链接状态故障检测。
- 通过直接驱动到2m电缆的直接驱动来支持完整的带宽传输。
- 通过直接驱动器在15m电缆上直接驱动来支持减少带宽的传输。DisplayPort在24BPP上至少支持1080p线，在15m处的四个车道上支持50/60Hz。
- 支持音频偏斜小于1ms。
- 每条车道的原始传输的位错误率为 10^{-9} ，在ECC编码/解码后，音频和控制数据的符号错误率为 10^{-12} 。
- 支持在源设备中集成的65nm（0.065微米）的子过程技术，并支持0.35微米工艺技术以在接收器设备中集成。

1.2.3 DisplayPort外部连接目标

对于源设备和接收器设备之间的外部连接，该标准旨在实现以下技术目标：

- 每当将显示器连接到电源，甚至trick滴交流电源时，支持显示EDID（扩展显示标识数据）的读取。
- 支持DDC/CI（显示数据通道/命令接口）和MCC（MONITOR命令和控制设置）命令传输。
- 支持不包括缩放，离散显示控制器或屏幕显示功能（OSD）功能，启用低成本，数字显示器的外部显示配置。
- 对于外部笔记本电脑PC应用程序，DisplayPort允许通过对接连接器配置进行直接驱动。强烈建议使用码头中的中继器功能。
- 外部DP连接器对于所有显示应用程序都是相同的，并为四个车道提供了支持。圈养电缆可能支持一，两或四个车道以降低成本。
- 外部DP连接器包括多功能引脚。
- 外部DP连接器是对称的，因此可以在源设备和接收器设备上使用相同的连接器。
- 外部DisplayPort连接器支持连接，而无需视觉对齐。
- 外部显示端口连接器的大小可允许四个连接器适合PCI，AGP（加速图形端口）和PCI-Express加载卡的标准全高ATX/BTX支架。

1.2.4

DisplayPort内部连接目标

对于内部连接，例如笔记本电脑或显示内部，该标准旨在实现以下技术目标：

- DisplayPort定义了一个通用模块连接器，以简化内部设备连接。
- 内部电缆中的车道数量取决于实现，可能是一个，两个，或四个。
- 内部DisplayPort连接可以支持最大和减少链路带宽。
- 内部显示端口连接支持低链接电源模式。
- 内部显示器连接的热插头支持取决于实现。

1.2.5 DisplayPort CE连接目标

为了应用于CE设备，该标准旨在解决以下技术目标：

- DisplayPort（可选）可提供与显示数据并发的数字音频数据。
- 支持将音频和视频数据传递到 $\pm 1\text{MS}$ 内的同步。
- DisplayPort体系结构支持可选的强大内容保护功能，可以在经济上实施。
- DisplayPort支持CEA-861-F中定义的功能集的等效功能，用于传输高质量的未压缩音频视频内容，CEA-931-B用于在接收器和源设备之间传输遥控命令。
- DisplayPort支持可变音频格式，音频编码类型，示例频率，示例尺寸和音频通道配置。DisplayPort在192KHz时最多支持32个线性脉冲代码调制（LPCM）音频，其样本量为24位，高比特速率（HBR）音频从256 kHz到1536 kHz，最多八个通道的一个位音频和DST音频。
- DisplayPort基于DMT v1 r13和CVT v1.2时正时标准以及CEA-861-F中列出的那些定时模式，支持基于灵活方面，像素格式和刷新速率组合的可变视频格式。DisplayPort还允许源设备指示内容类型（即游戏，视频和静止图像）。
- DisplayPort支持行业标准的像素编码格式，包括RGB，YCBCR4: 4: 4，YCBCR4: 2: 2和YCBCR4: 2: 0，每个组件的组成部分深度最高16位。
- DisplayPort支持比色规格，例如BT601，BT709，BT2020和Adobe RGB。
- DisplayPort支持传输协议转换，包括DVI/HDMI1.4B/HDMI2.0以及模拟VGA。对于转换为HDMI，DisplayPort还支持CEC消息在AUX CH上进行隧道。
- DisplayPort支持VESA显示流压缩（DSC）传输，用于视觉上的8KP/10KP60Hz视频。对于视觉无故障的DSC Bitstream传输，DisplayPort还支持Reed Solomon（254，250）正向误差校正（FEC）。
- DisplayPort支持在USB Type-C功能上具有DP ALT模式的多功能多通传输（MST）码头。

1.2.6 DisplayPort的内容保护

为了实现需要内容保护的DP接口，建议使用HDCP版本1.3和2.2。建议最大程度地减少市场上展示端口设备之间的不兼容。

1.3

Acronyms, Initializations, and Abbreviations

表1-1: 首字母缩写, 初始化和缩写

Acronym	Stands for
ACT	Allocation Change Trigger
API	Application Programming Interface
AUX	Auxiliary transaction
AUX CH	Auxiliary CHannel
BER	Bit Error Rate
bpc	bits per component
bpp	bits per pixel
BE	Blanking End
BS	Blanking Start
BU	Branching Unit
CDF	Cumulative Distribution Function
CDR	Clock and Data Recovery
CEA	Consumer Electronics Association
CCS	Current Capabilities Structure
CD_ADJ	Current Disparity ADJust
CEC	Consumer Electronics Channel
CH	Channel
CP	Content Protection
CR	Clock Recovery
CSN	Connection Status Notify
CTLE	Continuous Time Linear Equalizer
CVT	Coordinated Video Timings (VESA)
DB	Data Byte
DDC/CI	Display Data Channel/Command Interface (VESA)
DE	Display Enable
DEM	Downstream Event Monitor
DFE	Decision Feedback Equalizer
DFP	Downstream-Facing Port
DisplayID	Display Identification Data
DJ	Deterministic Jitter
DMT	Discrete Monitor Timing (VESA)
DP	DisplayPort (VESA)
DPCD	DisplayPort Configuration Data
DP_PWR	DP Power
DPRX	DisplayPort receiver
DPRX_PHY	DPRX PHY Layer circuit

表1-1: 首字母缩写, 初始化和缩写 (续)

Acronym	Stands for
DPTX	DisplayPort transmitter
DPTX_PHY	DPTX PHY Layer circuit
DSC	Display Stream Compression
DST	Direct Stream Transfer
DTD	Display Timing Data
DVI	Digital Visual Interface
eDP	Embedded DisplayPort (VESA)
ECC	Error Correcting Code
ECF	Encryption Control Field
E-DDC	Enhanced Display Data Channel (VESA)
EDID	Extended Display Identification Data (VESA)
EMT	End_Of_Message_Transaction
EOC	End Of Chunk
EOM	End Of Message
EOS	Electrical Over-Stress
EQ	Equalization
ESD	Electro Static Discharge
ESI	Event Status Indicator
FEC	Forward Error Correction
fs	Pre-defined sample frequency
GPU	Graphics Processor Unit
GTC	Global Time Code
GUID	Globally Unique ID
HA	Horizontal Active height
HB	Header Byte
HBR	High Bit Rate (2.7Gbps/lane)
HBR2	High Bit Rate 2 (5.4Gbps/lane)
HBR3	High Bit Rate 3 (8.1Gbps/lane)
HDCP	High-bandwidth Digital Content Protection
HDMI	High-Definition Multimedia Interface
HPD	Hot Plug Detect
HSP	HSync Polarity
HSW	HSync Width
I ² C	Inter-Integrated Circuit
IRQ	Interrupt Request
ISI	Inter-Symbol Interference
LFSR	Linear Feedback Shift Register
LL	Link Layer

表1-1: 首字母缩写, 初始化和缩写 (续)

Acronym	Stands for
lsb	least significant bit
LSB	Least Significant Byte
LPCM	Linear Pulse Code Modulation
LT	Link Training
LVP	Link Verification Pattern
Maud	Maud value for audio
MBps	Megabytes/second
MCCS	Monitor Control Command Set (VESA)
mDP	Mini DisplayPort
MP/s	Megapixel/second
msb	most significant bit
MSB	Most Significant Byte
MOT	Middle Of Transaction
MST	Multi-Stream Transport
MTP	Multi-stream Transport Packet
MTPH	Multi-stream Transport Packet Header
Mvid	Mvid value for video
Naud	Naud value for audio
nb	Nibble
Nvid	Nvid value for video
NORP	Number Of Receiver Ports
OCP	Over Current Protection
OUI	Organizational Unique ID
PB	Parity Byte
PCB	Printed Circuit Board
PFD	Phase Frequency Detector
PH	Place Holder
PHY	Physical (used with “PHY Layer”)
PLL	Phase-Locked Loop
PM	Parity Marker
PoS	Point of Sync
ppr	peak pixel rate
PPS	Picture Parameter Set
PRBS	Pseudo Random Bit Sequence
PSR	Panel Self Refresh
PSR2	Panel Self Refresh, Version 2

表1-1: 首字母缩写, 初始化和缩写 (续)

Acronym	Stands for
RAD	Relative Address
RBR	Reduced Bit Rate
RC	Rate Control
RD	Running Disparity
RG	Rate Governing
RGB	Red Green Blue
RJ	Random Jitter
ROO	Region Of Overlap
RS	Reed-Solomon
RSN	Resource Status Notify
RT	Retimer
RTL	Register Transfer Level
RX	Receiver
SCMS	Serial Copy Management System (ANSI)
SDP	Secondary-Data Packet
SE	SDP End
SF	Stream Fill
SMT	Start_Of_Message_Transaction
SR	Scrambler Reset
SS	SDP Start
SSC	Spread-Spectrum Clock
SST	Single-Stream Transport
TBC	Time Base Converter
TBR	Time Base Recovery unit
TCON	Timing Controller
TDR	Time Domain Reflectometry
TG	Timing Generator
TIA	Timing Interval Analyzer
TIE	Timing Interval Error
TJ	Total Jitter
TMDS	Transition Minimized Differential Signaling
TU	Transfer Unit
TX	Transmitter
UFP	Upstream-Facing Port
UI	Unit Interval
VA	Vertical Active height
VB-ID	Vertical Blanking ID
VBL	Vertical Blank

表1-1: 首字母缩写, 初始化和缩写 (续)

Acronym	Stands for
VBP	Vertical Back Porch
VC	Virtual Channel
VCO	Voltage Controlled Oscillator
VCPF	Virtual Channel Payload Fill
VESA	Video Electronics Standards Association
VEV	Vertical Eye View
VFP	Vertical Front Porch
VHDL	Very high speed integrated circuit Hardware Description Language
VS	Vertical Sync
VSP	VSynC Polarity
VSR	Vertical Space Region
VSW	VSynC Width

1.4 Glossary

表1-2: 术语术语表

Terminology	Definition
ANSI 8b/10b	Channel coding specification as specified in ANSI X3.230-1994, Clause 11.
Auxiliary channel	AUX CH. Physical property (pins and signal traces) over which AUX transaction traffic is routed. Half-duplex, bidirectional channel between a DPTX and DPRX. Consists of 1 differential pair transporting data. An upstream DP device is the master (also referred to as AUX requester) that initiates an AUX transaction. A downstream DP device is the slave (also referred to as AUX replier) that replies to the AUX transaction initiated by the requester.
Back channel	See the definition in Directionality terminology.
Box-to-box connection	DisplayPort link between two boxes that is detachable by an end-user. A DP cable-connector assembly for the box-to-box connection shall have four Main-Link lanes.
bits per component	bpc. Number of bits for each of R, G, B or Y, Cb, and Cr.
bits per pixel	bpp. Number of bits for each pixel: - For RGB and YCbCr 4:4:4, the bpp value is three times the bpc value. - For YCbCr 4:2:2, the bpp value is two times the bpc value. - For YCbCr 4:2:0, the bpp value is 1.5 times the bpc value. - For Y-only, the bpp value is equal to the bpc value.
Branch Device	See DP Branch device.
Captive cable	DP cable that is attached to Sink device and cannot be detached by an end-user. Captive DP cable may have one, two, or four Main-Link lanes, while an end-user-detachable cable is required to have four Main-Link lanes.
CEA range	Nominal zero luminance intensity level: 16 for 24bpp 64 for 30bpp 256 for 36bpp 1024 for 48bpp Maximum luminance intensity level at maximum code value allowed for bit depth: 235 for 24bpp RGB 940 for 30bpp RGB 3760 for 36bpp RGB 15040 for 48bpp RGB Note: The RGB CEA range is defined for 24, 30, 36, and 48bpp RGB only.
Chunk	Portion of the bitstream that comprises a set of data bytes. For each slice, there are the same number of Chunks as lines within a slice. Every Chunk is the same size because DP v1.4 assumes a constant bit rate bitstream. (See DSC v1.2 for further details.)
De-bouncing timer	A timer that counts the “de-bouncing period” to elapse after a mechanical contact (e.g., plugging in a cable-connector assembly to a receptacle connector) to give the signals on the connectors time to settle.
De-spreading	An operation by a Sink device for getting rid of down-spread of the stream clock when the clock is regenerated from the down-spread link symbol clock.

表1-2: 术语表 (续)

Terminology	Definition
Directionality terminology (Downstream-facing port, downstream link, downstream device, upstream-facing port, upstream link, upstream device, Downward/Upward Message Transactions, Forward/Back Channel)	A link through which data is transmitted by the DPTX of a DP device (either DP Source or DP Branch device) is called a “downstream link” of the DP device and the port through which the link is driven is a “downstream-facing port” (DFP). A link through which data is received by the DPRX of a DP device (either DP Branch or DP Sink device) is called an “upstream link” of the DP device and the port through which the link is receiving data is an “upstream-facing port.” (UFP). From the point of view of the device that transmits Main-Link data, device at the other end of link that receives the data is its downstream device. From the point of view of the device that receives Main-Link data, device at the other end of link that transmits the data is its upstream device. As for Sideband MSG and Message Transaction, a request Message Transaction (consisting of one or multiple request Sideband MSGs) originated by a DP device toward the downstream devices is called a downward-going request, or DOWN_REQ_MSG. A reply to the downward-going request is called an upward going reply, or UP_REP_MSG. A request Message Transaction originated by a DP device toward upstream devices is called an upward-going request, or UP_REQ_msg. A reply to the upward-going request is called a downward going reply, or DOWN_REP_MSG. For AUX transactions, the channel from upstream device to downstream device (used for request transactions) is the Forward channel and the channel from downstream device to upstream device (used for reply transactions) Back channel.
Display Line	Single row of active pixels across a display.
DisplayPort receiver	DPRX. Circuitry that receives the incoming DisplayPort Main-Link data. It also contains the transceiver circuit for AUX CH. Performs both PHY and Link Layer functions. Part of a DP downstream device (i.e., DP Sink device and DP Branch device).
DisplayPort transmitter	DPTX. Circuitry that transmits the DisplayPort Main-Link data. Also contains the transceiver circuit for AUX CH. Performs both PHY and Link Layer functions. Part of a DisplayPort upstream device (i.e., DP Sink device and DP Branch device).
DisplayPort Configuration Data (DPCD)	DPCD registers are mapped to the 20-bit address space of the DPRX. Each register is 8 bits wide. DPCD registers are used by the DPRX to declare its capabilities and status, and by DPTX to configure the DPRX by way of AUX transactions.
Down-spread	Spreading a clock frequency downward from a peak frequency. As compared to “center-spread”, avoids exceeding the peak frequency specification.
Downstream-facing port	See the definition in Directionality terminology.
Downstream link	See the definition in Directionality terminology.
Downstream device	See the definition in Directionality terminology.
DP Branch device	Device containing DPRX and either DPTX or transmitter of another AV transport interface (“legacy interface”). DP PHY Repeater, having only PHY Layer portions of a DPTX and DPRX, is not a DP Branch device. Also referred to as a “Branch device” within this Standard.
DP PHY Repeater	Consists of the DPTX_PHY and DPRX_PHY.
DP Sink	Contains the DPRX and at least one stream sink.
DP Sink device	Device containing the DP Sink. Leaf device of DP topology. Also referred to as a “Sink device” within this Standard.
DP Source	Contains the DPTX and at least one stream source.
DP Source device	Device containing the DP Source. Root device of DP topology. Also referred to as a “Source device” within this Standard.

表1-2: 术语表 (续)

Terminology	Definition
DST audio	TBD
embedded DisplayPort	eDP. Embedded connection, as specified in the VESA Embedded DisplayPort Standard.
Embedded Connection	DisplayPort link within a box that is not to be detached by an end-user. DisplayPort cable for the embedded connection may have one, two, or four Main-Link lanes.
Forward Channel	See the definition in Directionality terminology.
Gen-lock	Locking the output timing of a circuit to the input timing. For example, the DPRX may Gen-lock its Display Enable (DE) output timing to the timing of DE signal it receives from a transmitter on the other end of the link.
High-bandwidth Digital Content Protection	HDCP. One of the content protection system options for the DisplayPort link. Note: <i>HDCP is not part of the DP Standard.</i>
HPD pulse	There are two kinds of HPD (Hot Plug Detect) pulse, depending on the duration: - A Sink device, when issuing an IRQ (Interrupt ReQuest) to the Source device, must generate a low-going HPD pulse of 0.5ms through 1ms in duration. Upon detecting this “IRQ_HPDPulse”, the Source device must read the DPCD Link/Sink Device Status registers and take corrective action. - When a Source device detects a low-going HPD pulse longer than 2ms in duration, it must be regarded as a hot plug event HPD pulse. Upon detecting this hot plug event HPD pulse, the Source device must read the DPCD Receiver Capability and Link/Sink Device Status registers and take corrective action.
Hybrid device	Either a Branch device or PHY Repeater device responsible for transporting data between a Source device and Sink device by means other than that provided for by PHY Layer, as defined in Section 3, and mechanical, cable-connector assembly specifications, as defined in Section 4.1. A Hybrid device may use alternative wired or wire-free means including optical or radio technology.
Idle Pattern	Main-Link Symbol pattern sent over the link when the link is active with no stream data being transmitted.
Leaf device	Sink device, located at a leaf in a DisplayPort tree topology.
Link clock recovery	Operation of recovering the link clock from the link serial bitstream.
Link Layer	Layer that handles the mapping between upper layer data and link symbols for the Main-Link and AUX CH.
Link Policy Maker	Manages the link and is responsible for keeping the link synchronized. All DisplayPort devices must have a Link Policy Maker.
Main-Link	Unidirectional channel for isochronous stream transport from DPTX to DPRX. Consists of one, two, or four lanes, or differential pairs. Supports four bit rates: 8.1Gbps/lane (referred to as “high bit rate 3”) 5.4Gbps/lane (referred to as “high bit rate 2”) 2.7Gbps/lane (referred to as “high bit rate”) 1.62Gbps/lane (referred to as “low bit rate” or “reduced bit rate”) Note: <i>6.75Gbps/lane link rate is supported between a MyDP DPTX and MyDP DPRX.</i>

表1-2: 术语表 (续)

Terminology	Definition
Main-Link Symbol	Symbol types can be data or control: - Data symbols contain 8 bits of data and are encoded into 10-bit data characters by way of channel coding, as specified in ANSI X3.230-1994, Clause 11 (referred to as “ANSI 8b/10b” within this Standard) before being transmitted over a link. - DisplayPort also defines control symbols used to frame data symbols. Control symbols are encoded into 10-bit special characters of ANSI 8b/10b (called k-codes).
Main-Link Symbol clock	Clock with which Main-Link Symbols are transferred within PHY and Link Layer circuits of either DPTX or DPRX for Main-Link transport. The clock frequency is as follows: 810MHz for 8.1Gbps/lane (high bit rate 3, HBR3) 540MHz for 5.4Gbps/lane (high bit rate 2, HBR2) 270MHz for 2.7Gbps/lane (high bit rate, HBR) 162MHz for 1.62Gbps/lane (low bit rate, RBR)
Main Stream Attributes	Attributes describing the main video stream format in terms of geometry and color format. Inserted once per video frame during the video blanking period. Used by the DisplayPort receiver in reconstructing the stream.
Manchester transaction	AUX transaction using Manchester II encoding used for transfers at 1Mbps on the AUX CH.
Micro-packet	Vessel used for transporting data over a DP link.
Multi-stream Transport	MST. Format used for transporting multiple main video streams, each of which is enclosed in a VC Payload and may have a Secondary-Data Packet (SDP) stream, such as an audio stream (or SDP stream only without main video stream). Uses MTP (Multi-stream Transport Packet) as the unit of micro-packet. See also Single-stream Transport.
One Bit audio	TBD
Peak Pixel Rate	ppr. Maximum data rate in megapixels per second (MP/s) reported by the DSC decoder(s) in a DP DSC Sink device that a display requires for a given display mode (resolution and refresh).
Physical Layer	PHY Layer. Consists of logical and electrical sub-blocks. Handles channel encoding from/decoding to link symbols, serialization/de-serialization, and serial bit stream transmission/reception.
PRBS7	7-bit pseudo random bit sequence according to ITU-T Recommendation O.150, “General Requirements for Instrumentation for Performance Measurements on Digital Transmission Equipment,” May 1996. $G(x) = x^7 + x^6 + 1$ (non-inverted signal) Length of sequence = 127 bits The actual sequence must be: ----- direction ----> <pre> 0010000011000010100 011110010001011001110101001 111101000011100010010011011 010110111101100011010010111 01110011001010101111110000 </pre> Note: Upper left transmitted first and lower right transmitted last.

表1-2: 术语表 (续)

Terminology	Definition
Rendering function	Function of displaying/processing the stream data in devices such as video displays, speakers, and image format converters.
Root device	DP Source device, located at a root in a DisplayPort tree topology.
Secondary-data	Data transported over the Main-Link which is not main video stream data, such as audio data and INFOFRAME SDPs.
Single-stream Transport	SST. Format used for transporting a single main video stream which may have a Secondary-Data Packet stream, such as an audio stream (or an SDP stream only without main video stream). Uses TU (Transfer Unit) as the unit of micro-packet. See also Multi-stream Transport.
slice	Independently decodable set of compressed bits that represent a specified set of samples. The set of samples forms a rectangle in the horizontal and vertical dimensions. Decoding of any one slice does not depend on the decoded result or availability of another slice.
Stream Clock	Used for transferring stream data into a DPTX within a DP Source device or from a DPRX within a DP Sink device. Video and audio (optional) are likely to have separate stream clocks.
Stream Clock Regeneration	Operation of regenerating the stream clock from the Main-Link Symbol clock.
Stream Policy Maker	Manages transportation of an isochronous stream.
Timing Controller	TCON. Circuit that outputs control and data signals to driver electronics of a display device.
Time Stamp	A value used by a clock circuit to keep two systems synchronized.
Transfer Unit	TU. Used to carry main video stream data during its horizontal active period. TU has 32 to 64 symbols per lane (except at the end of the horizontal active period), each consisting of active data symbols and fill symbols.
Trickle Power	Power for Sink device that is sufficient to let the Source device read EDID via the AUX CH, but insufficient to enable Main-Link and other Sink device functions. For Sink device to drive the HPD signal high, at least the trickle power must be present. The amount of power needed for the trickle power is Sink device implementation-specific.
Upstream-facing port	See the definition in Directionality terminology.
Upstream link	See the definition in Directionality terminology.
Upstream device	See the definition in Directionality terminology.
Vertical Blanking ID	VB-ID. Data symbol sent immediately following a BS symbol sequence, indicating the AV stream transport status (e.g., vertical blanking interval or not, audio to be muted or not). Also used for content protection synchronization detection by the DPRX.
VESA range	Nominal zero luminance intensity level at code value zero. Maximum luminance intensity level is the maximum code value allowed for the bit depth: • 63 for 18bpp RGB • 255 for 24bpp RGB • 1023 for 30bpp RGB • 4095 for 36bpp RGB • 65535 for 48bpp RGB

表1-2: 术语表 (续)

Terminology	Definition
via	Cross-over between layers of a multi-layer PCB (printed circuit board).
Video Horizontal Timing	Horizontal timing means video line timing. For example, horizontal period and horizontal synchronization pulse mean line period and line synchronization pulse, respectively. The term “horizontal” does not necessarily correspond to the physical orientation of the display device. For instance, a line may be oriented vertically on a “portrait” display.
Video Vertical Timing	Vertical timing means video frame (or field) timing. For example, vertical period and vertical synchronization pulse mean a frame (or field) period and a frame synchronization pulse, respectively. The term “vertical” does not necessarily correspond to the physical orientation of the display device. For instance, a line may be oriented horizontally on a “portrait” display.

1.5 Reference Documents

表1-3: 参考文档

Document	Version/ Revision	Referenced As	Date
<i>ANSI IEC 14496-3, Information Technology – Coding of Audio-Visual Objects – Part 3: Audio – see global.ihs.com</i>	Edition 4.0	<i>IEC 14496-3</i>	August 1, 2015
<i>ANSI IEC 60958 SET, Digital Audio Interface – All Parts – see global.ihs.com</i>	Edition 1.0 en:2015	<i>IEC 60958</i>	2015
<i>ANSI IEC 60958-1, Digital Audio Interface – Part 1, General – see global.ihs.com</i>	Edition 3.0 b:2014	<i>IEC 60958-1</i>	April 1, 2014
<i>ANSI IEC 60958-3, Digital Audio Interface – Part 3, Consumer Applications – see global.ihs.com</i>	Edition 3.2 en:2015	<i>IEC 60958-3</i>	June 1, 2015
<i>ANSI IEC 61937 SET, Digital Audio – Interface for Non-linear PCM Encoded Audio Bitstreams Applying IEC 60958 – All Parts – see global.ihs.com</i>	Edition 1.0 b:2013	<i>IEC 61937</i>	2013
<i>ANSI INCITS 230-1994, FibreChannel – Physical and Signaling Interface (FC-PH) – see global.ihs.com</i>			1994
<i>ANSI/EIA-364-09C, Durability Test Procedure for Electrical Connectors and Contacts – see global.ihs.com</i>			June 1999
<i>ANSI/EIA-364-13B, Mating and Unmating Forces Test Procedure for Electrical Connectors – see global.ihs.com</i>			December 1998
<i>ANSI/EIA-364-17B, Temperature Life with or without Electrical Load Test Procedure for Electrical Connectors and Sockets – see global.ihs.com</i>			June 1999
<i>ANSI/EIA-364-20C, Withstanding Voltage Test Procedure for Electrical Connectors, Sockets, and Coaxial Contacts – see global.ihs.com</i>			June 2004
<i>ANSI/EIA-364-21C, Insulation Resistance Test Procedure for Electrical Connectors, Sockets, and Coaxial Contacts – see global.ihs.com</i>			May 2000
<i>ANSI/EIA-364-23B, Low Level Contact Resistance Test Procedure for Electrical Connectors and Sockets – see global.ihs.com</i>			December 2000
<i>ANSI/EIA-364-27B, Mechanical Shock (Specified Pulse) Test Procedure for Electrical Connectors – see global.ihs.com</i>			May 1996
<i>ANSI/EIA-364-28D, Vibration Test Procedure for Electrical Connectors and Sockets – see global.ihs.com</i>			July 1999
<i>ANSI/EIA-364-31B, Humidity Test Procedure for Electrical Connectors – see global.ihs.com</i>			May 2000

表1-3: 参考文档 (续)

Document	Version/ Revision	Referenced As	Date
<i>ANSI/EIA-364-32C, Thermal Shock (Temperature Cycling) Test Procedure for Electrical Connectors and Sockets</i> – see global.ihs.com			May 2000
<i>ANSI/EIA-364-41C, Cable Flexing Test Procedure for Electrical Connectors</i> – see global.ihs.com			June 1999
<i>ANSI/EIA-364-70, Temperature Rise Versus Current Test Procedure for Electrical Connector and Sockets</i> – see global.ihs.com			May 1998
<i>ANSI/EIA-364-98, Housing Locking Mechanism Strength Test Procedure for Electrical Connectors</i> – see global.ihs.com			June 1997
<i>CEA-861.2, Advanced Audio Extensions</i> – see global.ihs.com		<i>CEA-861.2</i>	August 1, 2015
<i>CEA-861.3, HDR Static Metadata Extensions</i> – see global.ihs.com		<i>CEA-861.3</i>	January 30, 2015
<i>CEA-861-F, A DTV Profile for Uncompressed High Speed Digital Interface</i> – see global.ihs.com		<i>CEA-861-F</i>	August 2013
<i>CEA-931-B, Remote Control Command Pass-Through Standard for Home Networking</i> – see global.ihs.com		<i>CEA-931-B</i>	September 2003
<i>Digital Visual Interface (DVI)</i>	1.0	<i>DVI r1.0</i>	April 2, 1999
<i>High-Bandwidth Digital Content Protection System, Amendment for DisplayPort</i> – see www.digital-cp.com	1.3/1.1		December 2009
<i>High-Bandwidth Digital Content Protection System, Mapping HDCP to DisplayPort</i> – see www.digital-cp.com	2.2		December 2012
<i>High-Definition Multimedia Interface Specification</i> – see www.hdmi.org	1.4b		October 2011
<i>High-Definition Multimedia Interface Specification</i> – see www.hdmi.org	2.0		September 2013
<i>IEC 61000-4-2, Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test</i> – see webstore.iec.ch	2.0		December 2008
<i>IETF 4122, A Universally Unique Identifier (UUID) URN Namespace</i> – see www.ietf.org/rfc/rfc4122.txt			July 2005
<i>ITU-R BT.2020, Parameter values for ultra-high definition television systems for production and international programme exchange</i> – see www.itu.int/rec/R-REC-BT.2020/en			August 2012
<i>ITU-R BT.601-6, Studio Encoding Parameters of Digital Television for Standard 4:3 and Wide Screen 14:9 Aspect Ratio</i> – see www.itu.int/publications			January 2007

表1-3: 参考文档 (续)

Document	Version/ Revision	Referenced As	Date
<i>ITU-R BT.709-5, Parameter Values for the HDTV Standards for Production and International Programme Exchange</i> – see www.itu.int/publications			April 2002
<i>JEDEC JESD22-A114FElectrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)</i> – see www.jedec.org/standards-documents			December 2008
<i>VESA Glossary of Terms</i> – see www.vesa.org	Current		Current
<i>VESA Intellectual Property Rights (IPR) Policy</i> – see www.vesa.org/wp-content/uploads/2014/04/VP-200C.pdf	200C		April 2014
<i>VESA Coordinated Video Timings Standard</i>	Version 1.2	<i>CVT v1.2</i>	TBD
<i>VESA Display Data Channel Command Interface (DDC/CI) Standard</i>	Version 1, Revision 1		October 2004
<i>VESA DisplayPort Alt Mode on USB Type-C Standard</i>	Version 1.0a	<i>DP Alt Mode on USB Type-C v1.0a</i>	August 5, 2015
<i>VESA DisplayPort EDID Compliance Test Standard</i>	Version 1.2	<i>DP EDID CTS v1.2</i>	TBD
<i>VESA DisplayPort Panel Connector Standard</i>	Version 1.1a		May 2009
<i>VESA DisplayPort PHY Compliance Test Standard (PHY CTS)</i>	Version 1.2b		November 26, 2012
<i>VESA Display Stream Compression (DSC) Standard</i>	Version 1.2	<i>DSC v1.2</i>	TBD
<i>VESA Embedded DisplayPort (eDP) Standard</i>	Version 1.4b	<i>eDP v1.4b</i>	October 23, 2015
<i>VESA Enhanced Display Data Channel (E-DDC) Standard</i>	Version 1, Revision 1		March 2004
<i>VESA Enhanced Extended Display Identification Data (E-EDID) Standard</i>	Release A, Revision 2		September 2006
<i>VESA and Industry Standards and Guidelines for Computer Display Monitor Timing (DMT)</i>	Version 1, Revision 13	<i>DMT v1 r13</i>	March 3, 2013
<i>VESA Display Identification Data (DisplayID) Structure Standard</i>	Version 1, Revision3		July 2013
<i>VESA DockPort Standard</i>	Version 1.0a	<i>DockPort v1.0a</i>	December 22, 2014
<i>VESA Mini DisplayPort Connector (mDP) Standard</i>	Version 1		October 2009
<i>VESA Monitor Control Command Set (MCCS) Standard</i>	Version 2, Revision 2		January 2009
<i>VESA MST Use Case Example</i>	Version 1		September 2011
<i>VESA MyDP Standard</i>	Version 1		October 2012
<i>DVD Specifications for Read-Only Disc, Part 4: Audio Specification, Version 1.2</i>	TBD		TBD

1.6 位和字节顺序的命名法

本节描述了主链接和AUX CH的位和字节顺序。

1.6.1 位订购

1.6.1.1 并行位订购

- 主链接
 - 在一个字节中，位0是最小显着的位（LSB），位7是最显着的位（MSB）。

msb							lsb
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- 对于每个组件8位（BPC），将红位7（R7）放在位7，红位0（R0）放在位0

msb							lsb
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R7	R6	R5	R4	R3	R2	R1	R0

- 对于6BPC，将红位5放置在位7（R5），绿色位4（G4）放置在位0

msb							lsb
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R5	R4	R3	R2	R1	R0	G5	G4

- aux ch
 - 在字节中，位0是最不重要的位，而位7是最重要的位

1.6.1.2 通道编码后串行位订购

- 主链接（ANSI 8b/10b）
 - 最低的位首先传输，也是最重要的位。
- Aux CH（曼彻斯特-II）
 - 最重要的位是首先传输的，也是最不重要的位。

1.6.2 Byte Ordering

- 主链接，主流
 - 最重要的字节首先传输。例如，如果RGB像素的颜色位深度为16B PC，则R15: 8（红位15: 8）首先传输，然后是R7: 0（红位7: 0）。

R15:8
R7:0

- 当主流属性数据包的某些参数具有多个字节时，最重要的字节首先要传输。例如，MVID23: 16首先传输，其次是MVID15: 8，然后是MVID7: 0。

Mvid23:16
Mvid15:8
Mvid7:0

- 主链接，辅助数据包（SDP）
- 如下所示，首先要传输最低的字节。

Audio sample0 channel0 byte 0
Audio sample0 channel0 byte 1
Audio sample0 channel0 byte 2
Audio sample0 channel0 byte 3

- aux ch
 - 在Aux CH上的突发写入/读取操作中，每个数据字节后，地址增加一个。对于具有多个字节的DPCD字段，除非在DPCD地址映射表中另有明确说明的话（例如，在DPCD地址00222H至00231H中，除非另有明确说明，否则最低的字节存储在最低地址中，除非在00222H至00231H中均以最低的话题，否则最小的重要字节存储在上地址）。因此，在AUX交易的爆发过程中，首先将最低的字节传输。

Source IEEE OUI first two hex digits (DPCD Address 00300h)
Source IEEE OUI second two hex digits (DPCD Address 00301h)
Source IEEE OUI third two hex digits (DPCD Address 00302h)

Note: *As specified in Section 1.6.1, the most significant bit is transported first, and the least significant last over the AUX CH.*

1.7

DisplayPort的概述

DisplayPort链接由以下内容组成：

- 主链接主要链接是单向，高宽带，低延迟通道，用于运输等于同调的数据流，例如未压缩的视频和音频。
- 辅助通道（AUX CH）AUX CH是半双链的双向通道，用于链接管理和设备控制。
 -
- 热塞检测（HPD）信号线HPD信号还用作水槽设备的中断请求。

此外，盒装连接的DP连接器具有用于为本地设备供电的电源引脚。

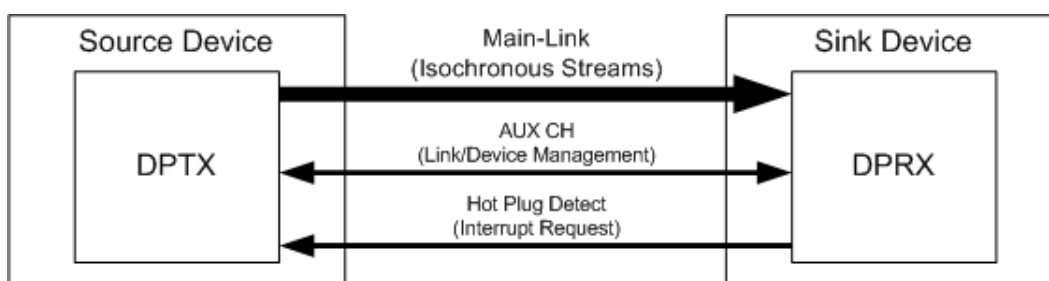


图1-1：DisplayPort数据传输渠道

1.7.1

主要链接的化妆

主链接由一个，两个或四个AC耦合，双重终止差异对组成（称为车道）。AC耦合有助于硅过程迁移，因为DPTX和DPRX可能具有不同的公共模式电压。

支持四个链接率 - 8.1、5.4、2.7和1.62Gbps/lane。所有启用车道都必须以相同的链路速率运行。链路速率与像素速率分离。使用时间戳记MVID和NVID从链接符号时钟重新生成像素速率。DPTX和DPRX的功能以及通道（或电缆）的质量将确定链接率是否设置为8.1、5.4、2.7或1.62Gbps/lane。

Note: 6.75Gbps link rate is supported between a MyDP DPTX and MyDP DPRX.

主链接的车道数量为一，两个或四个车道。车道的数量与像素位深度（每个像素或BPP位）和组件位深度（每个组件或BPC）分离。组件位深度为6、8、10、12和16的位置，由RGB的像素编码格式，YCBCR 4: 4: 4: 4: 4/4: 2: 2: 2: 2: 2: 2: 0 y-y-y-hindly在DisplayPort中，无论主链接车道的数量如何。对于原始像素编码格式，支持每个像素的位深度为6、7、8、10、12、14和16位。

所有车道都携带数据。没有专用的时钟频道。时钟是从编码ANSI 8B/10B编码规则的数据流本身中提取的。（在ANSI X3.230-1994，第11条中指定了频道编码。）

允许源和水槽设备支持其需求所需的最小车道数量。支持两条车道的设备支持一条和两个车道，而支持四个车道的设备支持一个，两个和四个车道。需要最终用户可拆卸的外部电缆以支持四个车道，以最大程度地利用源和水槽设备之间的互操作性。

除了20%的通道编码开销外，DisplayPort Main-Link为表1-4中列出的应用程序带宽（也称为链接符号率）提供了。

表1-4： DP主链接应用程序带宽

Link Rate (Gbps)	# of Lanes	Application Bandwidth (MBps)
8.1	One	810
	Two	1620
	Four	3240
6.75 ^a	One	675
5.4	One	540
	Two	1080
	Four	2160
2.7	One	270
	Two	540
	Four	1080
1.62	One	162
	Two	324
	Four	648

a. 6.75Gbps link rate is supported between a MyDP DPTX and MyDP DPRX.

DisplayPort设备可以通过像素格式自由地交易像素位深度以及可用带宽内的流帧速率。

设计流到主链接的数据映射是为了促进各种车道计数的支持。例如，无论像素位深度和比色法格式如何，如表1-5中列出的4车道主链接都填充并映射到4车道主链接上。

表1-5：4车道主链接上的像素数据映射

Pixels	Lane #
0, 4	0
1, 5	1
2, 6	2
3, 7	3

流数据被包装到“微型包装”中，在SST（单流传输）模式和MTP（多式传输数据包）中，它们称为“传输单位”，以MST（多流传输）模式。将流数据包装并映射到主链接后，包装的流数据速率将等于或小于主链接的链接符号速率。当它较小时，插入填充符号。

1.7.2

aux ch的化妆

Aux CH由AC耦合，双重终止的差异对组成。曼彻斯特-II编码用作AUX CH上的AUX交易的通道编码。与主链接一样，时钟是从数据流中提取的。

Aux CH具有半双链的双向PHY层。源设备是主设备，而接收器设备为从。接收器设备可以切换HPD信号，以提示源设备启动AUX请求事务以读取DPCD链接/接收器状态寄存器位，包括IRQ_HPD矢量寄存器位。

AUX CH在受支持的电缆长度高达15m及更长的电缆长度上提供了1Mbps的数据速率。每次交易的最大爆发数据大小为16个字节，每次交易的数量不超过500US。这样可以避免通过一个应用程序饿死其他应用程序来避免争夺问题。

1.7.3链接配置和管理

在HPD事件中，源设备通过链接培训配置链接。正确的车道数是在正确的链接速率下使用正确的驱动电流和均衡级别启用的，并通过AUX CH上的DPTX和DPRX之间的辅助交易启用。

在链接训练后正常操作期间，接收器设备可以通过切换HPD信号以中断请求信号通知链接状态更改，例如，同步损失。然后，源设备使用AUX Transactions检查DPCD链接/接收器设备状态寄存器，然后采取纠正措施。这种闭环操作增强了源和接收器设备之间的鲁棒性和互操作性。

由于链路速率与流率分离，因此即使在运输的AV流的时机变化时，DisplayPort链接也可能保持活跃和稳定。

1.7.4

分层模块化体系结构

图1-2显示了DisplayPort的分层体系结构。

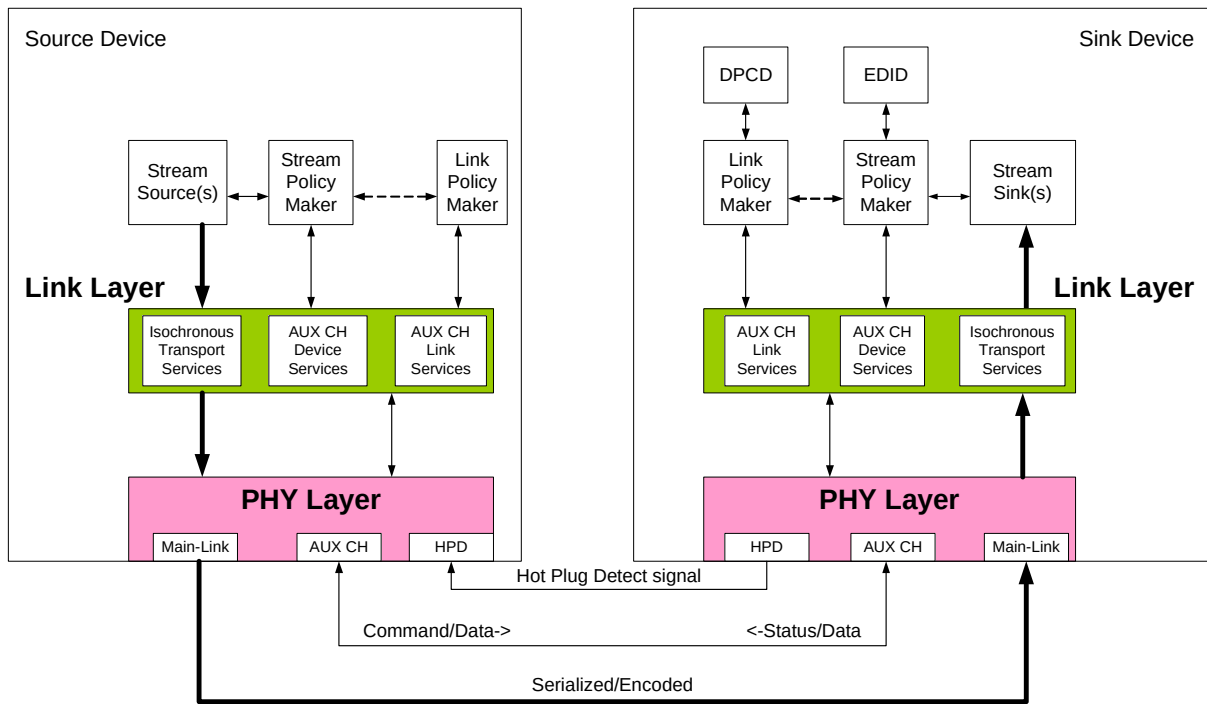


图1-2：分层体系结构

在图1-2中，水槽设备中的DisplayPort配置数据（DPCD）描述了DPRX的功能，就像Edid描述了流式的水槽的功能一样。链接和流制定者分别管理链接和流。详细信息（状态机，固件或系统软件）是特定于实现的。

Note: *At some future time, the PHY Layer may be replaced while the Link Layer remains unchanged. This allows this Standard to evolve along with the technology, to maintain its cost and performance position.*

同样，基于微型包装的数据传输可以使该标准的无缝扩展能够支持多个音频流和其他数据类型。开关和轮毂可用于在多个源和水槽设备之间路由流。

当需要进行内容保护时，建议使用DisplayPort修订版1.1和HDCP版本2.2的HDCP版本1.3修订。

2 Link Layer

2.1 SST模式简介

本节介绍了单流传输（SST）模式的DisplayPort链路层提供的服务。（本节中的小节适用于SST和MST模式，在小节标题中明确指出。）这些服务是：

- 基于微型包装架构，将视频和音频流映射到具有一组规则的主链接符号上（在第2.2节中进行了说明），可以正确地重新构造为原始格式和水槽设备中的原始格式和时间群。
- AUX CH链接服务上的链接和设备管理服务用于发现，配置和维护链接。访问Display Port配置数据（DPCD）地址的AUX事务用于这些目的。设备服务支持设备级别的应用程序，例如EDID Read和MCC Control。此外，辅助交易可用于可选内容保护。

结合这些服务的描述，本节还介绍了AUX状态/仲裁和交易语法。

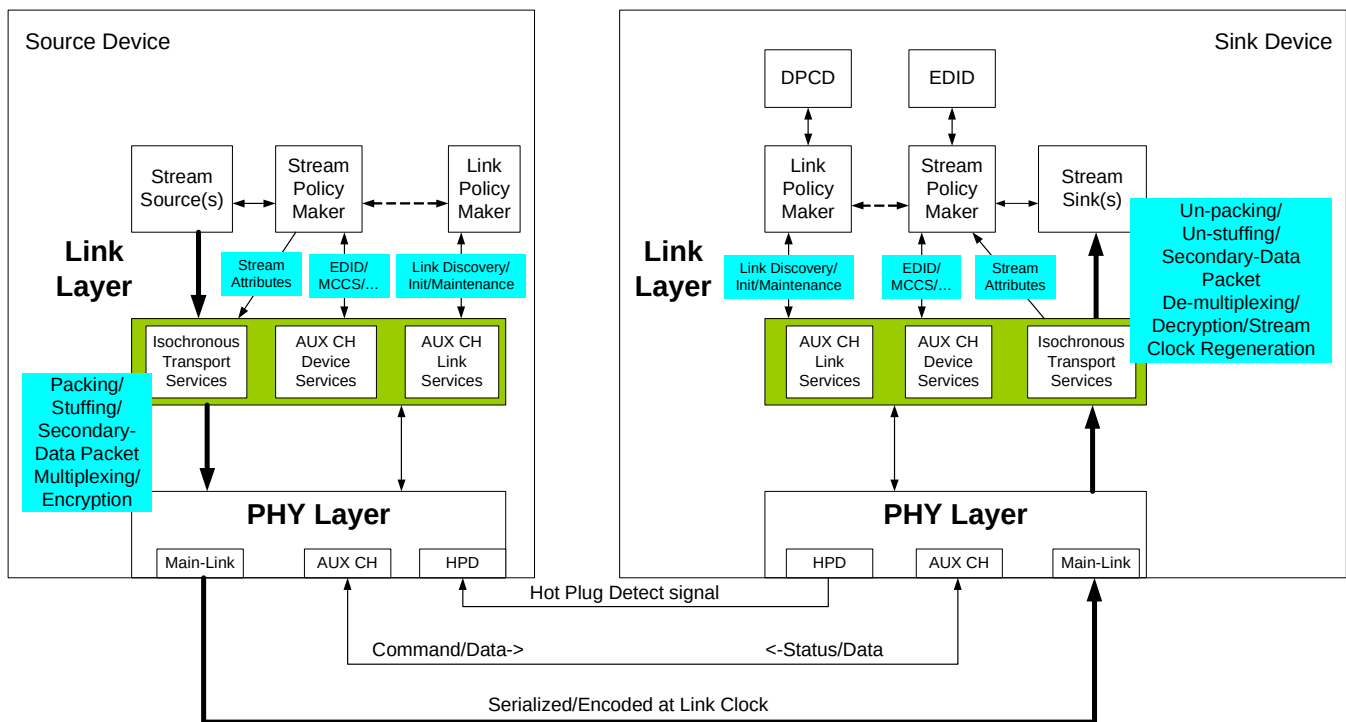


图2-1: 链接层服务概述

链接层按照流/链接政策制定者的指示或要求提供服务（图2-1）。流政策制定者管理流的运输。链接政策制定者管理链接，并负责保持链接同步。

在本节中（在整个标准中），仅描述了政策制定者与链接层之间的相互作用。这些交互的语法（即API）是特定于实现的，并且超出了该标准的范围。

2.1.1 车道和车道数据速率的数量（适用于SST和MST模式）

DisplayPort支持主链路车道数量的三个选项，以及每条车道主链接数据速率的四个选项，如下：

- 4-, 2-或1车道
- 8.1、5.4、2.7或1.62Gbps/lane

Note: 6.75Gbps link rate is supported between a MyDP DPTX and DPRX.

将流数据到主链接符号映射定义以促进这些车道计数选项的支持。

每个车道数据速率不仅由DPTX和DPRX的PHY层功能确定，还取决于由PCB轨迹和/或电缆连接器组件组成的通道的质量。

具有DPRX的DP设备必须在接收器能力寄存器中指示其接收器能力（DPCD地址00000H至000FFH；请参见表2-155）并扩展接收器功能寄存器（DPCD地址为02200H至022FFH；请参见表2-165），如上所述。

阅读了接收器能力后，具有DPTX的DP设备必须通过写入下游设备DPRX的链接配置字段（DPCD地址00100H至001FFH；请参见表2-156）来配置链接，然后参与链接训练。

通过接收器能力发现和链接培训的过程，上游DP设备和下游DP设备能够就给定连接的最佳车道计数和每条车道数据速率进行协商。

2.1.2 SST模式下的主要，未压缩视频流的数量

该标准的范围仅限于将单个未压缩视频流作为主流传输，而SDP的可选插入（例如音频流SDP）。

2.1.3 基本的功能（适用于SST和MST模式）

DP设备的基本功能如下：

- DPTX功能 - 主链接符号的发射器
- DPRX功能 - 主链接符号的接收器
- 流源功能 - 流数据的采购
- 流式水槽功能 - 流数据的下沉（即消耗）

2.1.4 SST模式下的显示端口设备类型和链接拓扑

设备包含至少一个DP功能，以及其他功能，例如流源，显示器，扬声器，录制设备，甚至整个计算机。

表2-1列出了此标准覆盖的设备类型。

表2-1：此标准涵盖的设备类型

Device Type		Description
Source		Device that contains one or more stream source functions and DPTX functions and is a root in a DP tree topology.
Sink		Device that contains one or more DPRX functions and one or more stream sink functions and is a leaf in a DP topology.
Branch	DP Repeater (one input, one output)	Branch device that contains one DPRX and one DPTX.
	Legacy-to-DP Converter (one input, one output)	Branch device that contains one legacy RX and one DPTX. From the point of view of a DP topology, appears as a DP Source device.
	DP-to-Legacy Converter (one input, one output)	Branch device that contains one DPRX and one legacy TX.
	DP Replicator (one DPRX and k DPTXs, where k is a positive integer > 1)	Branch device that may include one or more legacy converter TXs.
	Output Switch (one DPRX and k DPTXs legacy TXs, where k is a positive integer > 1)	Branch device. Unlike a DP Replicator, only one DPTX (or legacy TX) is selected at a time. After one TX is selected, operates either as a DP Repeater or DP-to-Legacy Converter.
	Input Switch (k DPRXs and one DPTX, where k is a positive integer > 1)	Branch device that operates as a DP Repeater after a single DPRX is selected.
	DP Composite Sink	Branch device with a stream sink function. For example, a display that has one or more downstream-facing ports (DFPs). A stream format converter that alters the stream format is regarded as a Composite Sink device.

具有DPTX和/或DPRX的DP设备必须具有链接政策制定者。源或进程（例如，流格式转换）流数据和接收器设备的源设备也必须具有流策略制定者。

Note: *A device containing the PHY Layer of a DPRX and DPTX only (i.e., DPRX_PHY and DPTX_PHY) is called a PHY Repeater, which is also referred to as a Cable Extender. Hybrid devices that perform the interface media converter (e.g., between electrical and optical) are typically built as Cable Extender devices.*

具有DPRX的DP设备必须具有DPCD寄存器。水槽设备和复合水槽设备也必须具有EDID。

使用表2-1中列出的设备类型，可以配置由单个链接或多个链接（雏菊链或树）组成的DP网络。

从链接中设备位置的角度来看，设备的分类如表2-2所示。

表2-2：拓扑设备类别

Device Category	Device Type
Root	Source
Leaf	Sink
Intermediate	Branch devices listed in Table 2-1

源设备需要从其下游设备读取接收器功能（DPCD RX功能寄存器），流式接收器功能（EDID）（EDID）（EDID）（EDID）（MCC），以相应地源。

图2-3至图2-7显示了DP链路拓扑的示例。

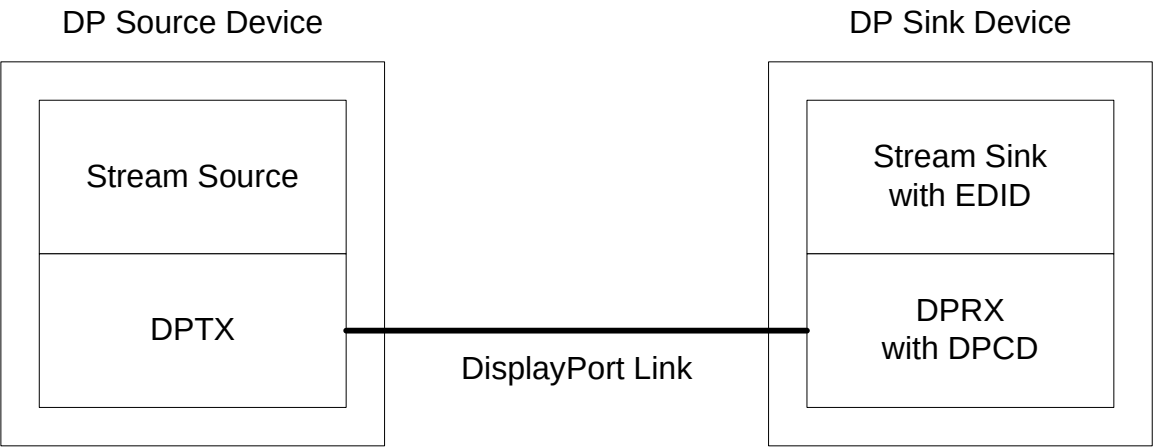


图2-2：单DP链接

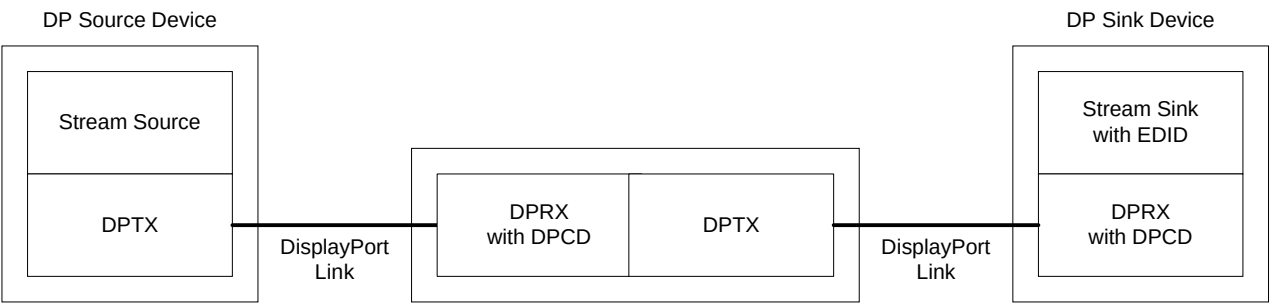


图2-3：通过DP中继器DP源设备到DP接收器设备

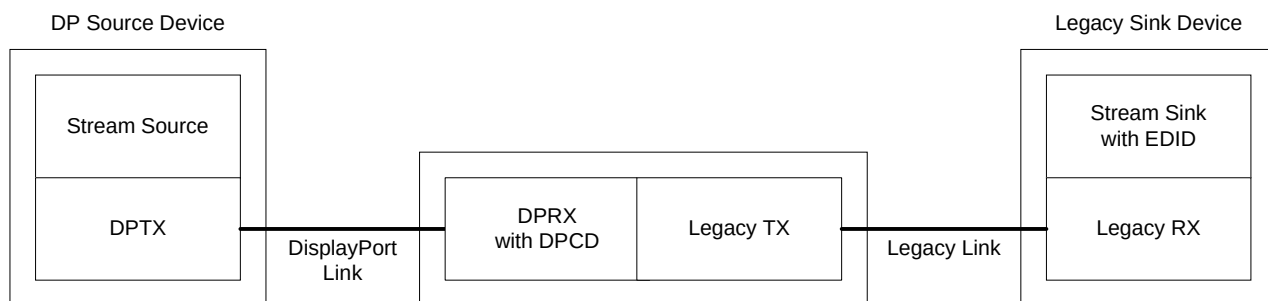


图2-4: DP源设备到验证通过DP-to-legacy Converter

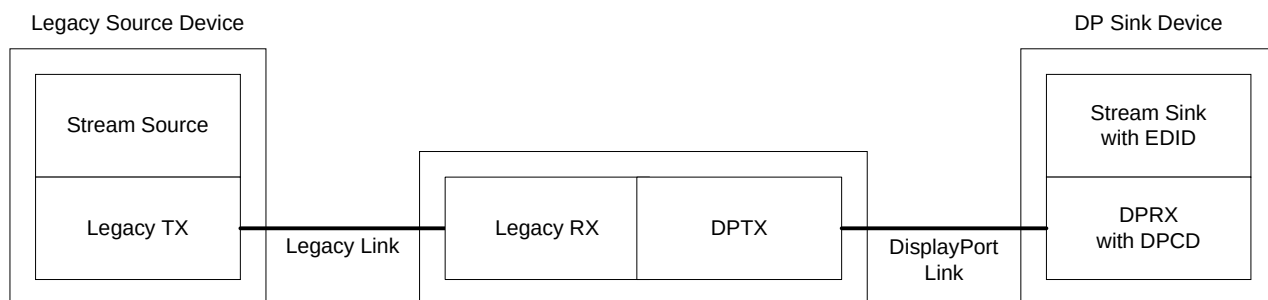


图2-5: 传统源设备对DP接收器设备通过旧版到DP转换器

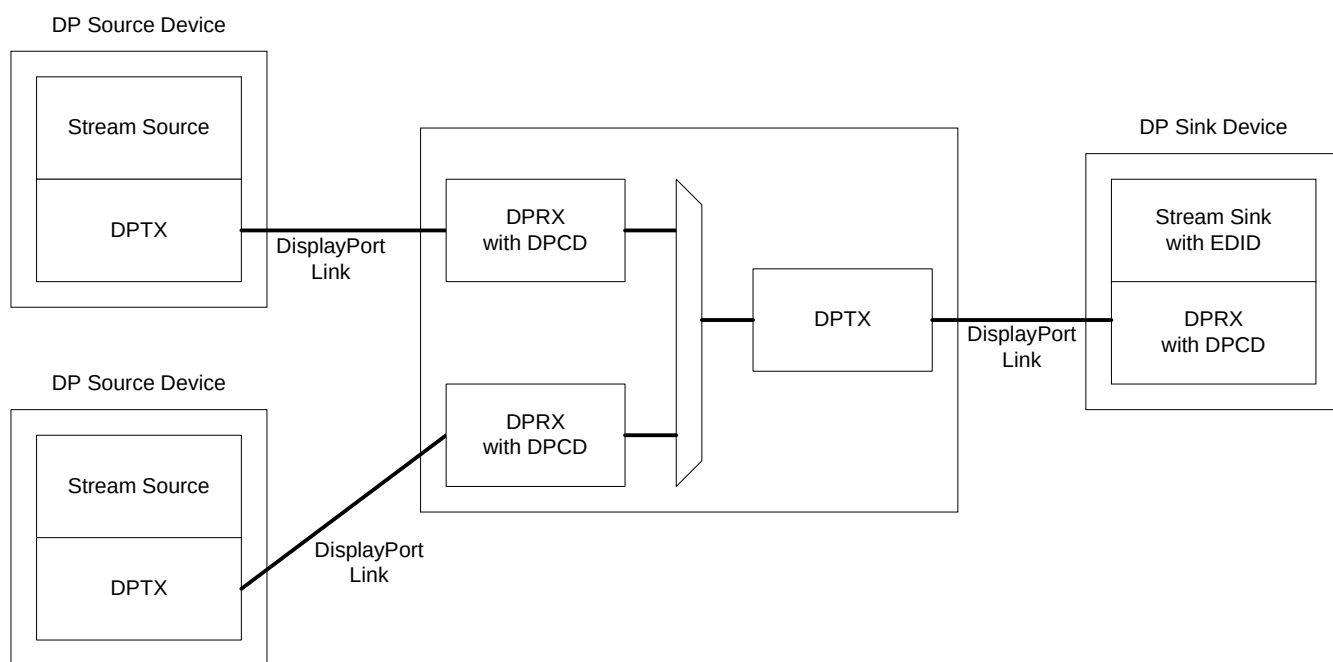


图2-6: 通过输入开关多个DP源设备到DP接收器设备

当在给定时间仅选择一个DPTX时，复制器设备（如图2-7所示）成为输出开关设备。

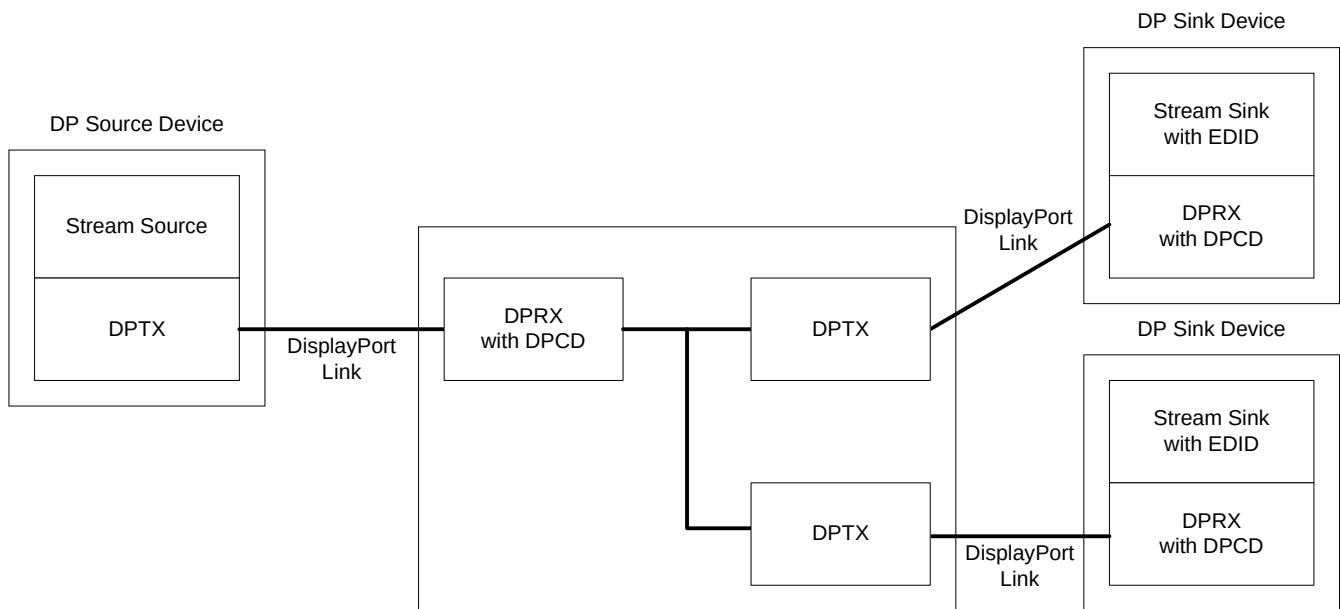


图2-7： DP源设备通过DP复制器到多个DP接收器设备

2.1.4.1 EDID和DPCD访问使用仅SST模式分支设备

DP源设备读取EDID时，分支设备必须使用下游DP接收器设备的EDID回复。

DP中继器必须将MAX_LINK_RATE和MAX_LANE_COUNT寄存器（DPCD地址00001H和00002H分别更新为00001H和00002H）值时，当满足以下两个条件时，下游设备的DPRX的值：

- DP中继器无法将链路率和车道数量从上游链接到下游链接更改
- 下游设备的DPRX的MAX_LINK_RATE和MAX_LANE_COUNT寄存器值小于DP Repeater的DPRX

如果DP中继器能够设置DFP的链路速率和车道计数，而与上游端口（UFP）无关，并且下游设备是DP接收器设备，则DP分支设备无需更新接收器功能场登记板（DPCD地址00000H地址00000H通过000FFH;参见000FFH;请参见表2-155）。

以下两种情况的描述解释了上述背后的基本原理。

- 案例A - DP分支设备DPRX的最大链路带宽大于或等于下游DP DP设备的DPRX

DP接收器设备必须具有涵盖其EDID中声明的所有视频正时格式的最大链接带宽。当DP源设备从EDID中列出的设备中选择视频时正式格式时，DP接收器设备DPRX的最大链接带宽不会使视频流的传输登机。

- 案例B - DP分支设备DPRX的最大链路带宽小于或等于下游DP DP设备的DPRX

需要DP源设备才能选择视频定时格式，其流带宽适合DP分支设备DPRX的最大链接带宽

如果DP中继器能够设置DFP独立于UFP的链路率和车道计数，但其下游设备是DP-to-legacy下游设备，DP Repeater必须更新以下DFP功能寄存器：

- down_stream_port_present寄存器（s）（DPCD地址00005H和02205H）
- 详细的功能信息寄存器（DPCD地址00080H至0008FH），包括下游传统发射器的最大像素时钟速率和像素位深度

原因是，当满足以下两个条件时，DP源设备可以选择发送一个视频流，其流带宽超过了DP-to-legacy Converter DPRX的最大链接带宽：

- MAX_LINK_RATE和MAX_LANE_COUNT DP REPEATER DPRX的寄存器值比DP-to-to-ge-ge-converter的DPRX大
- 传统水槽设备的edid插入了DP到签为依据转换器，该转换器声明了对流带宽要求的视频格式的支持，超过了DP-to-legacy Converter的DPRX的链接带宽

需要DP到胶囊转换器来报告适合其DPRX链路带宽的DFP传统发射器的最大像素时钟和像素位深度。通过DP Repeater复制DP-to-to-ge-ge-converter的DFP功能寄存器，DP源设备传输的流带宽保持在DP-to-to-legacy Converter的DPRX链路链路带宽限制中。

2.1.4.1.1 EDID和DPCD访问通过仅SST复制器设备处理

DP复制器设备必须使用具有连接下游设备的最低DFP号的EDID和DPCD。

2.1.4.1.2 EDID和DPCD访问通过SST-COMPOSITES Sink Device（信息）处理EDID和DPCD通过复合设备的处理是特定于实现的。例如，它可以使用其自己的水槽设备的EDID回复，并且可以选择不理解其下游链接的DPCD。

Note: *In SST mode, this Standard does not currently define a mechanism through which the upstream device can read multiple EDIDs of Sink devices connected to Branch device(s).*

2.1.4.2 对接站（信息性）

扩展站是嵌入在源设备中的复制器设备或复合水槽设备（带有格式转换功能）。因为它是嵌入的，所以管理策略是特定于实施的，并且超出了该标准的范围。

2.2 在SST模式下等级运输服务

链路层的等到运输服务提供了以下内容：

- 从主链路车道和从主链路车道进行映射
 - 包装和打开包装
 - 馅和不安装
 - 框架和Unframing
 - 车间偏斜和脱圈
- 流时钟再生
- 插入主流属性数据
- 带有ECC的可选插入次级数据包（SDP）
 - AUDIO_STREAM SDP
 - CEA-861-FInfoframe SDP

2.2.1主流到源设备中的主链路车道映射

主链路必须具有一个，两个或四个车道，每个车道都能每个链路符号时钟（LS_CLK）传输八个数据的数据。主流数据（未压缩的视频流）必须包装，填充，构造，并且可以选择地用SDP和车间间偏斜，然后再将其移交给PHY层之后，链接层数据映射以通过主链接传输。流数据必须以原始流时钟（Strm_clk）速率输入链接层，并且必须在此映射后以LS_CLK速率将其传递到PHY层。

图2-8和图2-9分别显示了源（DPTX）和Sink（DPRX）设备中的数据映射。

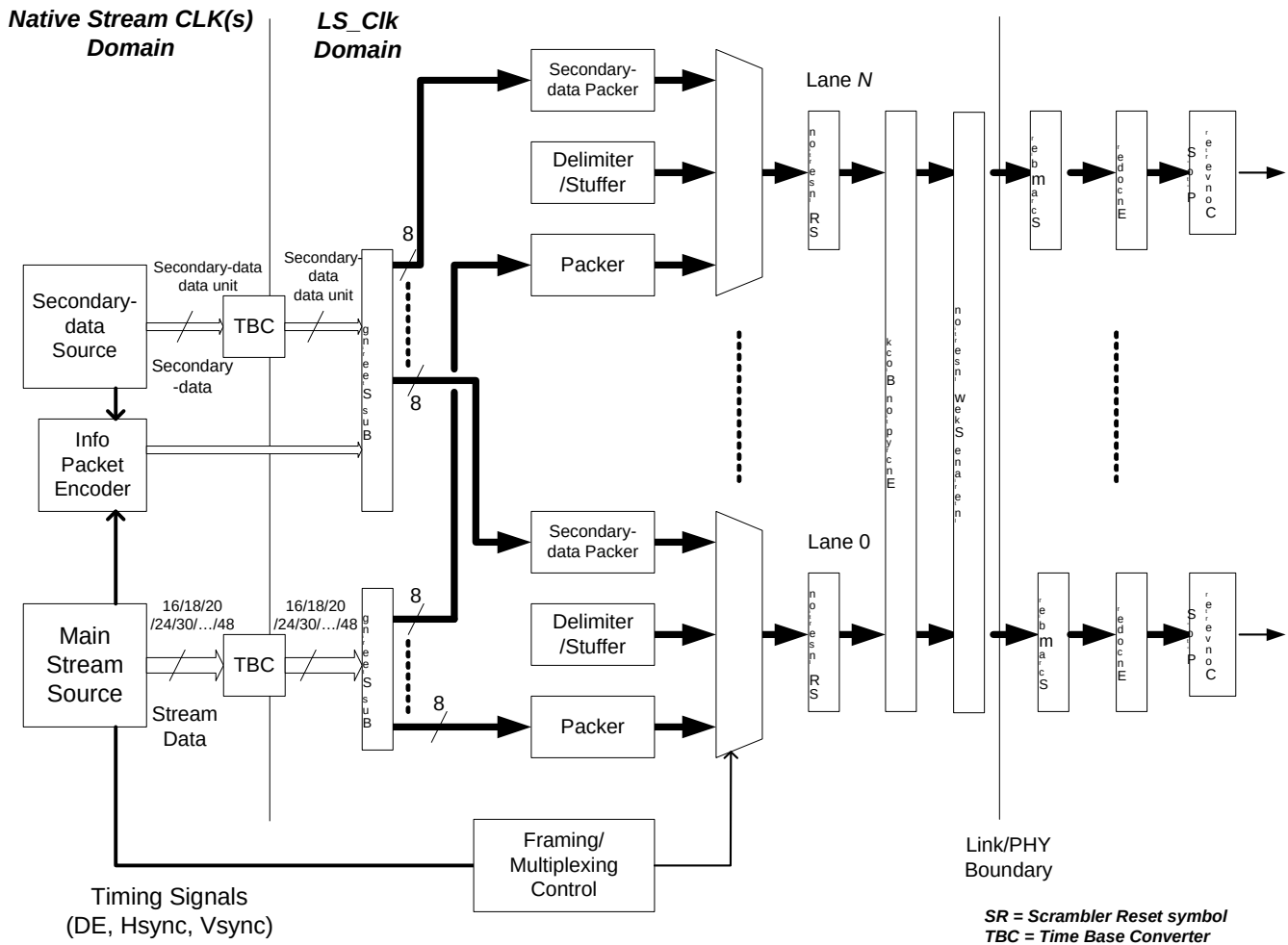


图2-8：DPTX主链接数据路径的高级框图

Notes: Logical block diagram. Actual implementation may vary.

The ECC and CP encryption blocks are both optional. To support SDPs, however, ECC is required.

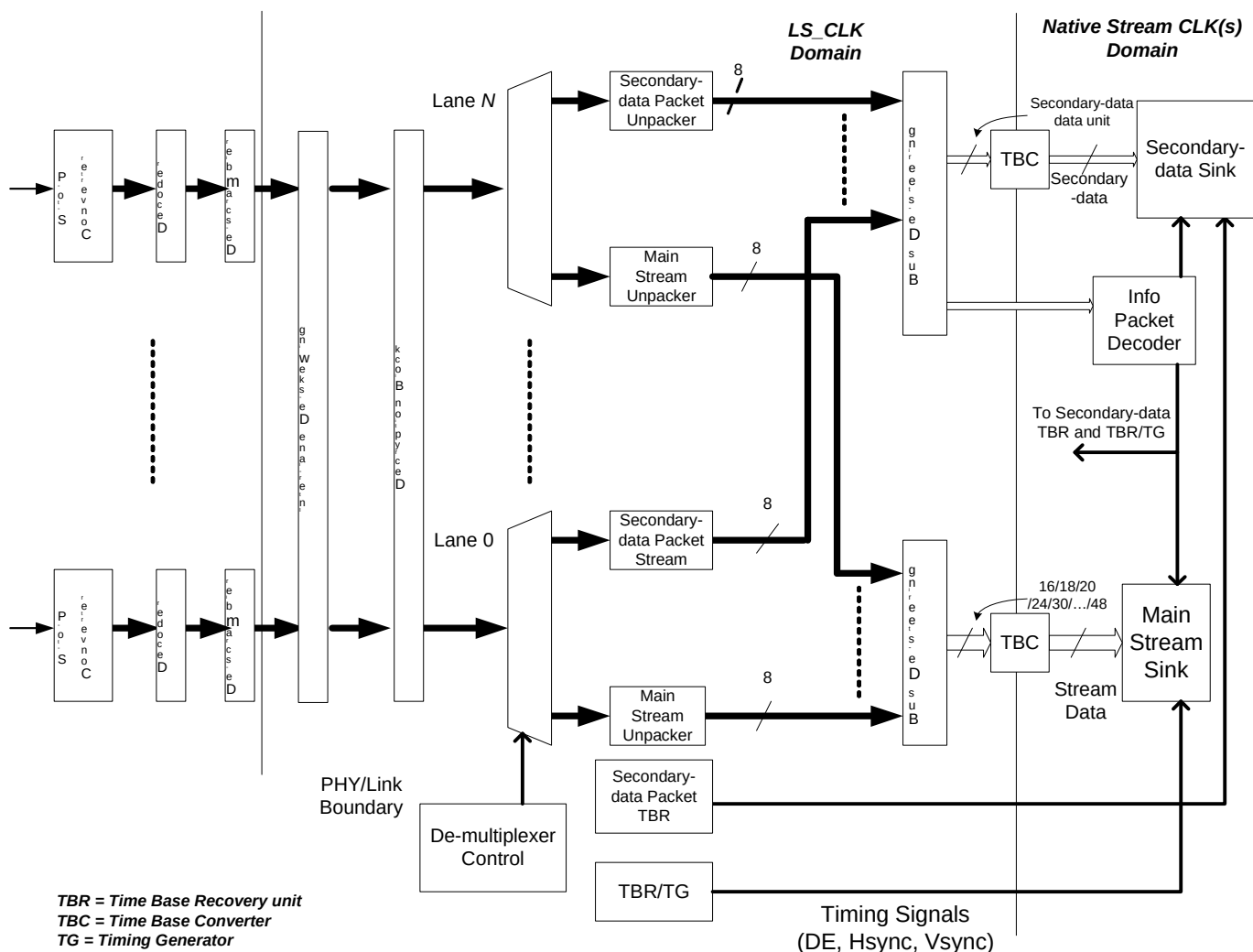


图2-9：DPRX主链接数据路径的高级框图

Notes: Logical block diagram. Actual implementation may vary.

The ECC and CP decryption blocks are both optional. To support SDPs, however, ECC is required except for the extension Secondary packet (Section 2.2.5.4).

主链接数据映射必须按以下顺序进行：

- 主流数据包，填充和框架
- 可选的辅助数据框架和多路复用

2.2.1.1默认框架模式控制符号

默认框架模式的使用被弃用。表2-3仅出于完整性而列出默认框架符号。

表2-3：默认框架模式的控制符号

Symbol	Name	Description
BS	Blanking Start	For DPRX with a DPCD Revision of 1.2 or higher, the Enhanced Framing mode described in Section 2.2.1.2 must be used when running in SST mode. An upstream device interoperating with a downstream device with DPCD Revision of 1.2 or higher must enable Enhanced Framing mode. Blanking Start consists of a 4-symbol sequence on each lane: - Inserted after the last active pixel during the vertical display period. - Inserted at the same symbol time during vertical blanking period as during vertical display. - This framing symbol must be periodically (every 2^{13} or 8192 symbols) inserted for active links with no main video stream data to send. In this condition, the BS symbol is immediately followed by the NoVideoStream_Flag bit in the VB-ID (bit 3) set to 1. (For more information on VB-ID, see Section 2.2.1.) This link symbol pattern is referred to as the “Idle Pattern.”
BE	Blanking End	Inserted immediately before the first active pixel of a line only during the vertical display period.
FS	Fill Start	- Inserted at the beginning of stuffing symbols in the transfer unit. - Omitted when there is only one stuffing symbol. In this case, FE (Fill End) is inserted without FS. - FS and FE are inserted with no stuffing data symbols in between when there are only two stuffing symbols. Note: Transfer unit is described in Section 2.2.1.4.1.
FE	Fill End	Inserted at the end of stuffing symbols within transfer unit.
SS	Secondary-data Start	Inserted at the beginning of secondary-data.
SE	Secondary-data End	Inserted at the end of secondary-data.
SR	Scrambler Reset	For DPRX with a DPCD Rev. of 1.2 or higher, the Enhanced Framing mode described in Section 2.2.1.2 must be used when running in SST mode. An upstream device interoperating with a downstream device whose DPCD Rev. is 1.2 or higher must enable Enhanced Framing mode. In Enhanced Framing Mode, the Scrambler Reset consists of four symbol sequence on each lane. Every 512th BS symbol must be replaced with an SR symbol by a DPTX to reset the LFSR of the scrambler.

表2-3：默认框架模式的控制符号（续）

Symbol	Name	Description
CPBS	Content Protection BS	For DPRX with a DPCD Rev. of 1.2 or higher, the Enhanced Framing mode described in Section 2.2.1.2 must be used when running in SST mode. An upstream device interoperating with a downstream device whose DPCD Revision is 1.2 or higher must enable Enhanced Framing mode. In Enhanced Framing mode, the Content Protection BS consists of a 4-symbol sequence on each lane. Used by a CP system. Called “CP” symbol in the Enhanced Framing mode described in Section 2.2.1.2.
CPSR	Content Protection SR	For DPRX with a DPCD Rev. of 1.2 or higher, the Enhanced Framing mode described in Section 2.2.1.2 must be used when running in SST mode. An upstream device interoperating with a downstream device whose DPCD Rev. is 1.2 or higher must enable Enhanced Framing mode. In Enhanced Framing mode, the Content Protection SR consists of a 4-symbol sequence on each lane. Used by a CP system. CPSR resets the LFSR of the scrambler just as SR does. Called “BF” symbol in the Enhanced Framing mode described in Section 2.2.1.2.

这些控制符号必须在相同的LS_CLK循环中插入所有车道（在到达PHY层之前，在车道间被2 LS_CLK循环偏斜之前）。链路层必须将这些控件符号与数据符号区分开，以便PHY层可以使用“特殊字符”正确编码这些控制符号。

例如，链接层可以使用第九位指示随附的8位数据表示控制符号还是数据符号。链接层实现此区别的方法有很多，所使用的方法是实现特定的，并且超出了该标准的范围。

2.2.1.2 增强的框架模式控制符号

表2-4列出了用于增强框架模式的控制符号。（有关框架符号的描述，请参见表2-3。）DPRX必须支持增强的框架模式，因此必须在max_lane_count寄存器（DPCD地址00002H，BIT 7）中设置Enhanced_Frame_Cap位。DPTX必须始终通过在Lane_Count_Set寄存器（DPCD地址00101H，BIT 7）中编写1个将1写入增强的框架模式。

这些控制符号必须在相同的LS_CLK循环中插入所有车道（在到达PHY层之前，在车道间被2 LS_CLK循环偏斜之前）。链路层必须将这些控件符号与数据符号区分开，以便PHY层可以使用“特殊字符”正确编码这些控制符号。

例如，链接层可以使用第九位指示随附的8位数据表示控制符号还是数据符号。链接层实现此区别的方法有很多 - 所使用的方法是特定于实现的，并且超出了该标准的范围。

表2-4：增强的框架模式控制符号

Default Framing Mode Symbols (Deprecated)	Enhanced Framing Mode Symbols
BS	BS + BF + BF + BS
SR	SR + BF + BF + SR
CPBS (called CP symbol in Enhanced Framing Mode)	BS + CP + CP + BS
CPSR (called BF symbol in Enhanced Framing Mode)	SR + CP + CP + SR
BE	BE (no change)
FS	FS (no change)
FE	FE (no change)
SS	SS (no change)
SE	SE (no change)

这些控制符号将这些控制符号映射到ANSI 8B/10B特殊字符中，在第3节中描述了。

当DPTX传输空闲模式时，DPTX必须每213或8192符号插入BS（或SR）的4个符号序列。换句话说，BS（或SR）的4符号序列的最后（第四）符号与下一个4个符号序列的第一个符号之间必须有8188个符号。

必须用SR符号序列替换每个第512 BS符号序列。SR的4符号序列的最后符号必须用于重置扰动器。

当在空闲图案传输和流传输之间切换时，源设备必须避免BS和SR的四个符号的任何重叠。

2.2.1.3

主视频流数据包

如表2-5所示，链路层必须首先以像素 - 车道方式引导像素数据。

表2-5：像素转向主链路车道

# of Lanes	Pixel Steering ^a
One	All pixels to Lane 0
Two	Pixel $2N$ to Lane 0 Pixel $2N + 1$ to Lane 1
Four	Pixel $4N$ to Lane 0 Pixel $4N + 1$ to Lane 1 Pixel $4N + 2$ to Lane 2 Pixel $4N + 3$ to Lane 3

a. N is 0 or a positive integer.

这些规则适用于视频流的颜色空间/像素位深度。如图2-10所示，线路的第一组活动部分像素数据必须遵循控制符号。

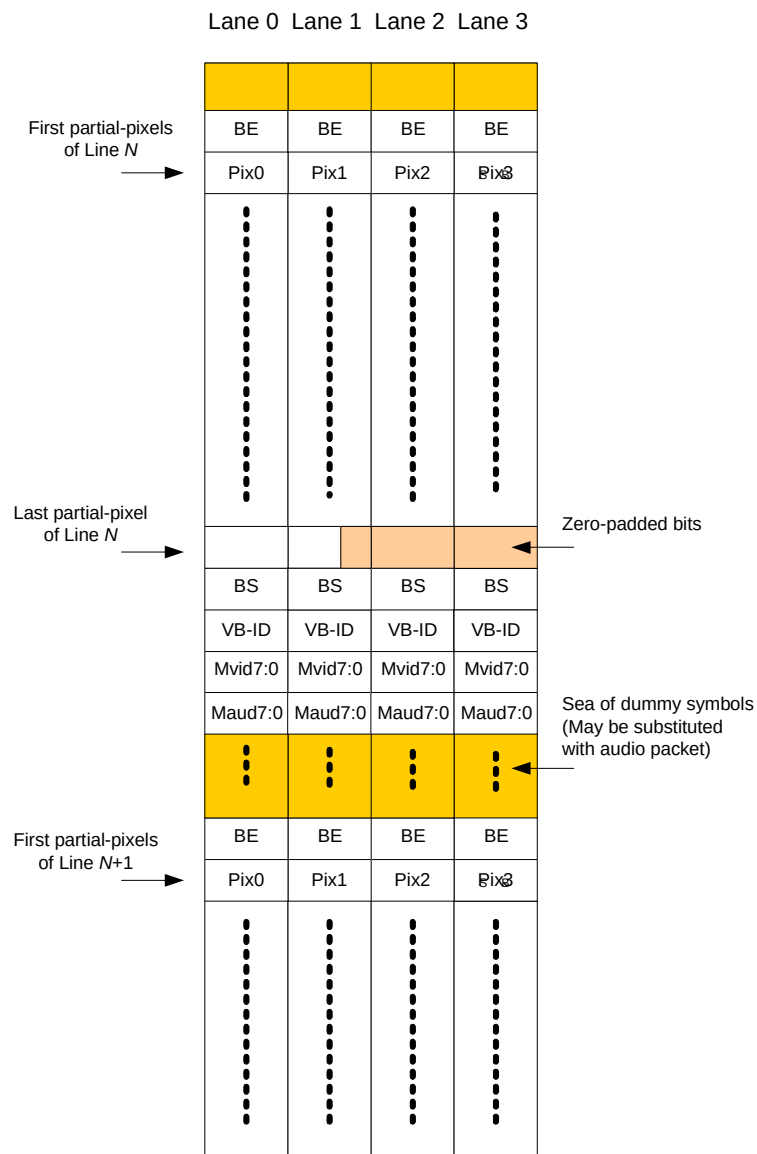


图2-10：4车道主链接的主要视频流数据包装示例

当没有传输音频流时，Maud7：0必须清除为00h。当没有传输视频流时，MVID7：0必须清除为00h。

在一系列像素数据的最后一个符号期间，可能没有足够的像素数据来提供链接所有车道的数据。DPTX必须为这些位发送0（零填充的位）。

在数据行的最后一个符号周期之后，必须将控制符号序列（即BS符号序列）插入链接的所有车道上。

水槽设备知道每条水平线的活动像素的数量（从主流属性）必须丢弃零填充的位为“不在乎”。图2-10显示，新线必须始终以lane 0上的像素0开始。

VB-ID，MVID7：0和Maud7：0：必须在所有车道上遵循BS。

- VB-ID必须携带以下信息：

- 主视频流是在垂直显示期间还是垂直掩膜期。
- 主要视频流是在奇数字段中还是在交错视频中的偶数字段中。
- 主要视频流是隔行的还是非交织的（渐进式）。
- 在没有传输视频流的同时插入BS。表2-6中显示了当没有视频流动的当活动时通过主链接传输的符号。
- 是否静音音频。

- MVID7：0

视频流的时间戳值MVID最少的八位。当没有传输视频流时，这些位必须清除为00h。DP接收器设备必须使用时间戳作为像素时钟恢复的提示。

- Maud7：0

音频流的时间戳价值最低的八位。当没有传输音频流时，这些位必须清除为00h。DP接收器设备必须使用时间戳作为音频时钟恢复的提示。

表2-6: VB-ID位定义

VB-ID Bit #	Bit Definition
0	VerticalBlanking_Flag Must be set to 1 at the end of the last active line of a video frame and remain set to 1 during the vertical blanking period. A Source device may clear this bit in the VB-ID either immediately prior to the first active line of a video frame (i.e., the first BE of a video frame) or immediately after the first active line (i.e., the first BS ending the first active line of a video frame). A Sink device must be able to handle either case. This bit is also set to 1 when there is no video stream (as indicated by bit 3 being set to 1).
1	FieldID_Flag This bit must be set to: 0 right after the last active line in the top field 1 right after the last active line of the bottom field See Section 2.2.4.2 for definitions of the top and bottom fields. For progressive (non-interlaced) video, there is no bottom video and this bit remains cleared to 0.
2	Interlace_Flag Must be set to 1 when the main stream is an interlaced video. For non-interlaced video or no video, this bit must remain cleared to 0.
3	NoVideoStream_Flag Must be set to 1 when preceding BS is inserted while no video stream is transported. When this bit is set to 1, the Mvid7:0 value must be “don’t care.” Note: <i>An audio stream may be transported even when no main video stream is being transported.</i>
4	AudioMute_Flag Must be set to 1 when the audio is to be muted.
5	HDCP SYNC DETECT Used by HDCP-capable DPRXs to detect CP lock status. See HDCP Specification 1.3 – Amendment for DisplayPort and HDCP on DisplayPort Specification 2.2.
6	CompressedStream_Flag New to <i>DP v1.4</i> to support Display Stream Compression (DSC).
7	RESERVED Read 0.

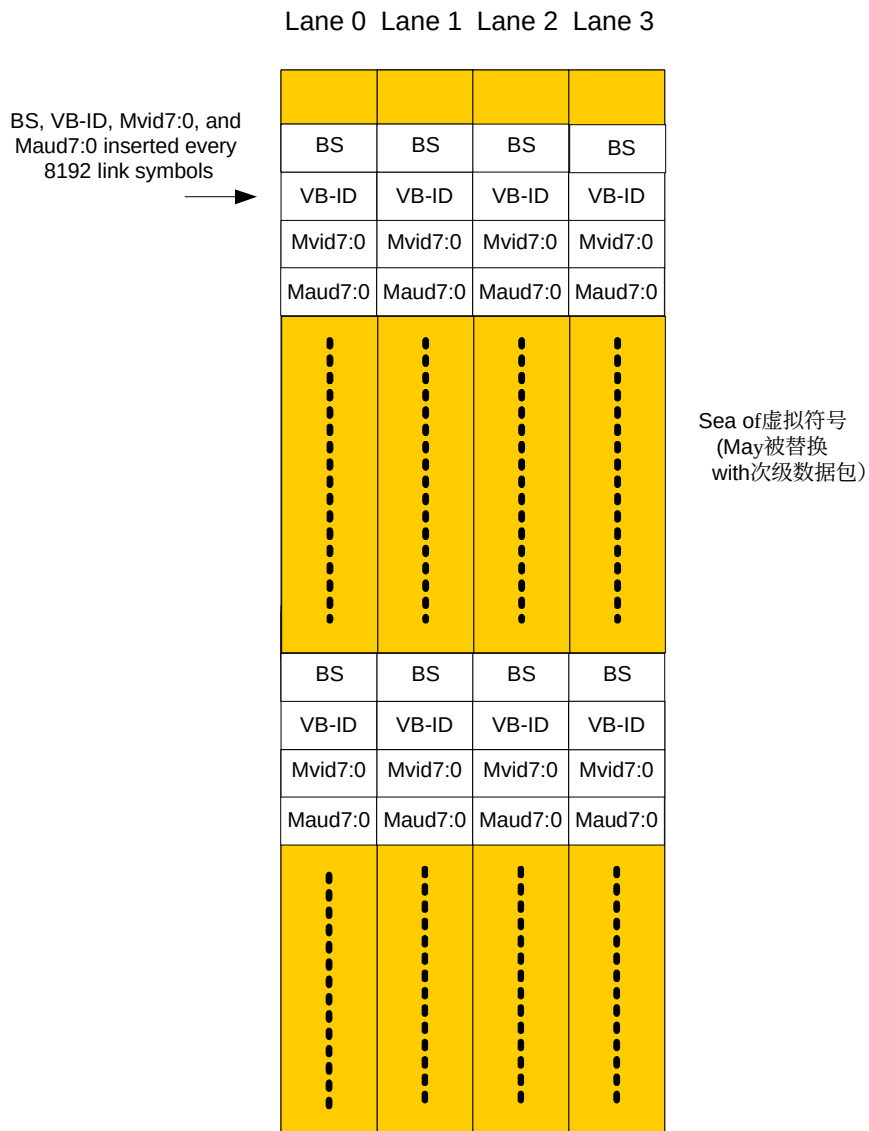


图2-11：主链接上的链接符号，没有主视频流

如图2-12所示，VB-ID，MVID7：0和MAUD7：0必须四次运输，无论主连接中的车道数量如何，无论主链路中的车道数量如何。

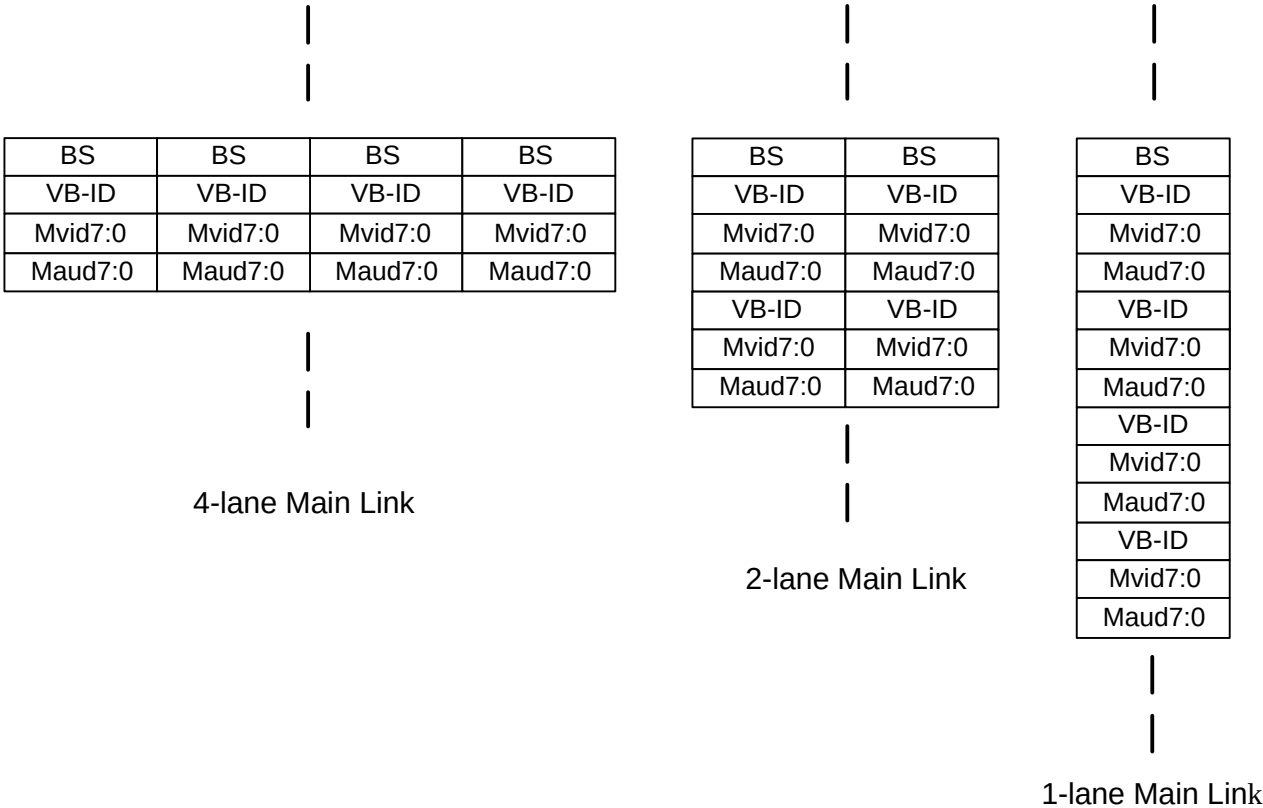


图2-12： VB-ID， MVID7： 0， Maud7： 0在主链路上包装

如果没有音频流，则必须将Maud7： 0清除为00h。

如果没有视频流，则必须将MVID7： 0清除为00h。

表2-7是一个以1366x768像素格式的视频流和每个组件（bpc）（=每个像素（BPP））RGB像素映射到4车道主链接的示例。

表2-7: 10BPC RGB (每个像素30位) 1366x7
68打包到4车道Main-Linka, b

Lane 0		Lane 1		Lane 2		Lane 3		<-- Start of Active Pixel
BE		BE		BE		BE		
R0-9:2		R1-9:2		R2-9:2		R3-9:2		
R0-1:0	G0-9:4	R1-1:0	G1-9:4	R2-1:0	G2-9:4	R3-1:0	G3-9:4	
G0-3:0	B0-9:6	G1-3:0	B1-9:6	G2-3:0	B2-9:6	G3-3:0	B3-9:6	
B0-5:0	R4-9:8	B1-5:0	R5-9:8	B2-5:0	R6-9:8	B3-5:0	R7-9:8	
R4-7:0		R5-7:0		R6-7:0		R7-7:0		
G4-9:2		G5-9:2		G6-9:2		G7-9:2		
G4-1:0	B4-9:4	G5-1:0	B5-9:4	G6-1:0	B6-9:4	G7-1:0	B7-9:4	
B4-3:0	R8-9:6	B5-3:0	R9-9:6	B6-3:0	R10-9:6	B7-3:0	R11-9:6	
R8-5:0	G8-9:8	R9-5:0	G9-9:8	R10-5:0	G10-9:8	R11-5:0	G11-9:8	
G8-7:0		G9-7:0		G10-7:0		G11-7:0		
B8-9:2		B9-9:2		B10-9:2		B11-9:2		
B8-1:0	R12-9:4	B9-1:0	R13-9:4	B10-1:0	R14-9:4	B11-1:0	R15-9:4	
R12-3:0	G12-9:6	R13-3:0	G13-9:6	R14-3:0	G14-9:6	R15-3:0	G15-9:6	
G12-5:0	B12-9:8	G13-5:0	B13-9:8	G14-5:0	B14-9:8	G15-5:0	B15-9:8	
B12-7:0		B13-7:0		B14-7:0		B15-7:0		

R1360-9:2		R1361-9:2		R1362-9:2		R1363-9:2		
R1360-1:0	G1360-9:4	R1361-1:0	G1361-9:4	R1362-1:0	G1362-9:4	R1363-1:0	G1363-9:4	
G1360-3:0	B1360-9:6	G1361-3:0	B1361-9:6	G1362-3:0	B1362-9:6	G1363-3:0	B1363-9:6	
B1360-5:0	R1364-9:8	B1361-5:0	R1365-9:8	B1362-5:0		B1363-5:0		
R1364-7:0		R1365-7:0						
G1364-9:2		G1365-9:2						
G1364-1:0	B1364-9:4	G1365-1:0	B1365-9:4					
B1364-3:0		B1365-3:0						
BS		BS		BS		BS		<-- End of Active Pixel
VB-ID		VB-ID		VB-ID		VB-ID		
Mvid7:0		Mvid7:0		Mvid7:0		Mvid7:0		
Maud7:0		Maud7:0		Maud7:0		Maud7:0		

- a. R0-9:2 = red bits 9:2 of pixel, G = green, B = blue, BS = blanking start, BE = blanking end. VB-ID = video blanking ID. Mvid7:0, and Maud7:0 are portions of the time stamps for video and audio stream clocks.
- b. Tan-shaded symbols and partial symbols indicate zero-padding.

以下各节将下面列出的数据类型描述为4-, 2和1车道主链接:

- 8、6、10、12和16BPC RGB像素,
- 8、10、12和16BPC YCBCR4: 4: 4: 4: 2: 2: 2: 2: 0/y-仅
- 6、7、8、10、12、14和16BPP原始数据

从表2-8到表2-34中可以看出, 当仅启用2巷或4巷DP设备时, 必须启用泳道0。当仅启用两个车道时, 必须启用0和1车道。

2.2.1.3.1 8BPC RGB/YCBCR 4: 4: 4 (每个像素24位)

表2-8至表2-10分别显示了8BPC RGB/YCBCR 4: 4: 4分别映射到4-, 2-或1车道的主链接中。每种颜色的位7映射到每个车道的位7, 而每种颜色的位0映射到每个车道的位0。对于YCBCR 4: 4: 4, 用y代替r, 用y和b替换为b。

表2-8: 8BPC RGB到4车道主链接映射

Lane 0	Lane 1	Lane 2	Lane 3
R0-7:0	R1-7:0	R2-7:0	R3-7:0
G0-7:0	G1-7:0	G2-7:0	G3-7:0
B0-7:0	B1-7:0	B2-7:0	B3-7:0
R4-7:0	R5-7:0	R6-7:0	R7-7:0
G4-7:0	G5-7:0	G6-7:0	G7-7:0
B4-7:0	B5-7:0	B6-7:0	B7-7:0
R8-7:0	R9-7:0	R10-7:0	R11-7:0
G8-7:0	G9-7:0	G10-7:0	G11-7:0
B8-7:0	B9-7:0	B10-7:0	B11-7:0

表2-9: 8BPC RGB映射到2车道主链接

Lane 0	Lane 1
R0-7:0	R1-7:0
G0-7:0	G1-7:0
B0-7:0	B1-7:0
R2-7:0	R3-7:0
G2-7:0	G3-7:0
B2-7:0	B3-7:0
R4-7:0	R5-7:0
G4-7:0	G5-7:0
B4-7:0	B5-7:0

表2-10： 8BPC RGB映射到1车道主链接

Lane 0
R0-7:0
G0-7:0
B0-7:0
R1-7:0
G1-7:0
B1-7:0

2.2.1.3.2 6BPC RGB（每个像素18位）

表2-11至表2-13分别显示了6BPC RGB流映射分别为4，2-和1车道的主链接。R0的位5映射到泳道0的位7，而G0的位4映射到泳道0的位0。

表2-11： 6BPC RGB映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
R0-5:0 G0-5:4	R1-5:0 G1-5:4	R2-5:0 G2-5:4	R3-5:0 G3-5:4
G0-3:0 B0-5:2	G1-3:0 B1-5:2	G2-3:0 B2-5:2	G3-3:0 B3-5:2
B0-1:0 R4-5:0	B1-1:0 R5-5:0	B2-1:0 R6-5:0	B3-1:0 R7-5:0
G4-5:0 B4-5:4	G5-5:0 B5-5:4	G6-5:0 B6-5:4	G7-5:0 B7-5:4
B4-3:0 R8-5:2	B5-3:0 R9-5:2	B6-3:0 R10-5:2	B7-3:0 R11-5:2
R8-1:0 G8-5:0	R9-1:0 G9-5:0	R10-1:0 G10-5:0	R11-1:0 G11-5:0
B8-5:0 R12-5:4	B9-5:0 R13-5:4	B10-5:0 R14-5:4	B11-5:0 R15-5:4
R12-3:0 G12-5:2	R13-3:0 G13-5:2	R14-3:0 G14-5:2	R15-3:0 G15-5:2
G12-1:0 B12-5:0	G13-1:0 B13-5:0	G14-1:0 B14-5:0	G15-1:0 B15-5:0

表2-12： 6BPC RGB映射到2车道主链接

Lane 0	Lane 1
R0-5:0 G0-5:4	R1-5:0 G1-5:4
G0-3:0 B0-5:2	G1-3:0 B1-5:2
B0-1:0 R2-5:0	B1-1:0 R3-5:0
G2-5:0 B2-5:4	G3-5:0 B3-5:4
B2-3:0 R4-5:2	B3-3:0 R5-5:2
R4-1:0 G4-5:0	R5-1:0 G5-5:0
B4-5:0 R6-5:4	B5-5:0 R7-5:4
R6-3:0 G6-5:2	R7-3:0 G7-5:2
G6-1:0 B6-5:0	G7-1:0 B7-5:0

表2-13： 6BPC RGB映射到1车道主链接

Lane 0
R0-5:0 G0-5:4
G0-3:0 B0-5:2
B0-1:0 R1-5:0
G1-5:0 B1-5:4
B1-3:0 R2-5:2

2.2.1.3.3 10BPC RGB/YCBCR 4: 4: 4（每个像素30位）

表2-14至表2-16分别显示10BPC RGB/YCBCR 4: 4: 4分别映射到4-, 2-和1车道的主链接中。对于YCBCR 4: 4: 4, 用y代替r, 用y和b替换为b。

表2-14: 10BPC RGB映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
R0-9:2	R1-9:2	R2-9:2	R3-9:2
R0-1:0 G0-9:4	R1-1:0 G1-9:4	R2-1:0 G2-9:4	R3-1:0 G3-9:4
G0-3:0 B0-9:6	G1-3:0 B1-9:6	G2-3:0 B2-9:6	G3-3:0 B3-9:6
B0-5:0 R4-9:8	B1-5:0 R5-9:8	B2-5:0 R6-9:8	B3-5:0 R7-9:8
R4-7:0	R5-7:0	R6-7:0	R7-7:0
G4-9:2	G5-9:2	G6-9:2	G7-9:2
G4-1:0 B4-9:4	G5-1:0 B5-9:4	G6-1:0 B6-9:4	G7-1:0 B7-9:4
B4-3:0 R8-9:6	B5-3:0 R9-9:6	B6-3:0 R10-9:6	B7-3:0 R11-9:6
R8-5:0 G8-9:8	R9-5:0 G9-9:8	R10-5:0 G10-9:8	R11-5:0 G11-9:8
G8-7:0	G9-7:0	G10-7:0	G11-7:0
B8-9:2	B9-9:2	B10-9:2	B11-9:2
B8-1:0 R12-9:4	B9-1:0 R13-9:4	B10-1:0 R14-9:4	B11-1:0 R15-9:4
R12-3:0 G12-9:6	R13-3:0 G13-9:6	R14-3:0 G14-9:6	R15-3:0 G15-9:6
G12-5:0 B12-9:8	G13-5:0 B13-9:8	G14-5:0 B14-9:8	G15-5:0 B15-9:8
B12-7:0	B13-7:0	B14-7:0	B15-7:0

表2-15: 10BPC RGB映射到2车道主链接

Lane 0	Lane 1
R0-9:2	R1-9:2
R0-1:0 G0-9:4	R1-1:0 G1-9:4
G0-3:0 B0-9:6	G1-3:0 B1-9:6
B0-5:0 R2-9:8	B1-5:0 R3-9:8
R2-7:0	R3-7:0
G2-9:2	G3-9:2
G2-1:0 B2-9:4	G3-1:0 B3-9:4
B2-3:0 R4-9:6	B3-3:0 R5-9:6
R4-5:0 G4-9:8	R5-5:0 G5-9:8
G4-7:0	G5-7:0
B4-9:2	B5-9:2
B4-1:0 R6-9:4	B5-1:0 R7-9:4
R6-3:0 G6-9:6	R7-3:0 G7-9:6
G6-5:0 B6-9:8	G7-5:0 B7-9:8
B6-7:0	B7-7:0

表2-16: 10BPC RGB映射到1车道主链接

Lane 0
R0-9:2
R0-1:0 G0-9:4
G0-3:0 B0-9:6
B0-5:0 R1-9:8
R1-7:0
G1-9:2
G1-1:0 B1-9:4
B1-3:0 R2-9:6

2.2.1.3.4 12BPC RGB/YCBCR 4: 4: 4 (每个像素36位)

表2-17至表2-19分别显示了12BPC RGB/YCBCR 4: 4: 4分别映射到4-, 2-和1车道主链接中。对于YCBCR 4: 4: 4, 用y代替r, 用y和b替换为b。

表2-17: 12BPC RGB映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
R0-11:4	R1-11:4	R2-11:4	R3-11:4
R0-3:0 G0-11:8	R1-3:0 G1-11:8	R2-3:0 G2-11:8	R3-3:0 G3-11:8
G0-7:0	G1-7:0	G2-7:0	G3-7:0
B0-11:4	B1-11:4	B2-11:4	B3-11:4
B0-3:0 R4-11:8	B1-3:0 R5-11:8	B2-3:0 R6-11:8	B3-3:0 R7-11:8
R4-7:0	R5-7:0	R6-7:0	R7-7:0
G4-11:4	G5-11:4	G6-11:4	G7-11:4
G4-3:0 B4-11:8	G5-3:0 B5-11:8	G6-3:0 B6-11:8	G7-3:0 B7-11:8
B4-7:0	B5-7:0	B6-7:0	B7-7:0

表2-18: 12BPC RGB映射到2车道主链接

Lane 0	Lane 1
R0-11:4	R1-11:4
R0-3:0 G0-11:8	R1-3:0 G1-11:8
G0-7:0	G1-7:0
B0-11:4	B1-11:4
B0-3:0 R2-11:8	B1-3:0 R3-11:8
R2-7:0	R3-7:0
G2-11:4	G3-11:4
G2-3:0 B2-11:8	G3-3:0 B3-11:8
B2-7:0	B3-7:0

表2-19: 12BPC RGB映射到1车道主链接

Lane 0
R0-11:4
R0-3:0 G0-11:8
G0-7:0
B0-11:4
B0-3:0 R1-11:8

2.2.1.3.5 16BPC RGB/YCBCR 4: 4: 4 (每个像素48位)

表2-20至表2-22分别显示了16BPC RGB/YCBCR 4: 4: 4分别映射到4-, 2-和1车道主链接中。对于YCBCR 4: 4: 4, 用y代替r, 用y和b替换为b。

表2-20: 16BPC RGB映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
R0-15:8	R1-15:8	R2-15:8	R3-15:8
R0-7:0	R1-7:0	R2-7:0	R3-7:0
G0-15:8	G1-15:8	G2-15:8	G3-15:8
G0-7:0	G1-7:0	G2-7:0	G3-7:0
B0-15:8	B1-15:8	B2-15:8	B3-15:8
B0-7:0	B1-7:0	B2-7:0	B3-7:0
R4-15:8	R5-15:8	R6-15:8	R7-15:8
R4-7:0	R5-7:0	R6-7:0	R7-7:0
G4-15:8	G5-15:8	G6-15:8	G7-15:8
G4-7:0	G5-7:0	G6-7:0	G7-7:0
B4-15:8	B5-15:8	B6-15:8	B7-15:8
B4-7:0	B5-7:0	B6-7:0	B7-7:0

表2-21： 16BPC RGB映射到2车道主链接

Lane 0	Lane 1
R0-15:8	R1-15:8
R0-7:0	R1-7:0
G0-15:8	G1-15:8
G0-7:0	G1-7:0
B0-15:8	B1-15:8
B0-7:0	B1-7:0
R2-15:8	R3-15:8
R2-7:0	R3-7:0
G2-15:8	G3-15:8
G2-7:0	G3-7:0
B2-15:8	B3-15:8
B2-7:0	B3-7:0

表2-22： 16BPC RGB映射到1车道主链接

Lane 0
R0-15:8
R0-7:0
G0-15:8
G0-7:0
B0-15:8
B0-7:0

2.2.1.3.6 8BPC YCBCR 4: 2: 2（每个像素16位）

表2-23至表2-25分别显示了8BPC YCBCR 4: 2: 2分别为4、2和1车道主链接。

表2-23: 8BPC YCBCR 4: 2: 2映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
Cb0-7:0	Cr0-7:0	Cb2-7:0	Cr2-7:0
Y0-7:0	Y1-7:0	Y2-7:0	Y3-7:0
Cb4-7:0	Cr4-7:0	Cb6-7:0	Cr6-7:0
Y4-7:0	Y5-7:0	Y6-7:0	Y7-7:0
Cb8-7:0	Cr8-7:0	Cb10-7:0	Cr10-7:0
Y8-7:0	Y9-7:0	Y10-7:0	Y11-7:0

表2-24: 8BPC YCBCR 4: 2: 2映射到2车道主链接

Lane 0	Lane 1
Cb0-7:0	Cr0-7:0
Y0-7:0	Y1-7:0
Cb2-7:0	Cr2-7:0
Y2-7:0	Y3-7:0
Cb4-7:0	Cr4-7:0
Y4-7:0	Y5-7:0
Cb6-7:0	Cr6-7:0
Y6-7:0	Y7-7:0
Cb8-7:0	Cr8-7:0
Y8-7:0	Y9-7:0
Cb10-7:0	Cr10-7:0
Y10-7:0	Y11-7:0

表2-25: 8BPC YCBCR 4: 2: 2映射到1车道主链接

Lane 0
Cb0-7:0
Y0-7:0
Cr0-7:0
Y1-7:0
Cb2-7:0
Y2-7:0

2.2.1.3.7

10BPC YCBCR 4: 2: 2 (每个像素20位)

表2-26至表2-28分别显示了10BPC YCBCR 4: 2: 2分别为4, 2-和1车道主链接。

表2-26: 10BPC YCBCR 4: 2: 2映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
Cb0-9:2	Cr0-9:2	Cb2-9:2	Cb2-9:2
Cb0-1:0 Y0-9:4	Cr0-1:0 Y1-9:4	Cb2-1:0 Y2-9:4	Cb2-1:0 Y3-9:4
Y0-3:0 Cb4-9:6	Y1-3:0 Cr4-9:6	Y2-3:0 Cb6-9:6	Y3-3:0 Cr6-9:6
Cb4-5:0 Y4-9:8	Cr4-5:0 Y5-9:8	Cb6-5:0 Y6-9:8	Cr6-5:0 Y7-9:8
Y4-7:0	Y5-7:0	Y6-7:0	Y7-7:0
Cb8-9:2	Cr8-9:2	Cb10-9:2	Cr10-9:2
Cb8-1:0 Y8-9:4	Cr8-1:0 Y9-9:4	Cb10-1:0 Y10-9:4	Cr10-1:0 Y11-9:4
Y8-3:0 Cb12-9:6	Y9-3:0 Cr12-9:6	Y10-3:0 Cb14-9:6	Y11-3:0 Cr14-9:6
Cb12-5:0 Y12-9:8	Cr12-5:0 Y13-9:8	Cb14-5:0 Y114-9:8	Cr14-5:0 Y15-9:8
Y12-7:0	Y13-7:0	Y14-7:0	Y15-7:0

表2-27: 10BPC YCBCR 4: 2: 2映射到2车道主链接

Lane 0	Lane 1
Cb0-9:2	Cr0-9:2
Cb0-1:0 Y0-9:4	Cr2-1:0 Y1-9:4
Y0-3:0 Cb2-9:6	Y1-3:0 Cr2-9:6
Cb2-5:0 Y2-9:8	Cr2-5:0 Y3-9:8
Y2-7:0	Y3-7:0
Cb4-9:2	Cr4-9:2
Cb4-1:0 Y4-9:4	Cr4-1:0 Y5-9:4
Y4-3:0 Cb6-9:6	Y5-3:0 Cr6-9:6
Cb4-5:0 Y6-9:8	Cr6-5:0 Y7-9:8
Y6-7:0	Y7-7:0

表2-28: 10BPC YCBCR 4: 2: 2映射到1车道主链接

Lane 0
Cb0-9:2
Cb0-1:0 Y0-9:4
Y0-3:0 Cr0-9:6
Cr0-5:0 Y1-9:8
Y1-7:0

2.2.1.3.8 12BPC YCBCR 4: 2: 2 (每个像素24位)

表2-29至表2-31分别显示了12BPC YCBCR 4: 2: 2分别映射到4-, 2-和1车道主链接中。

表2-29: 12BPC YCBCR 4: 2: 2映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
Cb0-11:4	Cr0-11:4	Cb2-11:4	Cr2-11:4
Cb0-3:0 Y0-11:8	Cr0-3:0 Y1-11:8	Cb2-3:0 Y2-11:8	Cr2-3:0 Y3-11:8
Y0-7:0	Y1-7:0	Y2-7:0	Y3-7:0
Cb4-11:4	Cr4-11:4	Cb6-11:4	Cr6-11:4
Cb4-3:0 Y4-11:8	Cr4-3:0 Y5-11:8	Cb6-3:0 Y6-11:8	Cr6-3:0 Y7-11:8
Y4-7:0	Y5-7:0	Y6-7:0	Y7-7:0

表2-30: 12BPC YCBCR 4: 2: 2映射到2车道主链接

Lane 0	Lane 1
Cb0-11:4	Cr0-11:4
Cb0-3:0 Y0-11:8	Cr0-3:0 Y1-11:8
Y0-7:0	Y1-7:0
Cb2-11:4	Cr2-11:4
Cb2-3:0 Y2-11:8	Cr2-3:0 Y3-11:8
Y2-7:0	Y3-7:0

表2-31: 12BPC YCBCR 4: 2: 2映射到1车道主链接

Lane 0
Cb0-11:4
Cb0-3:0 Y0-11:8
Y0-7:0

2.2.1.3.9 16BPC YCBCR 4: 2: 2（每个像素32位）

表2-32至表2-34分别显示16BPC YCBCR 4: 2: 2分别为4, 2-和1车道主链接。

表2-32: 16BPC YCBCR 4: 2: 2映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
Cb0-15:8	Cr0-15:8	Cb2-15:8	Cr2-15:8
Cb0-7:0	Cr0-7:0	Cb2-7:0	Cr2-7:0
Y0-15:8	Y1-15:8	Y2-15:8	Y3-15:8
Y0-7:0	Y1-7:0	Y2-7:0	Y3-7:0
Cb4-15:8	Cr4-15:8	Cb6-15:8	Cr6-15:8
Cb4-7:0	Cr4-7:0	Cb6-7:0	Cr6-7:0
Y4-15:8	Y5-15:8	Y6-15:8	Y7-15:8
Y4-7:0	Y5-7:0	Y6-7:0	Y7-7:0

表2-33: 16BPC YCBCR 4: 2: 2映射到2车道主链接

Lane 0	Lane 1
Cb0-15:8	Cr0-15:8
Cb0-7:0	Cr0-7:0
Y0-15:8	Y1-15:8
Y0-7:0	Y1-7:0
Cb2-15:8	Cr2-15:8
Cb2-7:0	Cr2-7:0
Y2-15:8	Y3-15:8
Y2-7:0	Y3-7:0

表2-34: 16BPC YCBCR 4: 2: 2映射到1车道主链接

Lane 0
Cb0-15:8
Cb0-7:0
Y0-15:8
Y0-7:0
Cr0-15:8
Cr0-7:0
Y1-15:8
Y1-7:0

2.2.1.3.10 8BPC YCBCR 4: 2: 0 (每个像素12位)

表2-35至表2-40显示了8BPC YCBCR 4: 2: 0分别为4, 2-和1车道主链接（每个泳道计数两个表，一个用于偶数线，一个用于奇数线）分别为4, 2-和1车道主链接（奇数线）。Y0_1是指线0的像素1的亮度（y）。

表2-35: 8BPC YCBCR 4: 2: 0在四个主链路车道上均匀（从第0行开始）

Lane 0	Lane 1	Lane 2	Lane 3
Y0_1-7:0	Y0_3-7:0	Y0_5-7:0	Y0_7-7:0
Y0_0-7:0	Y0_2-7:0	Y0_4-7:0	Y0_6-7:0
Cb0_0-7:0	Cb0_2-7:0	Cb0_4-7:0	Cb0_6-7:0
Y0_9-7:0	Y0_11-7:0	Y0_13-7:0	Y0_15-7:0
Y0_8-7:0	Y0_10-7:0	Y0_12-7:0	Y0_14-7:0
Cb0_8-7:0	Cb0_10-7:0	Cb0_12-7:0	Cb0_14-7:0

表2-36: 8BPC YCBCR 4: 2: 0奇数线（从行0开始）在四个主链路车道上

Lane 0	Lane 1	Lane 2	Lane 3
Y1_1-7:0	Y1_3-7:0	Y1_5-7:0	Y1_7-7:0
Y1_0-7:0	Y1_2-7:0	Y1_4-7:0	Y1_6-7:0
Cr0_0-7:0	Cr0_2-7:0	Cr0_4-7:0	Cr0_6-7:0
Y1_9-7:0	Y1_11-7:0	Y1_13-7:0	Y1_15-7:0
Y1_8-7:0	Y1_10-7:0	Y1_12-7:0	Y1_14-7:0
Cr0_8-7:0	Cr0_10-7:0	Cr0_12-7:0	Cr0_14-7:0

表2-37：8BPC YCBCR 4: 2: 0在两个主链路车道上均匀（从行0开始）

Lane 0	Lane 1
Y0_1-7:0	Y0_3-7:0
Y0_0-7:0	Y0_2-7:0
Cb0_0-7:0	Cb0_2-7:0
Y0_5-7:0	Y0_7-7:0
Y0_4-7:0	Y0_6-7:0
Cb0_4-7:0	Cb0_6-7:0

表2-38：8BPC YCBCR 4: 2: 0奇数线（从行0开始）在两个主链路车道上

Lane 0	Lane 1
Y1_1-7:0	Y1_3-7:0
Y1_0-7:0	Y1_2-7:0
Cr0_0-7:0	Cr0_2-7:0
Y1_5-7:0	Y1_7-7:0
Y1_4-7:0	Y1_6-7:0
Cr0_4-7:0	Cr0_6-7:0

表2-39：8BPC YCBCR 4: 2: 0在一个主链路车道上均匀（从第0行开始）

Lane 0
Y0_1-7:0
Y0_0-7:0
Cb0_0-7:0
Y0_3-7:0
Y0_2-7:0
Cb0_2-7:0

表2-40：8BPC YCBCR 4: 2: 0奇数线（从行0开始）在一个主连接道上

Lane 0
Y1_1-7:0
Y1_0-7:0
Cr0_0-7:0
Y1_3-7:0
Y1_2-7:0
Cr0_2-7:0

2.2.1.3.11 10BPC YCBCR 4: 2: 0 (每个像素15位)

表2-41至表2-46分别显示10BPC YCBCR 4: 2: 0分别为4, 2-和1车道主链接（每个泳道计数两个表，一个用于偶数线，一个用于奇数线）。Y0_1是指线0的像素1的亮度（y）。

表2-41: 10BPC YCBCR 4: 2: 0偶数线（从行0开始）在四个主链路车道上

Lane 0	Lane 1	Lane 2	Lane 3
Y0_1-9:2	Y0_3-9:2	Y0_5-9:2	Y0_7-9:2
Y0_1-1:0 Y0_0-9:4	Y0_3-1:0 Y0_2-9:4	Y0_5-1:0 Y0_4-9:4	Y0_7-1:0 Y0_6-9:4
Y0_0-3:0 Cb0_0-9:6	Y0_2-3:0 Cb0_2-9:6	Y0_4-3:0 Cb0_4-9:6	Y0_6-3:0 Cb0_6-9:6
Cb0_0-5:0 Y0_9-9:8	Cb0_2-5:0 Y0_11-9:8	Cb0_4-5:0 Y0_13-9:8	Cb0_6-5:0 Y0_15-9:8
Y0_9-7:0	Y0_11-7:0	Y0_13-7:0	Y0_15-7:0
Y0_8-9:2	Y0_10-9:2	Y0_12-9:2	Y0_14-9:2
Y0_8-1:0 Cb0_8-9:4	Y0_10-1:0 Cb0_10-9:4	Y0_12-1:0 Cb0_12-9:4	Y0_14-1:0 Cb0_14-9:4
Cb0_8-3:0 Y0_17-9:6	Cb0_10-3:0 Y0_19-9:6	Cb0_12-3:0 Y0_21-9:6	Cb0_14-3:0 Y0_23-9:6
Y0_17-5:0 Y0_16-9:8	Y0_19-5:0 Y0_18-9:8	Y0_21-5:0 Y0_20-9:8	Y0_23-5:0 Y0_22-9:8
Y0_16-7:0	Y0_18-7:0	Y0_20-7:0	Y0_22-7:0

表2-42: 10BPC YCBCR 4: 2: 0奇数线（从行0开始）在四个主链路车道上

Lane 0	Lane 1	Lane 2	Lane 3
Y1_1-9:2	Y1_3-9:2	Y1_5-9:2	Y1_7-9:2
Y1_1-1:0 Y1_0-9:4	Y1_3-1:0 Y1_2-9:4	Y1_5-1:0 Y1_4-9:4	Y1_7-1:0 Y1_6-9:4
Y1_0-3:0 Cr0_0-9:6	Y1_2-3:0 Cr0_2-9:6	Y1_4-3:0 Cr0_4-9:6	Y1_6-3:0 Cr0_6-9:6
Cr0_0-5:0 Y1_9-9:8	Cr0_2-5:0 Y1_11-9:8	Cr0_4-5:0 Y1_13-9:8	Cr0_6-5:0 Y1_15-9:8
Y1_9-7:0	Y1_11-7:0	Y1_13-7:0	Y1_15-7:0
Y1_8-9:2	Y1_10-9:2	Y1_12-9:2	Y1_14-9:2
Y1_8-1:0 Cr0_8-9:4	Y1_10-1:0 Cr0_10-9:4	Y1_12-1:0 Cr0_12-9:4	Y1_14-1:0 Cr0_14-9:4
Cr0_8-3:0 Y1_17-9:6	Cr0_10-3:0 Y1_19-9:6	Cr0_12-3:0 Y1_21-9:6	Cr0_14-3:0 Y1_23-9:6
Y1_17-5:0 Y1_16-9:8	Y1_19-5:0 Y1_18-9:8	Y1_21-5:0 Y1_20-9:8	Y1_23-5:0 Y1_22-9:8
Y1_16-7:0	Y1_18-7:0	Y1_20-7:0	Y1_22-7:0

表2-43: 10BPC YCBCR 4: 2: 0在两个主链路车道上均匀 (从行0开始)

Lane 0	Lane 1
Y0_1-9:2	Y0_3-9:2
Y0_1-1:0 Y0_0-9:4	Y0_3-1:0 Y0_2-9:4
Y0_0-3:0 Cb0_0-9:6	Y0_2-3:0 Cb0_2-9:6
Cb0_0-5:0 Y0_5-9:8	Cb0_2-5:0 Y0_7-9:8
Y0_5-7:0	Y0_7-7:0
Y0_4-9:2	Y0_6-9:2
Y0_4-1:0 Cb0_4-9:4	Y0_6-1:0 Cb0_6-9:4
Cb0_4-3:0 Y0_9-9:6	Cb0_6-3:0 Y0_11-9:6
Y0_9-5:0 Y0_8-9:8	Y0_11-5:0 Y0_10-9:8
Y0_8-7:0	Y0_10-7:0

表2-44: 10BPC YCBCR 4: 2: 0奇数线 (从行0开始) 在两个主链路车道上

Lane 0	Lane 1
Y1_1-9:2	Y1_3-9:2
Y1_1-1:0 Y1_0-9:4	Y1_3-1:0 Y1_2-9:4
Y1_0-3:0 Cr0_0-9:6	Y1_2-3:0 Cr0_2-9:6
Cr0_0-5:0 Y1_5-9:8	Cr0_2-5:0 Y1_7-9:8
Y1_5-7:0	Y1_7-7:0
Y1_4-9:2	Y1_6-9:2
Y1_4-1:0 Cr0_4-9:4	Y1_6-1:0 Cr0_6-9:4
Cr0_4-3:0 Y1_9-9:6	Cr0_6-3:0 Y1_11-9:6
Y1_9-5:0 Y1_8-9:8	Y1_11-5:0 Y1_10-9:8
Y1_8-7:0	Y1_10-7:0

表2-45：10BPC YCBCR 4： 2： 0在一个主链路车道上均匀（从第0行开始）

Lane 0
Y0_1-9:2
Y0_1-1:0 Y0_0-9:4
Y0_0-3:0 Cb0_0-9:6
Cb0_0-5:0 Y0_3-9:8
Y0_3-7:0
Y0_2-9:2
Y0_2-1:0 Cb0_2-9:4
Cb0_2-3:0 Y0_5-9:6
Y0_5-5:0 Y0_4-9:8
Y0_4-7:0

表2-46：10BPC YCBCR 4： 2： 0奇数线（从行0开始）在一个主链路上

Lane 0
Y1_1-9:2
Y1_1-1:0 Y1_0-9:4
Y1_0-3:0 Cr0_0-9:6
Cr0_0-5:0 Y1_3-9:8
Y1_3-7:0
Y1_2-9:2
Y1_2-1:0 Cr0_2-9:4
Cr0_2-3:0 Y1_5-9:6
Y1_5-5:0 Y1_4-9:8
Y1_4-7:0

2.2.1.3.12 12BPC YCBCR 4: 2: 0 (每个像素18位)

表2-47至表2-52分别显示了12BPC YCBCR 4: 2: 0分别为4-, 2-和1车道主链接（每个泳道计数两个表，一个用于偶数线，一个用于奇数线）。Y0_1是指线0的像素1的亮度（y）。

表2-47: 12BPC YCBCR 4: 2: 0偶数线（从行0开始）在四个主链路车道上

Lane 0	Lane 1	Lane 2	Lane 3
Y0_1-11:4	Y0_3-11:4	Y0_5-11:4	Y0_7-11:4
Y0_1-3:0 Y0_0-11:8	Y0_3-3:0 Y0_2-11:8	Y0_5-3:0 Y0_4-11:8	Y0_7-3:0 Y0_6-11:8
Y0_0-7:0	Y0_2-7:0	Y0_4-7:0	Y0_6-7:0
Cb0_0-11:4	Cb0_2-11:4	Cb0_4-11:4	Cb0_6-11:4
Cb0_0-3:0 Y0_9-11:8	Cb0_2-3:0 Y0_11-11:8	Cb0_4-3:0 Y0_13-11:8	Cb0_6-3:0 Y0_15-11:8
Y0_9-7:0	Y0_11-7:0	Y0_13-7:0	Y0_15-7:0
Y0_8-11:4	Y0_10-11:4	Y0_12-11:4	Y0_14-11:4
Y0_8-3:0 Cb0_8-11:8	Y0_10-3:0 Cb0_10-11:8	Y0_12-3:0 Cb0_12-11:8	Y0_14-3:0 Cb0_14-11:8
Cb0_8-7:0	Cb0_10-7:0	Cb0_12-7:0	Cb0_14-7:0

表2-48: 12BPC YCBCR 4: 2: 0奇数线（从行0开始）在四个主链路车道上

Lane 0	Lane 1	Lane 2	Lane 3
Y1_1-11:4	Y1_3-11:4	Y1_5-11:4	Y1_7-11:4
Y1_1-3:0 Y1_0-11:8	Y1_3-3:0 Y1_2-11:8	Y1_5-3:0 Y1_4-11:8	Y1_7-3:0 Y1_6-11:8
Y1_0-7:0	Y1_2-7:0	Y1_4-7:0	Y1_6-7:0
Cr0_0-11:4	Cr0_2-11:4	Cr0_4-11:4	Cr0_6-11:4
Cr0_0-3:0 Y1_9-11:8	Cr0_2-3:0 Y1_11-11:8	Cr0_4-3:0 Y1_13-11:8	Cr0_6-3:0 Y1_15-11:8
Y1_9-7:0	Y1_11-7:0	Y1_13-7:0	Y1_15-7:0
Y1_8-11:4	Y1_10-11:4	Y1_12-11:4	Y1_14-11:4
Y1_8-3:0 Cr0_8-11:8	Y1_10-3:0 Cr0_10-11:8	Y1_12-3:0 Cr0_12-11:8	Y1_14-3:0 Cr0_14-11:8
Cr0_8-7:0	Cr0_10-7:0	Cr0_12-7:0	Cr0_14-7:0

表2-49: 12BPC YCBCR 4: 2: 0在两个主链路车道上均匀线（从行0开始）

Lane 0	Lane 1
Y0_1-11:4	Y0_3-11:4
Y0_1-3:0 Y0_0-11:8	Y0_3-3:0 Y0_2-11:8
Y0_0-7:0	Y0_2-7:0
Cb0_0-11:4	Cb0_2-11:4
Cb0_0-3:0 Y0_5-11:8	Cb0_2-3:0 Y0_7-11:8
Y0_5-7:0	Y0_7-7:0
Y0_4-11:4	Y0_6-11:4
Y0_4-3:0 Cb0_4-11:8	Y0_6-3:0 Cb0_6-11:8
Cb0_4-7:0	Cb0_6-7:0

表2-50: 12BPC YCBCR 4: 2: 0奇数线（从行0开始）在两个主链路车道上

Lane 0	Lane 1
Y1_1-11:4	Y1_3-11:4
Y1_1-3:0 Y1_0-11:8	Y1_3-3:0 Y1_2-11:8
Y1_0-7:0	Y1_2-7:0
Cr0_0-11:4	Cr0_2-11:4
Cr0_0-3:0 Y1_5-11:8	Cr0_2-3:0 Y1_7-11:8
Y1_5-7:0	Y1_7-7:0
Y1_4-11:4	Y1_6-11:4
Y1_4-3:0 Cr0_4-11:8	Y1_6-3:0 Cr0_6-11:8
Cr0_4-7:0	Cr0_6-7:0

表2-51: 12BPC YCBCR 4: 2: 0在一个主链路车道上均匀（从行0开始）

Lane 0
Y0_1-11:4
Y0_1-3:0 Y0_0-11:8
Y0_0-7:0
Cb0_0-11:4
Cb0_0-3:0 Y0_3-11:8
Y0_3-7:0
Y0_2-11:4
Y0_2-3:0 Cb0_2-11:8
Cb0_2-7:0

表2-52: 12BPC YCBCR 4: 2: 0奇数线（从行0开始）在一个主连接道上

Lane 0
Y1_1-11:4
Y1_1-3:0 Y1_0-11:8
Y1_0-7:0
Cr0_0-11:4
Cr0_0-3:0 Y1_3-11:8
Y1_3-7:0
Y1_2-11:4
Y1_2-3:0 Cr0_2-11:8
Cr0_2-7:0

2.2.1.3.13 16BPC YCBCR 4: 2: 0（每个像素24位）

表2-53至表2-58显示了16BPC YCBCR 4: 2: 0分别为4、2-和1车道的主链接（每个泳道计数两个表，一个用于偶数线，一个用于奇数线）分别为4、2-和1车道的主链接。Y0_1是指线0的像素1的亮度（y）。

表2-53: 16BPC YCBCR 4: 2: 0在四个主链路车道上均匀（从行0开始）

Lane 0	Lane 1	Lane 2	Lane 3
Y0_1-15:8	Y0_3-15:8	Y0_5-15:8	Y0_7-15:8
Y0_1-7:0	Y0_3-7:0	Y0_5-7:0	Y0_7-7:0
Y0_0-15:8	Y0_2-15:8	Y0_4-15:8	Y0_6-15:8
Y0_0-7:0	Y0_2-7:0	Y0_4-7:0	Y0_6-7:0
Cb0_0-15:8	Cb0_2-15:8	Cb0_4-15:8	Cb0_6-15:8
Cb0_0-7:0	Cb0_2-7:0	Cb0_4-7:0	Cb0_6-7:0
Y0_9-15:8	Y0_11-15:8	Y0_13-15:8	Y0_15-15:8
Y0_9-7:0	Y0_11-7:0	Y0_13-7:0	Y0_15-7:0
Y0_8-15:8	Y0_10-15:8	Y0_12-15:8	Y0_14-15:8
Y0_8-7:0	Y0_10-7:0	Y0_12-7:0	Y0_14-7:0
Cb0_8-15:8	Cb0_10-15:8	Cb0_12-15:8	Cb0_14-15:8
Cb0_8-7:0	Cb0_10-7:0	Cb0_12-7:0	Cb0_14-7:0

表2-54: 16BPC YCBCR 4: 2: 0奇数线（从行0开始）在四个主链路车道上

Lane 0	Lane 1	Lane 2	Lane 3
Y1_1-15:8	Y1_3-15:8	Y1_5-15:8	Y1_7-15:8
Y1_1-7:0	Y1_3-7:0	Y1_5-7:0	Y1_7-7:0
Y1_0-15:8	Y1_2-15:8	Y1_4-15:8	Y1_6-15:8
Y1_0-7:0	Y1_2-7:0	Y1_4-7:0	Y1_6-7:0
Cr0_0-15:8	Cr0_2-15:8	Cr0_4-15:8	Cr0_6-15:8
Cr0_0-7:0	Cr0_2-7:0	Cr0_4-7:0	Cr0_6-7:0
Y1_9-15:8	Y1_11-15:8	Y1_13-15:8	Y1_15-15:8
Y1_9-7:0	Y1_11-7:0	Y1_13-7:0	Y1_15-7:0
Y1_8-15:8	Y1_10-15:8	Y1_12-15:8	Y1_14-15:8
Y1_8-7:0	Y1_10-7:0	Y1_12-7:0	Y1_14-7:0
Cr0_8-15:8	Cr0_10-15:8	Cr0_12-15:8	Cr0_14-15:8
Cr0_8-7:0	Cr0_10-7:0	Cr0_12-7:0	Cr0_14-7:0

表2-55: 16BPC YCBCR 4: 2: 0在两个主链路车道上均匀 (从行0开始)

Lane 0	Lane 1
Y0_1-15:8	Y0_3-15:8
Y0_1-7:0	Y0_3-7:0
Y0_0-15:8	Y0_2-15:8
Y0_0-7:0	Y0_2-7:0
Cb0_0-15:8	Cb0_2-15:8
Cb0_0-7:0	Cb0_2-7:0
Y0_5-15:8	Y0_7-15:8
Y0_5-7:0	Y0_7-7:0
Y0_4-15:8	Y0_6-15:8
Y0_4-7:0	Y0_6-7:0
Cb0_4-15:8	Cb0_6-15:8
Cb0_4-7:0	Cb0_6-7:0

表2-56: 16BPC YCBCR 4: 2: 0奇数线 (从行0开始) 在两个主链路车道上

Lane 0	Lane 1
Y1_1-15:8	Y1_3-15:8
Y1_1-7:0	Y1_3-7:0
Y1_0-15:8	Y1_2-15:8
Y1_0-7:0	Y1_2-7:0
Cr0_0-15:8	Cr0_2-15:8
Cr0_0-7:0	Cr0_2-7:0
Y1_5-15:8	Y1_7-15:8
Y1_5-7:0	Y1_7-7:0
Y1_4-15:8	Y1_6-15:8
Y1_4-7:0	Y1_6-7:0
Cr0_4-15:8	Cr0_6-15:8
Cr0_4-7:0	Cr0_6-7:0

表2-57: 16BPC YCBCR 4: 2: 0在一个主链路车道上均匀 (从第0行开始)

Lane 0
Y0_1-15:8
Y0_1-7:0
Y0_0-15:8
Y0_0-7:0
Cb0_0-15:8
Cb0_0-7:0
Y0_3-15:8
Y0_3-7:0
Y0_2-15:8
Y0_2-7:0
Cb0_2-15:8
Cb0_2-7:0

表2-58: 16BPC YCBCR 4: 2: 0奇数线 (从行0开始) 在一个主链路车道上

Lane 0
Y1_1-15:8
Y1_1-7:0
Y1_0-15:8
Y1_0-7:0
Cr0_0-15:8
Cr0_0-7:0
Y1_3-15:8
Y1_3-7:0
Y1_2-15:8
Y1_2-7:0
Cr0_2-15:8
Cr0_2-7:0

2.2.1.3.14 8bpp y-仅

表2-59至表2-61分别显示了8BPP Y的流映射分别为4，2和1车道的主链接。每种颜色的位7映射到每个车道的位7，而每种颜色的位0映射到每个车道的位0。

表2-59：只有8BPP y-到4车道主链接映射

Lane 0	Lane 1	Lane 2	Lane 3
Y0-7:0	Y1-7:0	Y2-7:0	Y3-7:0
Y4-7:0	Y5-7:0	Y6-7:0	Y7-7:0

表2-60：8BPP Y映射到2车道的主链接

Lane 0	Lane 1
Y0-7:0	Y1-7:0
Y2-7:0	Y3-7:0
Y4-7:0	Y5-7:0
Y6-7:0	Y7-7:0

表2-61：8BPP y仅映射到1车道主链接

Lane 0
Y0-7:0
Y1-7:0
Y2-7:0
Y3-7:0

2.2.1.3.15 10bpp Y-only

表2-62至表2-64分别显示了10BPP y的流映射分别为4-, 2和1车道的主链接。

表2-62: 10BPP y仅映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
Y0-9:2	Y1-9:2	Y2-9:2	Y3-9:2
Y0-1:0 Y4-9:4	Y1-1:0 Y5-9:4	Y2-1:0 Y6-9:4	Y3-1:0 Y7-9:4
Y4-3:0 Y8-9:6	Y5-3:0 Y9-9:6	Y6-3:0 Y10-9:6	Y7-3:0 Y11-9:6
Y8-5:0 Y12-9:8	Y9-5:0 Y13-9:8	Y10-5:0 Y14-9:8	Y11-5:0 Y15-9:8
Y12-7:0	Y13-7:0	Y14-7:0	Y15-7:0

表2-63: 10BPP y仅映射到2车道的主链接

Lane 0	Lane 1
Y0-9:2	Y1-9:2
Y0-1:0 Y2-9:4	Y1-1:0 Y3-9:4
Y2-3:0 Y4-9:6	Y3-3:0 Y5-9:6
Y4-5:0 Y6-9:8	Y5-5:0 Y7-9:8
Y6-7:0	Y7-7:0

表2-64: 10BPP y映射到1车道的Main-Li

NK

Lane 0
Y0-9:2
Y0-1:0 Y1-9:4
Y1-3:0 Y2-9:6
Y2-5:0 Y3-9:8
Y3-7:0

2.2.1.3.16 12bpp y-仅

表2-65至表2-67分别显示了12BPP Y的流映射分别为4-, 2和1车道的主链接。

表2-65： 仅12BPP Y映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
Y0-11:4	Y1-11:4	Y2-11:4	Y3-11:4
Y0-3:0 Y4-11:8	Y1-3:0 Y5-11:8	Y2-3:0 Y6-11:8	Y3-3:0 Y7-11:8
Y4-7:0	Y5-7:0	Y6-7:0	Y7-7:0

表2-66： 12BPP Y映射到2车道的主链接

Lane 0	Lane 1
Y0-11:4	Y1-11:4
Y0-3:0 Y2-11:8	Y1-3:0 Y3-11:8
Y2-7:0	Y3-7:0

表2-67： 12BPP Y映射到1车道主链接

Lane 0
Y0-11:4
Y0-3:0 Y1-11:8
Y1-7:0

2.2.1.3.17 16bpp y-仅

表2-68至表2-70分别显示了16BPP Y的流映射分别为4，2和1车道的主链接。

表2-68： 仅16BPP Y映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
Y0-15:8	Y1-15:8	Y2-15:8	Y3-15:8
Y0-7:0	Y1-7:0	Y2-7:0	Y3-7:0
Y4-15:8	Y5-15:8	Y6-15:8	Y7-15:8
Y4-7:0	Y5-7:0	Y6-7:0	Y7-7:0

表2-69： 16BPP Y映射到2车道的主链接

Lane 0	Lane 1
Y0-15:8	Y1-15:8
Y0-7:0	Y1-7:0
Y2-15:8	Y3-15:8
Y2-7:0	Y3-7:0

表2-70： 仅16BPP Y映射到1车道主链接

Lane 0
Y0-15:8
Y0-7:0
Y1-15:8
Y1-7:0

2.2.1.3.18 6BPP RAW

表2-71至表2-73分别显示了6BPP原始流映射分别为4，2和1车道的主链接。

表2-71： 6BPP原始映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
RAW0-5:0 RAW4-5:4	RAW1-5:0 RAW5-5:4	RAW2-5:0 RAW6-5:4	RAW3-5:0 RAW7-5:4
RAW4-3:0 RAW8-5:2	RAW5-3:0 RAW9-5:2	RAW6-3:0 RAW10-5:2	RAW7-3:0 RAW11-5:2
RAW8-1:0 RAW12-5:0	RAW9-1:0 RAW13-5:0	RAW10-1:0 RAW14-5:0	RAW11-1:0 RAW15-5:0

表2-72： 6BPP原始映射到2车道的主链接

Lane 0	Lane 1
RAW0-5:0 RAW2-5:4	RAW1-5:0 RAW3-5:4
RAW2-3:0 RAW4-5:2	RAW3-3:0 RAW5-5:2
RAW4-1:0 RAW6-5:0	RAW5-1:0 RAW7-5:0

表2-73： 6BPP原始映射到1车道的主链接

Lane 0
RAW0-5:0 RAW1-5:4
RAW1-3:0 RAW2-5:2
RAW2-1:0 RAW3-5:0

2.2.1.3.19 7BPP RAW

表2-74至表2-76分别显示了7BPP原始流映射分别为4，2和1车道的主链接。

表2-74： 7BPP RAW映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
RAW0-6:0 RAW4-6	RAW1-6:0 RAW5-6	RAW2-6:0 RAW6-6	RAW3-6:0 RAW7-6
RAW4-5:0 RAW8-6:5	RAW5-5:0 RAW9-6:5	RAW6-5:0 RAW10-6:5	RAW7-5:0 RAW11-6:5
RAW8-4:0 RAW12-6:4	RAW9-4:0 RAW13-6:4	RAW10-4:0 RAW14-6:4	RAW11-4:0 RAW15-6:4
RAW12-3:0 RAW16-6:3	RAW13-3:0 RAW17-6:3	RAW14-3:0 RAW18-6:3	RAW15-3:0 RAW19-6:3
RAW16-2:0 RAW20-6:2	RAW17-2:0 RAW21-6:2	RAW18-2:0 RAW22-6:2	RAW19-2:0 RAW23-6:2
RAW20-1:0 RAW24- 6:1	RAW21-1:0 RAW25- 6:1	RAW22-1:0 RAW26- 6:1	RAW23-1:0 RAW27- 6:1
RAW24-0 RAW28-6:0	RAW25-0 RAW29-6:0	RAW26-0 RAW30-6:0	RAW27-0 RAW31-6:0

表2-75： 7BPP原始映射到2车道的主链接

Lane 0	Lane 1
RAW0-6:0 RAW2-6	RAW1-6:0 RAW3-6
RAW2-5:0 RAW4-6:5	RAW3-5:0 RAW5-6:5
RAW4-4:0 RAW6-6:4	RAW5-4:0 RAW7-6:4
RAW6-3:0 RAW8-6:3	RAW7-3:0 RAW9-6:3
RAW8-2:0 RAW10-6:2	RAW9-2:0 RAW11-6:2
RAW10-1:0 RAW12-6:1	RAW11-1:0 RAW13-6:1
RAW12-0 RAW14-6:0	RAW13-0 RAW15-6:0

表2-76： 7BPP RAW映射到1车道主线

k

Lane 0
RAW0-6:0 RAW1-6
RAW1-5:0 RAW2-6:5
RAW2-4:0 RAW3-6:4
RAW3-3:0 RAW4-6:3
RAW4-2:0 RAW5-6:2
RAW5-1:0 RAW6-6:1
RAW6-0 RAW7-6:0

2.2.1.3.20 8bpp RAW

表2-77至表2-79分别显示了8BPP原始流映射分别为4，2和1车道的主链接。

表2-77： 8BPP RAW映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
RAW0-7:0	RAW1-7:0	RAW2-7:0	RAW3-7:0
RAW4-7:0	RAW5-7:0	RAW6-7:0	RAW7-7:0

表2-78： 8BPP原始映射到2车道的主链接

Lane 0	Lane 1
RAW0-7:0	RAW1-7:0
RAW2-7:0	RAW3-7:0
RAW4-7:0	RAW5-7:0
RAW6-7:0	RAW7-7:0

表2-79： 8BPP原始映射到1车道的主链接

Lane 0
RAW0-7:0
RAW1-7:0
RAW2-7:0
RAW3-7:0

2.2.1.3.21 10bpp RAW

表2-80至表2-82分别显示了10BPP原始流映射分别为4，2和1车道的主链接。

表2-80：10BPP原始映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
RAW0-9:2	RAW1-9:2	RAW2-9:2	RAW3-9:2
RAW0-1:0 RAW4-9:4	RAW1-1:0 RAW5-9:4	RAW2-1:0 RAW6-9:4	RAW3-1:0 RAW7-9:4
RAW4-3:0 RAW8-9:6	RAW5-3:0 RAW9-9:6	RAW6-3:0 RAW10-9:6	RAW7-3:0 RAW11-9:6
RAW8-5:0 RAW12-9:8	RAW9-5:0 RAW13-9:8	RAW10-5:0 RAW14-9:8	RAW11-5:0 RAW15-9:8
RAW12-7:0	RAW13-7:0	RAW14-7:0	RAW15-7:0

表2-81：10BPP原始映射到2车道的主链接

Lane 0	Lane 1
RAW0-9:2	RAW1-9:2
RAW0-1:0 RAW2-9:4	RAW1-1:0 RAW3-9:4
RAW2-3:0 RAW4-9:6	RAW3-3:0 RAW5-9:6
RAW4-5:0 RAW6-9:8	RAW5-5:0 RAW7-9:8
RAW6-7:0	RAW7-7:0

表2-82：10BPP RAW映射到1车道主-L

墨水

Lane 0
RAW0-9:2
RAW0-1:0 RAW1-9:4
RAW1-3:0 RAW2-9:6
RAW2-5:0 RAW3-9:8
RAW3-7:0

2.2.1.3.22 12bpp RAW

表2-83至表2-85分别显示了12BPP原始流映射分别为4，2和1车道的主链接。

表2-83： 12BPP RAW映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
RAW0-11:4	RAW1-11:4	RAW2-11:4	RAW3-11:4
RAW0-3:0 RAW4-11:8	RAW1-3:0 RAW5-11:8	RAW2-3:0 RAW6-11:8	RAW3-3:0 RAW7-11:8
RAW4-7:0	RAW5-7:0	RAW6-7:0	RAW7-7:0

表2-84： 12BPP原始映射到2车道的主链接

Lane 0	Lane 1
RAW0-11:4	RAW1-11:4
RAW0-3:0 RAW2-11:8	RAW1-3:0 RAW3-11:8
RAW2-7:0	RAW3-7:0

表2-85： 12BPP原始映射到1车道的主链接

Lane 0
RAW0-11:4
RAW0-3:0 RAW1-11:8
RAW1-7:0

2.2.1.3.23 14bpp RAW

表2-86至表2-88分别显示14BPP原始流映射分别为4，2和1车道的主链接。

表2-86： 14BPP原始映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
RAW0-13:6	RAW1-13:6	RAW2-13:6	RAW3-13:6
RAW0-5:0 RAW4-13:12	RAW1-5:0 RAW5-13:12	RAW2-5:0 RAW6-13:12	RAW3-5:0 RAW7-13:12
RAW4-11:4	RAW5-11:4	RAW6-11:4	RAW7-11:4
RAW4-3:0 RAW8-13:10	RAW5-3:0 RAW9-13:10	RAW6-3:0 RAW10-13:10	RAW7-3:0 RAW11-13:10
RAW8-9:2	RAW9-9:2	RAW10-9:2	RAW11-9:2
RAW8-1:0 RAW12-13:8	RAW9-1:0 RAW13-13:8	RAW10-1:0 RAW14-13:8	RAW11-1:0 RAW15-13:8
RAW12-7:0	RAW13-7:0	RAW14-7:0	RAW15-7:0

表2-87： 14BPP原始映射到2车道的主链接

Lane 0	Lane 1
RAW0-13:6	RAW1-13:6
RAW0-5:0 RAW2-13:12	RAW1-5:0 RAW3-13:12
RAW2-11:4	RAW3-11:4
RAW2-3:0 RAW4-13:10	RAW3-3:0 RAW5-13:10
RAW4-9:2	RAW5-9:2
RAW4-1:0 RAW6-13:8	RAW5-1:0 RAW7-13:8
RAW6-7:0	RAW7-7:0

表2-88： 14BPP RAW映射到1车道主-L

墨水

Lane 0
RAW0-13:6
RAW0-5:0 RAW1-13:12
RAW1-11:4
RAW1-3:0 RAW2-13:10
RAW2-9:2
RAW2-1:0 RAW3-13:8
RAW3-7:0

2.2.1.3.24 16bpp RAW

表2-89至表2-91分别显示16BPP原始流映射分别为4，2和1车道的主链接。

表2-89： 16BPP原始映射到4车道主链接

Lane 0	Lane 1	Lane 2	Lane 3
RAW0-15:8	RAW1-15:8	RAW2-15:8	RAW3-15:8
RAW0-7:0	RAW1-7:0	RAW2-7:0	RAW3-7:0
RAW4-15:8	RAW5-15:8	RAW6-15:8	RAW7-15:8
RAW4-7:0	RAW5-7:0	RAW6-7:0	RAW7-7:0

表2-90： 16BPP原始映射到2车道的主链接

Lane 0	Lane 1
RAW0-15:8	RAW1-15:8
RAW0-7:0	RAW1-7:0
RAW2-15:8	RAW3-15:8
RAW2-7:0	RAW3-7:0

表2-91： 16BPP原始映射到1车道主-L

墨水

Lane 0
RAW0-15:8
RAW0-7:0
RAW1-15:8
RAW1-7:0

2.2.1.4符号填充和转移单元

为了避免链接带宽的过度检查，包装的数据速率必须等于或低于链接符号率。当包装的数据速率低于链接符号率时，链路层必须执行符号填充。填充符号（填充框架符号和虚拟数据符号）必须在车间间偏斜之前的同一LS_CLK循环中插入所有车道。在争夺之前，虚拟数据符号必须全部为00H。虚拟数据符号在FS和Fe之间以及BS和BE之间插入。

符号的填充方式必须在主动视频期间和空白期之间有所不同。

- 在活跃的视频期间：
 - 填充符号必须用控制符号FS和Fe框架在转移单元（TU）中，如图2-13所示。（TU在第2.2.1.4.1节中的示例中进行了描述。）FS和FE之间的所有符号都必须填充虚拟数据符号，而在FS之前，TU中的所有符号都必须是有用的数据符号。
 - FS和FE必须在相同的LS_CLK周期中插入所有车道。
 - 当只有一个符号时，必须使用Fe，并且省略了FS。
 - 传输单元大小必须为每条车道的32至64个链路符号，除了水平线的最后一个TU，其中包含填充符号（FS/FE）（FS/FE），并用该线的最后一个活动像素截断。
 - 水平视频线的最后一个tu必须以BS结尾，并且不能以FS/FE插入结束。
 - 在整个期间：
 - 空白期和主动视频周期的第一个BS之间的所有非控制符号都是虚拟填充数据符号（VB-ID，MVID7：0和MAUD7：0除外）。这些虚拟数据符号可以用SDP代替。
- Note:** *BS is inserted at the same symbol time during vertical blanking period as during the active video period, as stated in Section 2.2.1.2.*
- 在垂直空白期间，在每个车道上传输BS，然后在VB-ID，MVID7：0和Maud7：0上传输。垂直遮挡间隔开始时BS之间的其余符号和垂直遮挡间隔末端的BE是虚拟符号，可以用SDP代替。

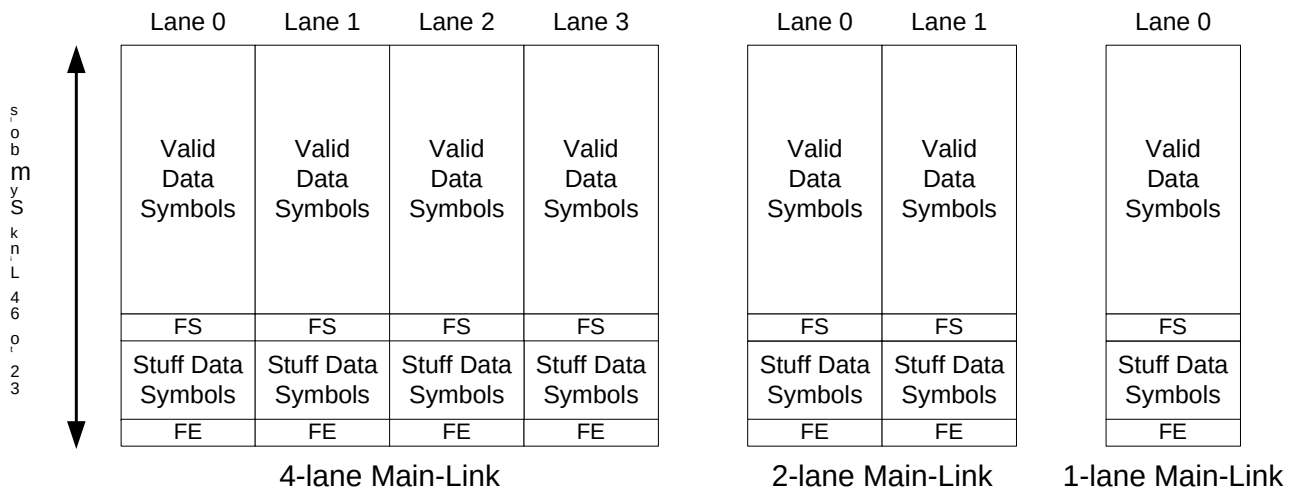


图2-13: 转移单元

转移单元（TU）尺寸必须在每条车道的32至64个链路符号范围内。DP源设备必须为给定的视频计时格式修复TU大小。

在BE之后，必须立即将水平活动显示线的第一个像素数据作为行的第一个TU的第一个有效数据符号。像素0的部分像素数据必须始终放在泳道0上。

TU可能在部分像素边界结束。例如，像素的一部分可以以一个TU传输，而该像素的其余蓝色数据则在下一个TU中运输。有效符号与填充符号的比率取决于包装数据流速率和链接符号速率之间的比率。根据相对于链接符号速率的填充流率的不同，一定数量的有效符号将累积每个“Tu-Size”链路符号时钟周期。源设备中的DPTX将在下一个累积开始时通过主链接传输这些有效符号。此过程将重复直到达到视频线的结束，这是由在所有车道上插入BS符号的标志。

使用上述填充方法，每条车道的有效数据符号的数量（除了由于活动像素的结束而可能被切割的最后一条tu除外）将与以下等式近似：

$$\# \text{ of valid data symbols per lane} = \text{packed data rate/link symbol rate} * \text{TU size}$$

水平活动显示周期结束时的最后一个TU可能（或可能）比从上述方程中获得的有效数据符号少。DPRX必须在BS之后丢弃所有数据符号（VB-ID，MVID7：0和MAUD7：0）以及水平活动显示周期结束时的“零填充位”。

2.2.1.4.1

转移单元示例（信息性）

表2-92显示了一个1366x768, 30BPP RGB视频流的传输单元（Strm_clk = 80MHz），该流在以2.7GBPS（或每秒钟为每秒270毫秒）运行的4车道主链路上运输。在此示例中，TU大小固定为每条车道的64个链路符号。

转移单元中有效符号的数量计算如下：

$$\text{Stream: } 30\text{bpp, } 80\text{MHz Packed data rate over 4 lanes} = 75 \text{ Msymbols / second / lane}$$

$$\text{Average valid symbols per TU} = 75\text{M} / 270\text{M} * 64 = 17.8$$

每个Tu的有效数据符号的数量自然会交替，并且随着时间的流逝，平均数量将来自上述方程式计算得出的适当的非直觉值。从表2-92中可以看出，传输单元中的有效数据可能在非像素边界结束。

表2-92：30BPP RGB视频的传输单元超过2.7Gbps/lane Main-Linka

Lane 0	Lane 1	Lane 2	Lane 3
BE	BE	BE	BE
R0-9:2	R1-9:2	R2-9:2	R3-9:2
R0-1:0 G0-9:4	R1-1:0 G1-9:4	R2-1:0 G2-9:4	R3-1:0 G3-9:4
G0-3:0 B0-9:6	G1-3:0 B1-9:6	G2-3:0 B2-9:6	G3-3:0 B3-9:6
B0-5:0 R4-9:8	B1-5:0 R5-9:8	B2-5:0 R6-9:8	B3-5:0 R7-9:8
R4-7:0	R5-7:0	R6-7:0	R7-7:0
G4-9:2	G5-9:2	G6-9:2	G7-9:2
G4-1:0 B4-9:4	G5-1:0 B5-9:4	G6-1:0 B6-9:4	G7-1:0 B7-9:4
B4-3:0 R8-9:6	B5-3:0 R9-9:6	B6-3:0 R10-9:6	B7-3:0 R11-9:6
R8-5:0 G8-9:8	R9-5:0 G9-9:8	R10-5:0 G10-9:8	R11-5:0 G11-9:8
G8-7:0	G9-7:0	G10-7:0	G11-7:0
B8-9:2	B9-9:2	B10-9:2	B11-9:2
B8-1:0 R12-9:4	B9-1:0 R13-9:4	B10-1:0 R14-9:4	B11-1:0 R15-9:4
R12-3:0 G12-9:6	R13-3:0 G13-9:6	R14-3:0 G14-9:6	R15-3:0 G15-9:6
G12-5:0 B12-9:8	G13-5:0 B13-9:8	G14-5:0 B14-9:8	G15-5:0 B15-9:8
B12-7:0	B13-7:0	B14-7:0	B15-7:0
R16-9:2	R17-9:2	R18-9:2	R19-9:2
R16-1:0 G16-9:4	R17-1:0 G17-9:4	R18-1:0 G18-9:4	R19-1:0 G19-9:4
G16-3:0 B16-9:6	G17-3:0 B17-9:6	G18-3:0 B18-9:6	G19-3:0 B19-9:6
FS	FS	FS	FS
Dummy Data Symbols (44 x 4)			
FE	FE	FE	FE
B16-5:0 R20-9:8	B17-5:0 R21-9:8	B18-5:0 R22-9:8	B19-5:0 R23-9:8
R20-7:0	R21-7:0	R22-7:0	R23-7:0



a. The pixel rate in this example is 80Mpixels per sec. The Main-Link bit rate is 2.7Gbps/lane. The first TU of a line is marked by the blue arrow to the right of the table.

2.2.1.4.2启用了FEC编码/解码的传输单位生成

*DP v1.4*的新手。

当启用FEC编码/解码时（请参见第3.5.1.5节），DPTX链接层应插入FEC Parity Place持有人和奇偶校验标记（分别为FEC_PARITY_PH和FEC_PM）链接符号。FEC_PARITY_PH和FEC_PM链接符号的数量应如下：

- 1车道配置
 - 12 fec_parity_ph链接符号在500之后插入500个链接层链接符号
 - 每128组12 fec_parity_ph链接符号，后跟FEC PM链接符号
- 2-和4车道配置
 - 六个fec_parity_ph链接符号在250之后插入
 - 每256组六个FEC_PARITY_PH链接符号，后跟FEC PM链接符号

由此产生的FEC开销约为2.3%。

FEC平价符号的传输严格是周期性的，不可知链路层链接符号传输。

DP源设备计算可以通过DP链接传输的最大像素带宽时，应考虑此2.3%的开销。

SST模式下的DP源设备应能够在所有TU上均匀分配其他有效的像素数据符号，以获取完全订阅的链接，其中从像素速率和像素位深度为2.3%的峰值位置的峰值像素带宽相当于链接带宽，以计算链接带宽以计算FEC Parity符号的时间段。

如果链接带宽未完全订阅，则以SST模式的DP源设备可能具有额外的有效像素数据符号，这些数据符号将在FEC代码传输的时间插槽中积累。

SST模式下的DP源设备可能无法在FEC_CONFIGURATION寄存器（DPCD地址00120H，位0）至1，因为它不启用FEC编码以避免使用2.3%的FEC开销。当DP源设备以SST模式做出选择时，它必须设置FEC_ready位并在启用FEC之前启动链接训练。

2.2.1.5主流属性数据包/SDP插入

视频空白期间的虚拟填充数据符号（垂直和水平）可以用主流属性（MSA）数据或SDP代替。两者都必须用SS和SE控制符号构建，如图2-14所示。

泳道0泳道1车道2车道3

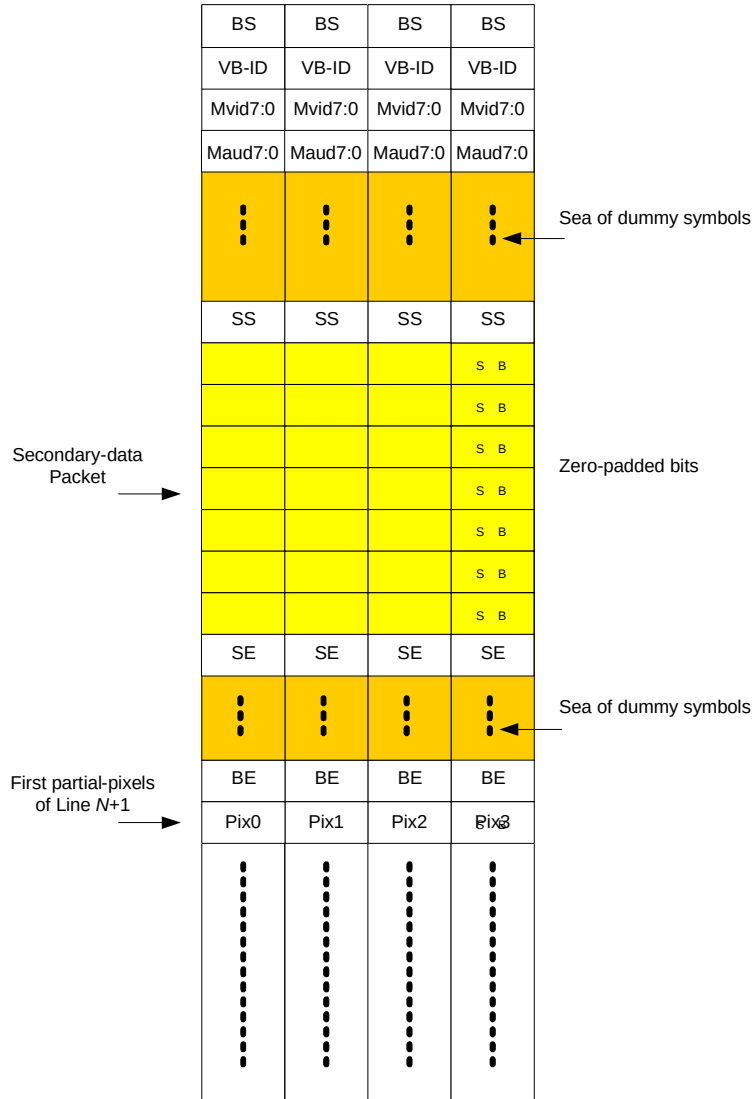


图2-14：辅助插入

例如，用于以下目的使用SDP：

- CEA-861-FInfoframe SDP
- AUDIO_STREAM SDP
- AUDIO_TIMESTAMP SDP

主流属性数据必须通过冗余保护。如第2.2.1.6节所述，必须通过车间间偏斜进一步增强冗余。如第2.2.6节所述，SDP必须受到基于REED所罗门代码的ECC（错误校正代码）保护。

2.2.1.6 车间偏斜

插入主链接属性数据（以及可选的是SDP）后，DPTX必须插入偏斜相邻车道之间的两个LS_CLK循环。图2-15显示了该车间偏斜之后必须如何运输符号。所有符号，包括在视频显示期间传输的符号和视频空白期间传输的符号，都偏向相邻车道之间的两个LS_CLK时期。

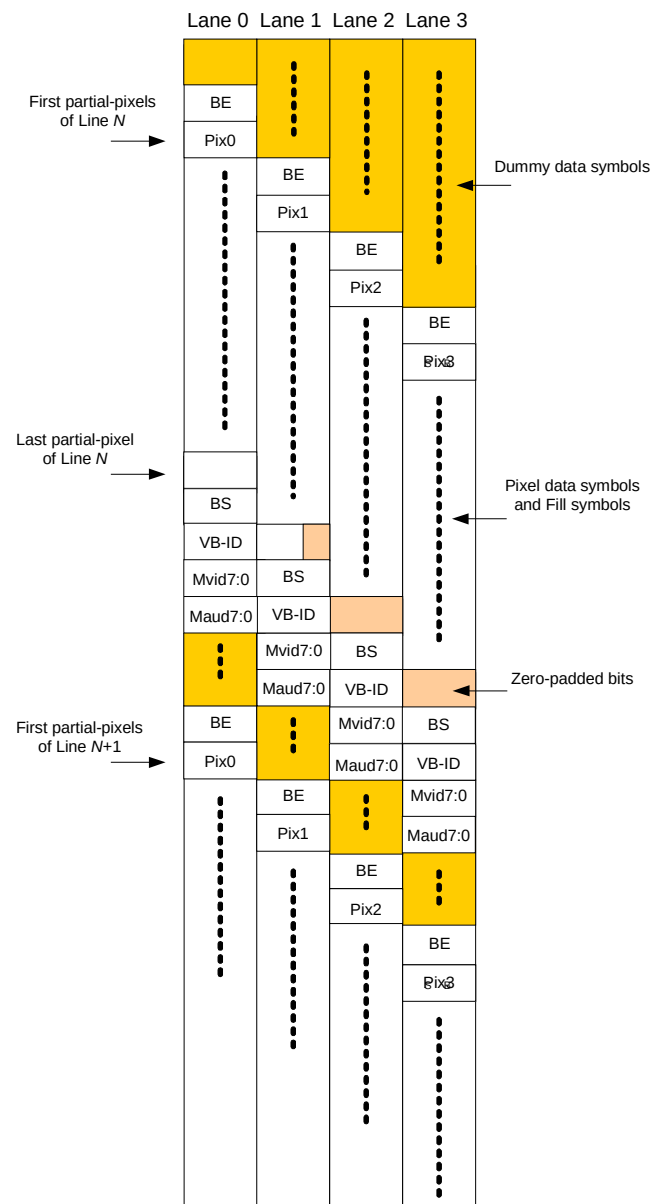


图2-15： 车间偏斜

车间间偏斜的目的是增加链接抵抗外部噪声的免疫力。 例如，如果不歪曲外部冲动，则可能会损坏所有车道上的MVID7: 0符号。车间偏斜降低了这种腐败的可能性。

2.2.2水槽设备中的流重建

DPRX中链路层的流重建必须是DPTX中发生的情况的镜像。表2-93列出了DPRX必须采取的操作。

表2-93: dprx流动设备中的DPRX流重建操作

Action	Description
1 Inter-lane de-skewing	Must remove the two LS_Clk skewing among adjacent lanes inserted by the DPTX.
2 Error correction	All the values of DisplayPort main stream attributes except for time stamp value Mvid must stay constant. Therefore, the DPRX must filter out any intermittent data corruption by comparing with the previous values. As for the time stamp values Mvid/Maud and VB-ID, “majority voting” must be used to determine the value.
3 SDP de-multiplexing	Secondary data must be de-multiplexed using SS and SE as the separator. The DPRX must perform Reed-Solomon (15:13) (RS (15:13)) decoding upon extracting the SDP
4 Symbol un-stuffing	Remove stuffing symbols.
5 Data unpacking	Data unpacking must take place to reconstruct pixel data from data characters transported over the Main-Link. Unpacking is dependent on the pixel data color depth and format (as described in Section 2.2.1.3).
6 Stream clock regeneration	Stream clock regeneration is covered in Section 2.2.3.

2.2.3

流时钟再生

本节介绍了原始流时钟再生的详细信息，从水槽设备中的主链路上运输的流。从概念上讲，以下方程式说明了如何使用时间戳MVID和NVID来派生流时钟（strm_clk）：

$$f\_Strm\_Clk = Mvid / Nvid * f\_LS\_Clk$$

在哪里：

- f_strm_clk =流时钟频率
- $mvid$ =反馈脉冲周期 / t_strm_clk
- $nvid$ =参考脉冲期 / t_ls_clk
- f_ls_clk =主链接符号时钟频率

T_STRM_CLK 和 T_LS_CLK 分别是流时钟和主链接符号时钟周期。参考脉冲和反馈脉冲如图2-16所示。

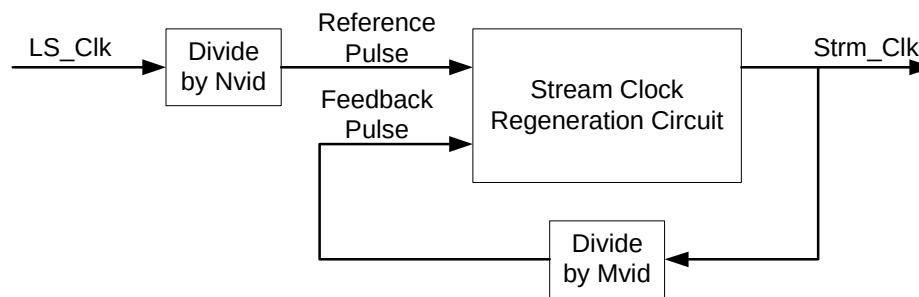


图2-16: 参考脉冲和反馈脉冲的脉冲再生电路的脉冲

以上方程也可以表示为:

$$Mvid / Nvid = f\_Strm\_Clk / f\_LS\_Clk$$

必须注意的是，MVID/NVID是由像素速率（通常以mpixels/sec表示）和主链接符号时钟速率确定的比率。因此，MVID和NVID值对像素编码格式或组件位深度无关。

MVID和NVID时间戳都必须都是24位值。

当DPTX和流源共享相同的参考时钟时，MVID和NVID时间戳值保持恒定。这种生成主链接符号时钟和流时钟的方式称为同步时钟模式。DP源设备可以选择一个流时钟频率，该频率允许静态且相对较小（例如64或更少）MVID和NVID值。这些选择是特定于实施的。

如果流时钟和主链接符号时钟相互异步，则MVID的值会随着时间而变化。这种生成主链接符号时钟和流时钟的方式称为异步时钟模式。值MVID势必会改变，而值NVID保持恒定。在此异步时钟模式下NVID的值必须设置为215（= 32768）或更高。建议使用2的值。

在异步时钟模式下，DPTX必须使用以LS_CLK频率运行的计数器测量MVID，如图2-17所示。每个[NVID X LS_CLK循环]之后的全面值必须在DP MSA数据包中运输。遵循BS符号序列和VB-ID，必须每个主视频流水平周期每个主视频流时期一次运输最低的八位MVID（MVID7: 0）。

当MVID7: 0越过8位边界时，整个MVID23: 0发生了变化。例如，当MVID23: 0在给定的主视频流的一个时间点处为000FFFH时，该值可能会在另一个点变为0010000H。水槽设备负责基于更新的MVID7: 0确定整个MVID23: 0值。

在异步时钟模式下，接收器设备必须使用接收到的MVID和NVID值作为重生像素时钟的提示。必须实现最终的流时钟再生，以便重新生成的视频活动线和框架时间与框架控制符号接收同步。

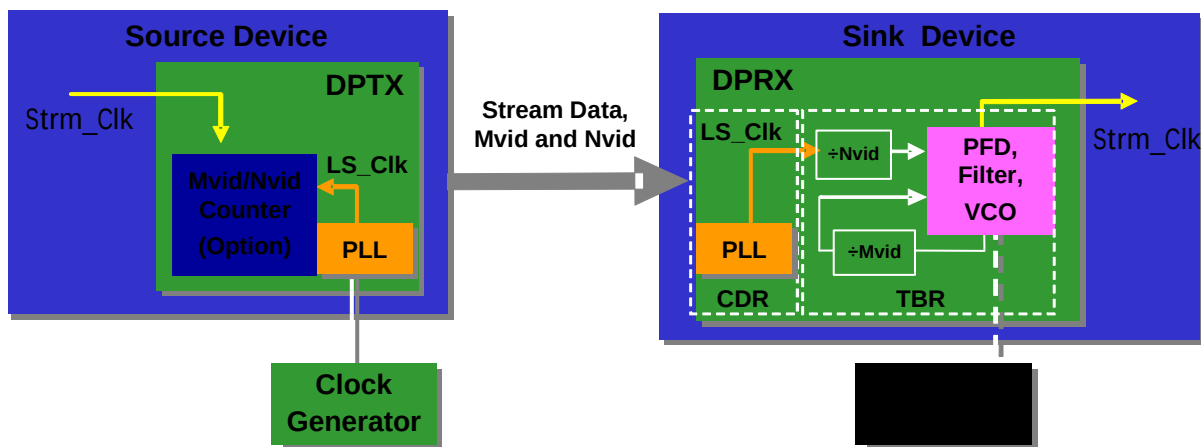


Figure 2-17: Mvid and Nvid Value Determination Example in Asynchronous Clock Mode in a Source Device

Note 1: Use of an Nvid value of 32768 does not mandate that the reference pulse period be $32768 * t_{LS\_Clk}$, which is roughly 121us for Main-Link at HBR (2.7Gbps/lane). The value of Nvid (which is 32768 or 8000h) and Mvid (which is measured by the counter in the DPTX) may be divided by power of two (or right-shifted) to realize the reference pulse period suited for each implementation.

The method for right-shifting Mvid depends on the required accuracy and jitter tolerance of each application. The simplest method of rounding up to the nearest integer value (thus, resulting in approximated stream clock regeneration) may be used for certain applications where the regenerated stream timing is gen-locked to the incoming data. Other applications may use a more-elaborate fractional Mvid PLL based approach for increasing the accuracy while maintaining the low jitter.

In some implementations, the value of Mvid may be accumulated multiple times to use even larger Mvid and Nvid values for stream clock regeneration.

How a Sink device uses (or even does not use) Mvid and Nvid values for stream clock regeneration is implementation-specific.

Note 2: This section covers the stream clock regeneration in SST mode and does not apply to MST mode, unless an MST Source device is directly driving an MST Sink device over a single link, because the Mvid and Nvid generated by a Source device describes the ratio between the Strm_Clk and the LS_Clk of the link that the Source device is driving. In case there are multiple links (using MST Branch devices) between a Source and Sink device, the Sink device must ignore the Mvid and Nvid values. An MST Sink device must be able to regenerate a stream clock without depending on Mvid and Nvid values because the MST Sink device might be plugged into an MST Branch device, not an MST Source device.

2.2.3.1再生流时钟的剥离

支持链接频率下降的支持（调制频率为30至33kHz），以最大程度地减少EMI，符合Display Port标准的水槽和分支设备。支持DPTX对下调的支持是实施决策，并且是可选的。请注意，为了促进测试，在Max_downspread寄存器（DPCD地址00003H，BIT 0）中的max_downspread位可以在参考台设备的合规性测试中使用，这些设备的合规性测试已选择基于该位以实现SSC的设备。

对于某个接收器设备，例如音频接收器设备，再生的流时钟一定不可能放置。在再生流时钟时，此类接收器设备必须执行脱颖而出。剥离的方法是特定于实现的。

2.2.3.2 dprx流时钟再生启用了FEC编码/解码

*DP v1.4*的新手。

FEC平价符号的传输严格是周期性的，对链接层链接不可知论符号传输。随着FEC_PARITY_PH和FEC_PM链接符号的插入，相对于主流视频显示启用（DE）上升边缘和下落边缘的传输BE和BS符号序列可以偏向：如下：

- 1车道配置 - 最多12个链接符号时钟周期，一次
- 2和4车道配置 - 最多七个链接符号时钟周期，一次

尽管BE和BS符号序列位置偏斜，但DPRX还是能够再生稳定的主视频。

2.2.4主流属性数据传输

本节介绍了用于接收器的主视频流以复制主流的主流属性数据。在主视频流的垂直空白期间，属性数据每帧发送一次。这些属性必须如表2-94所述。表2-94还列出了与这些属性关联的DPCD寄存器。

表2-94：主流属性数据字段

Symbol	# of Bits	Bit #	Description
Mvid	24	23:0	Mvid Video time stamp value used by a DP Sink device as a hint for regenerating pixel clock. Used for main video stream clock regeneration. Comprised of three 8-bit bytes: - Mvid23:16 - Mvid15:8 - Mvid7:0
Nvid	24	23:0	Nvid Video time stamp value used by a DP Sink device as a hint for regenerating pixel clock. Used for main video stream clock regeneration. Comprised of three 8-bit bytes: - Nvid23:16 - Nvid15:8 - Nvid7:0
HTotal	16	15:0	Horizontal Total Horizontal total of transmitted main video stream, measured in pixel count.
VTotat	16	15:0	Vertical Total Vertical total of transmitted main video stream, measured in line count.
HStart	16	15:0	Horizontal Active Start Horizontal active start from leading edge of Hsync, measured in pixel count.
VStart	16	15:0	Vertical Active Start Vertical active start from leading edge of Vsync, measured in line count.
HSyncPolarity (HSP)	1	0	Horizontal Sync Polarity Hsync polarity, measured in pixel count. 0 = Active high pulse. Synchronization signal is high for the sync pulse width. 1 = Active low pulse. Synchronization signal is low for the sync pulse width.
HSyncWidth (HSW)	15	14:0	Horizontal Sync Width Hsync width, measured in pixel count.

表2-94: 主流属性数据字段 (续)

Symbol	# of Bits	Bit #	Description
VSynCPolarity (VSP)	1	0	Vertical Sync Polarity Vsync polarity, measured in line count. 0 = Active high pulse. Synchronization signal is high for the sync pulse width. 1 = Active low pulse. Synchronization signal is low for the sync pulse width.
VSynCWidth (VSW)	15	14:0	Vertical Sync Width Vsync width, measured in line count.
HWidth	16	15:0	Horizontal Active Video Width Active video width, measured in pixel count.
VWidth	16	15:0	Vertical Active Video Height Active video height, measured in line count.
MISC0	8	7:0	Miscellaneous0
		0	Synchronous Clock Applies to the main video stream clock, and does not apply to the audio clock. (See Section 2.2.5.2.) Synchronousness/asynchronousness of the main video stream and that of the audio stream clock may be independently set. 0 = Link clock and main video stream clock are asynchronous. 1 = Link clock and main video stream clock are synchronous. The value Mvid must be constant, regardless of whether link clock down-spread is enabled.
		7:1	Colorimetry Indicator Field, Bits 7:1. Used with MISC1, bit 7:6, to comprise the Colorimetry Indicator field. (See Section 2.2.4.3.)

表2-94: 主流属性数据字段 (续)

Symbol	# of Bits	Bit #	Description
MISC1	8	7:0	Miscellaneous1
		0	Interlaced Vertical Total Even 0 = Number of lines per interlaced frame (consisting of two fields) is an odd number. 1 = Number of lines per interlaced frame (consisting of two fields) is an even number.
		2:1	Stereo Video Attribute 00 = No 3D stereo video in-band signaling done using this field, indicating either no 3D stereo video transported or the in-band signaling done used an SDP called Video_Stream_Configuration (VSC) Packet. 01 = For progressive video, the next frame is RIGHT EYE. 10 = RESERVED. 11 = For progressive video, the next frame is LEFT EYE. <i>Note: Frame sequential stereoscopic 3D video transport in interlaced video timing format is not supported in this version of the Standard.</i>
		5:3	RESERVED Cleared to 0h.
		7:6	Pixel Encoding/Colorimetry Format Indicator Field Bit 6 is new to DP v1.3. Used with MISC0, bits 7:1, to comprise the Colorimetry Indicator field. (See Section 2.2.4.3.) When MISC1, bit 6, is Set to 1, a Source device uses a VSC SDP to indicate the Pixel Encoding/Colorimetry Format and that a Sink device must ignore MISC1, bit 7, and MISC0, bits 7:1 (MISC1, bit 7, and MISC0, bits 7:1, become “don’t care”).

该MSA数据必须如图2-18所示（2-LS_CLK-CYCLE Inter Lane偏斜之后）运输。

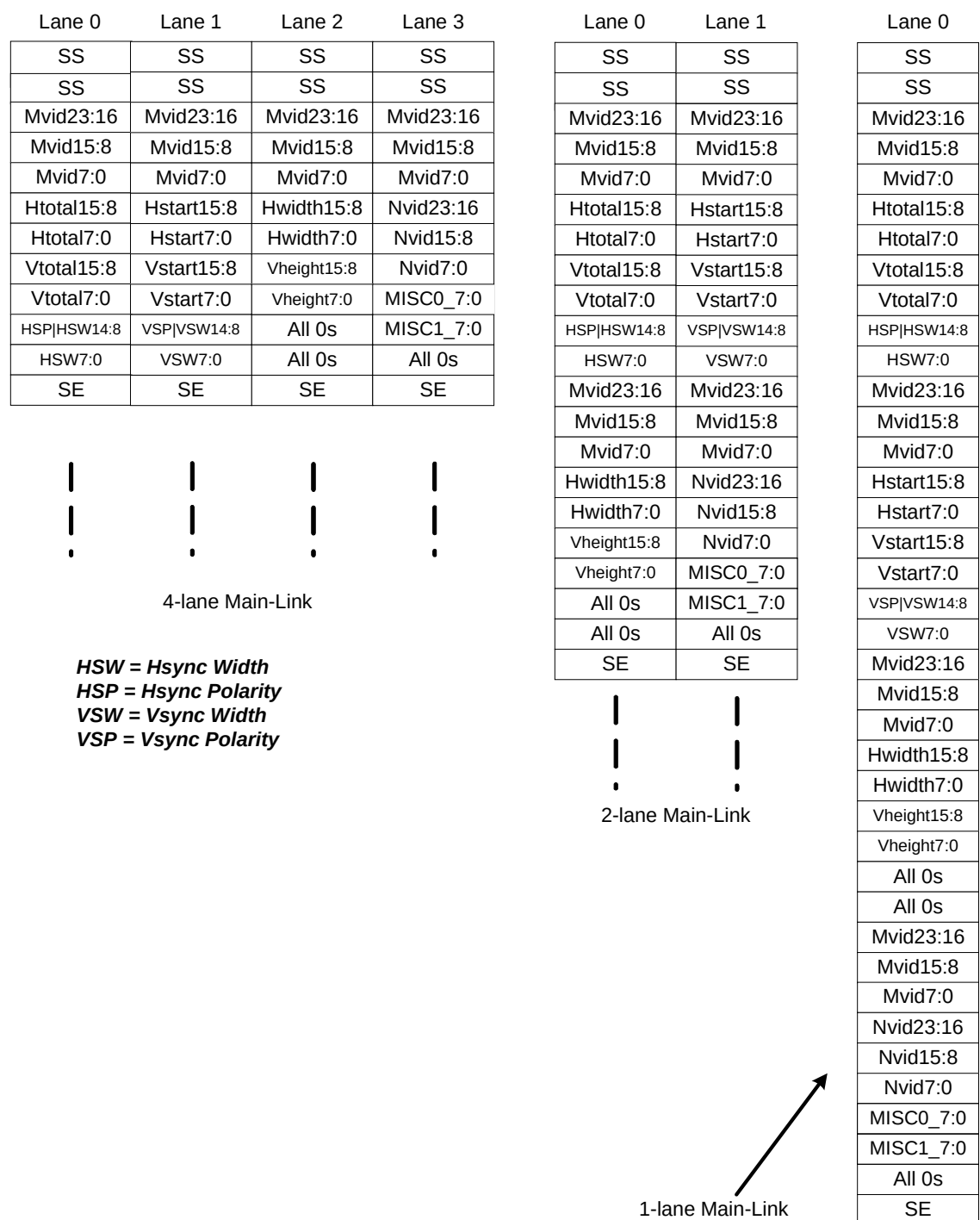


图2-18：DisplayPort主流属性的运输

主流属性数据包必须与SDP区分开，因为它以每个泳道连续两个“SS”符号开头。

2.2.4.1 主流属性辅助数据包生成选项
整个部分重写了DP v1.4。

2.2.4.1.1忽略MSA视频定时参数（忽略MSA）选项

MSA SDP视频定时信息专为参数是静态的视频模式而设计。对于动态更改视频正时的模式，无法使用主流属性字段。同样，在某些系统中，可能不使用Hsync/vsync。

因此，支持一种或多种MSA参数是非静态或未使用的特殊操作模式的源设备，只要源设备能够发现水槽设备支持该特殊操作模式，就可以向这些MSA参数传输无效的值。

源设备应通过阅读MSA_TIMING_PAR_IGNORED位置，查询接收器设备忽略MSA视频定时参数的能力（忽略MSA选项）

down_stream_port_count寄存器（DPCD地址00007H，位6）及其功能支持无缝的视频定时更改，以在Edid和displayID暴露的一系列时间安排上更改。 查询必须在启用传入视频流的动态视频正时更改之前，没有有效的MSA视频定时参数，用于表2-95中列出的字段。

表2-95：可以忽略的MSA SDP正时参数

HTotal[15:0]	HStart[15:0]	HSyncPolarity[0] (HSP)	HSyncWidth[14:0] (HSW)
VTotat[15:0]	VStart[15:0]	VSynPolarity[0] (VSP)	VSynWidth[14:0] (VSW)

2.2.4.1.2 视频水平空白扩展选项
DP v1.4的新事物。

视频水平空白扩展是一个操作，其中DPRX在DP源设备（T_SRC_PIXCLK）中比DP视频流的像素时钟更短的像素时钟周期（T_regen_pixclk），同时在同一视频范围内（在时间范围内），并在同一视频范围内（在时间范围内），并在同一视频范围内（在同一视频范围内）参与其中（在时间范围内）。 SDP）：

- 视频水平时期， $hperiod = htotal \times t\_pixclk$
- 替代表示， $htotal = hperiod / t\_pixclk$

对于DP源视频和DPRX再生视频：

- $htotal\_src = hperiod / t\_src\_pixclk$
- $htotal\_regen = hperiod / t\_regen\_pixclk$

因为hperiod是相同的， $t\_regen\_pixclk < t\_src\_pixclk$ ：

- $htotal\_regen > htotal\_src$

水平空白像素周期计数, $hblank = htotal - hwidth$ 。

因为 $htotal\_src$ 大于 $htotal\_regen$ 时, DP源视频和DPRX Regenerated视频之间的HWIDTH相同:

- $hblank\_regen > hblank\_src$

因此, 视频水平空白扩展操作是由于 t_regen_pixclk 相对于 t_src_pixclk 的减少而产生的 (这是指在像素时钟频率方面, $f\_regen\_pixclk > f\_src\_pixclk$ 。

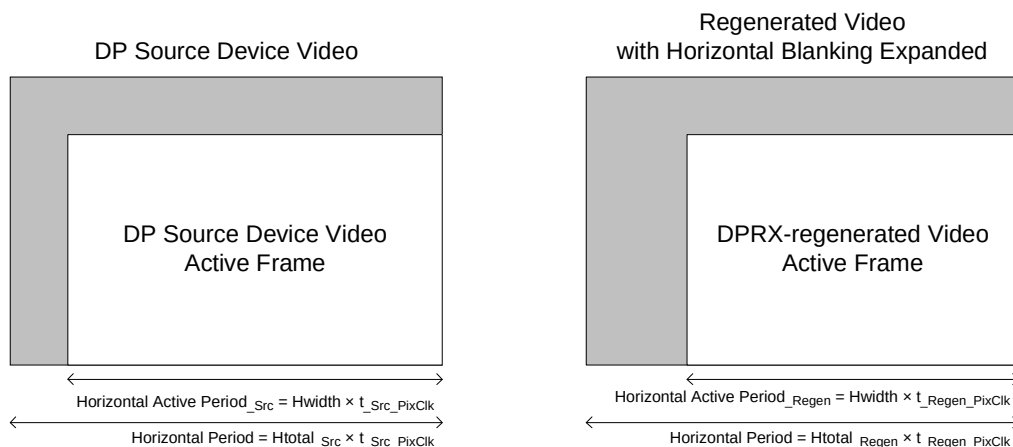


图2-19: 视频水平空白扩展操作

2.2.4.1.2.1 启用水平空白扩展

当插入能够水平空白扩展操作的DPRX时, DP源设备可能会促使DPRX通过对 $output\_htotal$, $output\_hstart$ 和 $output\_hsp\_hsw$ 寄存器进行编程来启用水平空白扩展操作 (DPCD在需要03059H到03059H的情况下) 以进行视频传输。

2.2.4.1.2.2 DPRX水平掩盖扩展能力发现

DP源设备通过读取 $Reception\_port\_port0\_cap\_1$ 和 $Reced\_port0\_cap\_0$ 寄存器 (DPCD地址00009H和00008H), 发现在SST模式下运行的DPRX是否支持DPRX水平掩盖扩展操作。

2.2.4.1.2.3水平空白扩展依赖于缓冲尺寸（规范）

给定HTotal_SRC的最大HTOTAL_REGEN, MAX_ HTOTAL_REGEN计算如下:

- $\text{max\_htotal\_regen} = \text{htotal\_src} \times \text{hwidth} / (\text{hwidth} - [\text{像素计数中的缓冲区大小}])$

给定的Htotal_regen的最小HTOTAL_SRC, MAX_ HTOTAL_SRC计算如下:

- $\text{min\_htotal\_src} = \text{htotal\_regen} \times (\text{hwidth} - [\text{像素计数中的缓冲区大小}]) / \text{hwidth}$

For Htotal_Regen of 4400 pixel clock cycles and Hwidth of 4096 pixels (i.e., a 4Kp60Hz timing as per CEA861 Standard, with the pixel clock frequency of 594MHz), the buffer size of 200 pixels enables the Min_ Htotal_Src of 4186 pixel clock cycles.相应的DP源像素时钟频率F_src_pixclk 计算如下:

- $f\_src\_pixclk = 4186 \text{ 像素时钟循环} / 4400 \text{ 像素时钟周期} \times 594 \text{ MHz} = 566 \text{ mhz}$

对于像素位深度为30 BPP, 由此产生的DP源视频像素带宽为:

- $\text{Mbps} = 566 \text{ MP/S} \times 30 \text{ BPP} = 2122 \text{ Mbps}$

上面的像素带宽拟合在4个车道上的5.4Gbps/lane的DP链路带宽内, 即2160Mbps (= 540Mbps /lane $\times$ 4车道)。

2.2.4.2 交错视频流的主流属性

一个交错的视频流框架由两个字段组成：

- 顶部字段，其中包含框架的第一线
- 底部字段，其中包含框架的第二个活动线

图2-20显示了一个交错的视频流的视频格式，该视频流的每一帧有奇数。图2-21显示了每个框架线均匀数的情况。

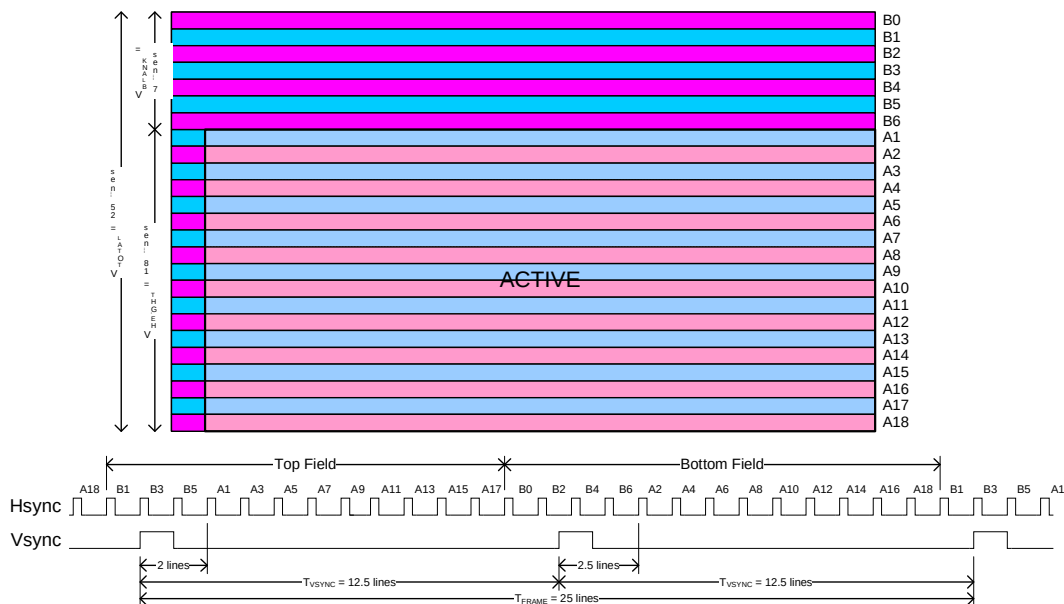


图2-20：隔开视频格式/计时，每帧奇数线数

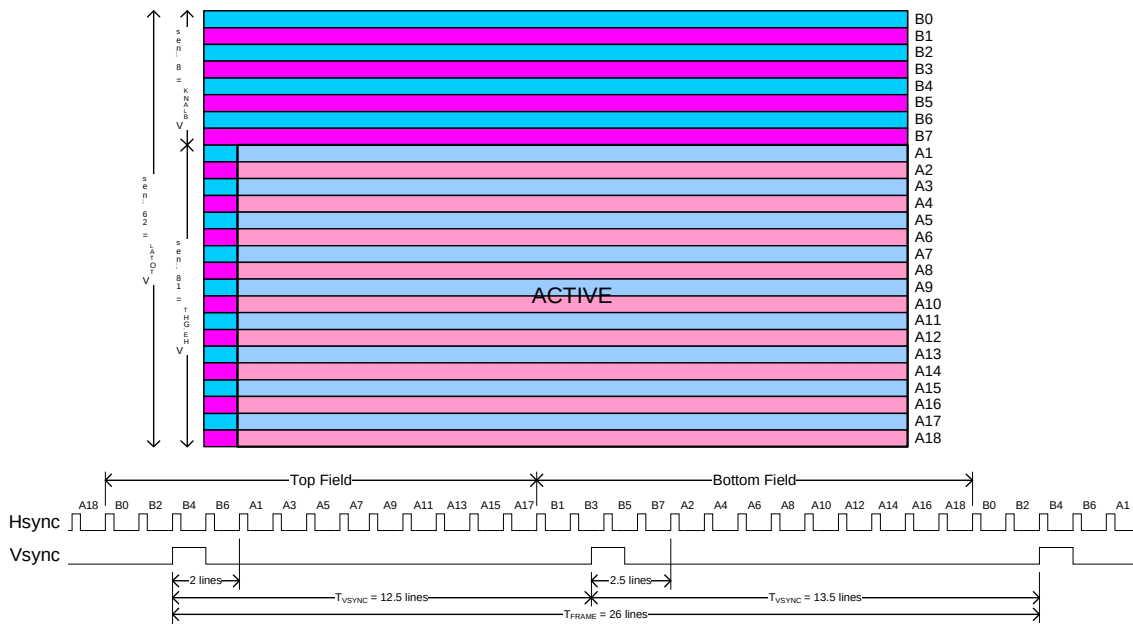


图2-21：隔开视频格式/计时，每帧的线路数量

在传输交错的视频流时，必须始终在MSA数据包中传达顶部字段的定时参数。

如表2-6所定义的，当传输交错视频流时，VB-ID中的InterLace_flag位（位2）必须设置为1。VB-ID（位1）中的fieldID_Flag位在顶部字段的最后一个活动线之后，在底部字段的最后一个活动线之后将其清除为0。对于非交织视频，VB-ID位2：1必须保留00。

在图2-20中所示的示例中，必须将MSA数据包的垂直活动启动，垂直总和，垂直同步宽度和垂直视频高度设置为：

- 垂直主动启动= 2（十进制）
- 垂直总计= 12（十进制）
- 垂直同步宽度= 1（十进制）
- 垂直活动视频高度= 9（十进制）

在图2-21中所示的示例中，必须将MSA数据包的垂直活动启动，垂直总和，垂直同步宽度和垂直视频高度设置为：

- 垂直主动启动= 2（十进制）
- 垂直总计= 13（十进制）
- 垂直同步宽度= 1（十进制）
- 垂直活动视频高度= 9（十进制）

此外，当隔行式视频流的每帧的线路数是一个偶数数字时，MISC1，位0必须设置为1。

2.2.4.3指示颜色编码格式和内容颜色范围的主流属性字段

表2-96显示了DP源设备如何使用MSA MISC0字段，位7：1和MISC1字段，位7：6，以指示传输视频流的像素编码和色彩学格式。源设备可以设置MISC1字段位6，以指示接收器设备使用VSC（视频流配置）SDP，如第2.2.5.6节中所述，而不是用于像素编码/比色格式的MISC1/MISC0字段。对于YCBCR420和BT2020比色格式，必须使用VSC SDP。接收器设备声明它可以支持与扩展接收器能力字段中的比色学和像素编码格式（DPCD地址02200H至022FFH；请参见表2-165）。

表2-96: MISC1和MISC0字段用于像素编码/比色格式指示

Colorimetry Format	MSA Bits					
	MISC1		MISC0			
	6	7:6	2:1	3	4	7:5 ^b
RGB unspecified color space (Legacy RGB mode)	e h i e a c d n i o p D S C S V a e s u e c v e d e c r u o S a i o i e s s i b i l C S i M n e h W P	0	00	0	0	000, 001, 010, 011, 100 (6, 8, 10, 12, 16bpc, respectively)
CEA RGB (sRGB primaries)		0	00	1	0	
RGB wide gamut fixed point (XR8, XR10, XR12)		0	11	0	0	001, 010, 011 (8, 10, 12bpc, respectively)
RGB wide gamut floating point (scRGB)		0	11	0	1	100 (16bpc)
Y-only		1	00	0	0	001, 010, 011, 100 (8, 10, 12, 16 bits/luminance, respectively)
RAW		1	01	0	0	001, 010, 011, 100, 101, 110, 111 (6, 7, 8, 10, 12, 14, 16bpp, respectively) 000 = RESERVED
YCbCr (ITU601/ITU709)		0	01 = 4:2:2 10 = 4:4:4	1	0 = BT601 1 = BT709	001, 010, 011, 100 (8, 10, 12, 16bpc, respectively)
xvYCC (xvYCC601/xvYCC709)		0	01 = 4:2:2 10 = 4:4:4	0	0 = BT601 1 = BT709	
AdobeRGB		0	00	1	1	000, 001, 010, 011, 100 (6, 8, 10, 12, 16bpc RGB, respectively)
DCI-P3		0	11	1	0	011, 100 (12, 16bpc RGB, respectively)
Color Profile ^c		0	11	1	1	000, 001, 010, 011, 100 (8, 10, 12, 16bpc RGB, respectively)

a. All other values are RESERVED.

b. bpc = bits per component.

c. The “Color Profile” to be transported from a DP Source device to DP Sink device as “Simplified Color Profile” VCP code in MCCS Standard.

2.2.5

SDP Formats

表2-97显示了如何构建SDP。

表2-97: SDP标头

Byte #	Content
HB0	Secondary-Data Packet ID
HB1	Secondary-Data Packet type
HB2	Secondary-Data-packet-specific header, Byte 0
HB3	Secondary-Data-packet-specific header, Byte 1

对于DisplayPort, 定义以下SDP类型, 如表2-98所示。

表2-98: SDP类型

Packet Type Value	Packet Type	Transmission Timing
00h	DisplayPort RESERVED	
01h	Audio_TimeStamp	At least once per video frame
02h	Audio_Stream	During H / V blank period of Main Video stream
03h	DisplayPort RESERVED	
04h	Extension	During H / V blank period of Main Video stream
05h	Audio_CopyManagement	During H / V blank period of Main Video stream
06h	ISRC	During H / V blank period of Main Video stream
07h	Video Stream Configuration (VSC)	During H / V blank period of Main Video stream
08h through 0Fh	Camera Generic 0 through 7	During H / V blank period of Main Video stream
10h	Picture Parameter Set (PPS)	During H / V blank period of Main Video stream
11h through 1Fh	DisplayPort RESERVED	
20h	Video Stream Configuration Extension for VESA (VSC_EXT_VESA)	During H / V blank period of Main Video stream
21h	VSC_EXT_CEA for future CEA INFOFRAME with payload of more than 28 bytes	
22h through 7Fh	DisplayPort RESERVED	
80h + Audio INFOFRAME Type (04h)	CEA-861-F Audio INFOFRAME	As per CEA-861-F for Audio INFOFRAME
80h + Non-audio INFOFRAME Type	CEA-861-F Non-audio INFOFRAME	As per CEA-861-F for INFOFRAME, including CEA-861.3 within which Dynamic Range and Mastering INFOFRAME are defined

如果同时运输多个音频流, 则必须使用HB0中的辅助数据包ID将AUDIO_STREAM SDP与其AUDIO_TIMESTAMP SDP和CEA-861-F Audio Infoframe SDP相关联。

2.2.5.1 Infoframe SDP

图2-22显示了主链接上的Infoframe SDP。第2.2.6节说明了图2-22所示的奇偶元字节（PBS）的构建。InfoFrame SDP应按照CEA-861-F中指定的音频Infoframe控制信息传达。CEA-861-F, Table 5中指定的其他Infoframe编码类型应适当使用vsc_ext_vesa或vsc_ext_ext_c
ea sdp。

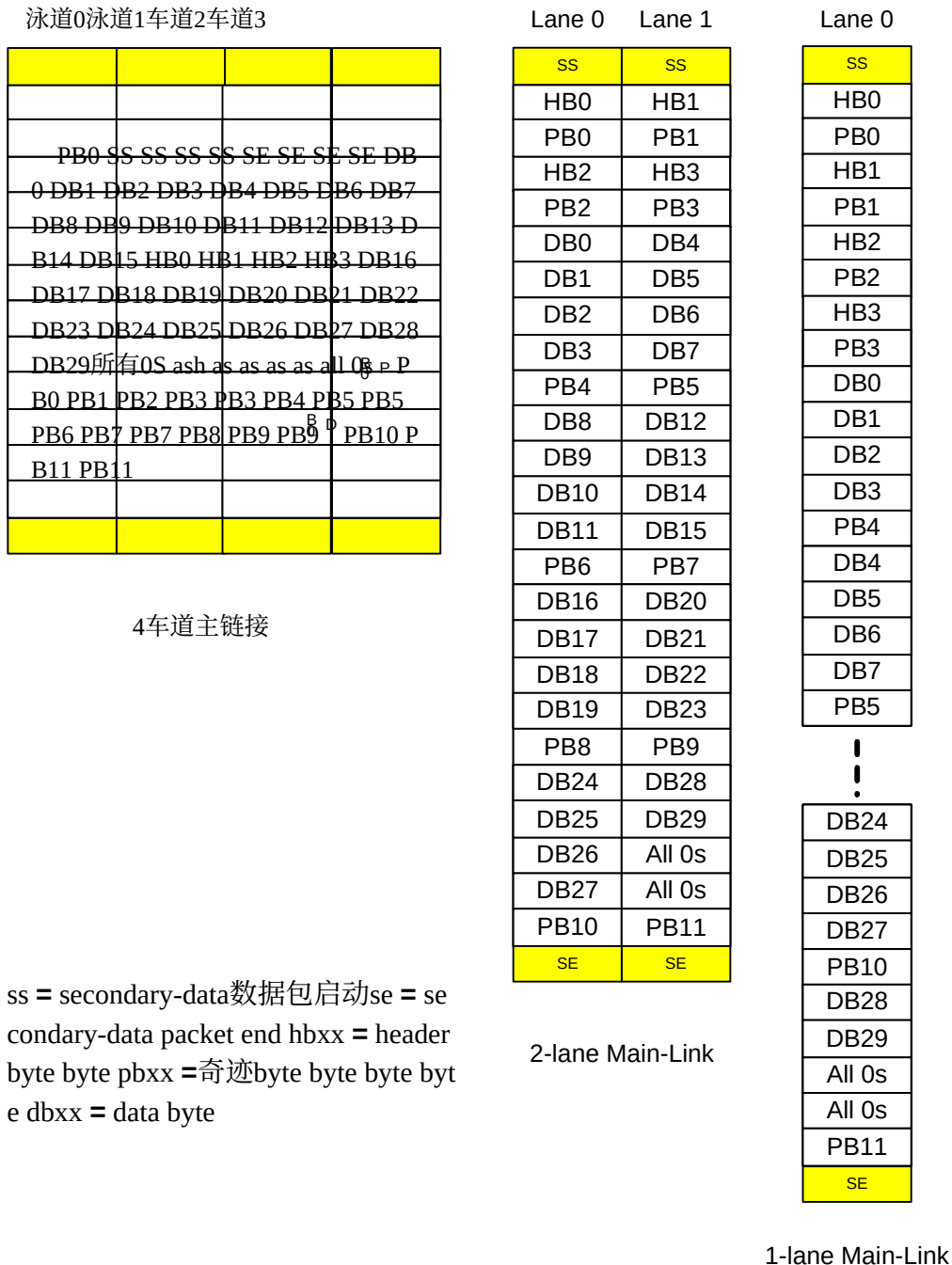


Figure 2-22: INFOFRAME SDP

2.2.5.1.1 Infoframe SDP标头v1.2

当使用InfoFrame SDP作为音频InfoFrame时，DP设备应符合CEA-861-F。

如CEA-861-F中指定的DB1 ~ DB N (Data Byte 1 ~ 数据字节 N) 被映射到SDP DB0 ~ db [$N-1$]。未使用的字节必须为零。

在用于编码类型的用例中，可以通过音频Infoframe或流标头位设置某些控制信息，例如音频流的采样频率，样品位和编码类型。使用流标头情况时，音频Infoframe应设置为“参考流向标头”，以便可以通过IEC 60958或IEC 61937流header位钻头传递控制信息。（有关流标头BIT字段编程要求，请参见IEC 60958-3。）

在用例中，必须通过音频Infoframe (CA, DM_INH, LSV和LFEPBL) 设置一个位音频编码类型，采样频率以及8频道的一位音频映射。音频Infoframe样本尺寸为**not**有效2或8通道有效。必须在Audio_stream SDP标头中设置频道计数和编码类型，将匹配的音频InfoFrame字段清除为0，以指示“请参阅流媒体”。

在DST音频编码类型的用例中，必须通过音频Infoframe设置采样频率。必须在AUDIO_STREAM SDP标头中设置编码类型。AUDIO_STREAM SDP标头中的设置通道计数为**not**适用于DST音频，因为DST音频频道的数量在音频有效载荷流本身内携带。这将匹配的音频Infoframe CC和CT字段清除为0，以指示“请参阅流标头”。音频Infoframe样本量和频道分配是**not**对DST音频有效的。

尽管AUDIO_STREAM和AUDIO InfoFrame SDP中都可以使用一些参数，但是Audio_stream SDP中的值都优先。

仅当接收器设备表明接收命名编码类型的支持时，源设备受支持的音频编码类型才能通过源设备传输。接收器设备将通过简短的音频描述表示支持。有关其他信息，请参见CEA-861-F和CEA-861.2。

可以在此标准的未来修订中添加其他音频包装格式，同时保持本标准中描述的一致的主要数据映射规范。

在主视频流的垂直空白期间，应将Infoframe SDP每帧发送一次。有关无主视频流的音频Infoframe SDP的运输，请参见第2.2.5.3.6节。有关通过DisplayPort进行音频传输的更多详细信息，请参见附录A。

表2-99总结了Infoframe SDP v1.2的标头字节。

表2-99: Infoframe SDP v1.2标头字节

Byte #	Bit #	Content
HB0	7:0	Secondary-Data Packet ID Audio INFOFRAME SDP, Audio_TimeStamp SDP, Audio_Stream SDP, Audio_CopyManagement SDP, and ISRC SDP must have the same Packet ID when they are associated with the same audio stream.
HB1	7:0	80h + Audio INFOFRAME Type value
HB2	7:0	Least Significant Eight Bits of (Data Byte Count - 1) For INFOFRAME, the value must be 1Bh (i.e., Data Byte Count = 28 bytes). Unused bytes must be zero-padded.
HB3	1:0	Most Significant Two Bits of (Data Byte Count - 1)
	7:2	INFOFRAME SDP Version Number 12h (010010b).

2.2.5.1.2 Infoframe SDP标头v1.3和有效载荷

表2-100描述了如何填充Infoframe SDP标头v1.3。表2-101描述了非Audio CEA InfoFrame的有效负载字节映射。v1.3应用于非ADIO CEA Infoframe封装。

表2-100: Infoframe SDP v1.3标题字节

Byte #	Bit #	Content
HB0	7:0	Secondary-Data Packet ID Shall be 00h for non-Audio INFOFRAME. For Audio INFOFRAME: - When only one audio stream per main video stream is being transmitted, the value shall be 00h - When multiple audio streams per main video stream are being transmitted, this SDP ID value is used to distinguish one audio stream from the others
HB1	7:0	80h + Non-audio INFOFRAME Type value
HB2	7:0	Least Significant Eight Bits of (Data Byte Count - 1) For Non-audio INFOFRAME, the value must be 1Dh (i.e., Data Byte Count = 30 bytes). Unused bytes must be zero-padded.
HB3	1:0	Most Significant Two Bits of (Data Byte Count - 1) Clear to 00b.
	7:2	INFOFRAME SDP Version Number 13h (010011b).

表2-101: SDP有效载荷v1.3非Audio CEA InfoFrame封装的数据字节 - DB0至DB31

Byte #	Bit #	Content
DB0	7:0	CEA Header Byte 2 (INFOFRAME Version Number)
DB1	7:0	CEA Header Byte 3 (Length of INFOFRAME)
DB2	7:0	CEA Payload Byte 1
DB3	7:0	CEA Payload Byte 2
DB4	7:0	CEA Payload Byte 3
...	...	...
DB29	7:0	CEA Payload Byte 28 <i>Note: For CEA Payload size < 28 bytes, non-existent payload bytes are zero-padded.</i>
DB30	7:0	Zero Padding
DB31	7:0	Zero Padding

Figure 2-23在MAI上显示AUDIO_TIMESTAMP SDP n-link。

有关无主视频流的AUDIO_TIMESTAMP SDP的传输，请参见第2.2.5.3.6节。有关通过DP的音频传输的更多信息，请参见附录A。

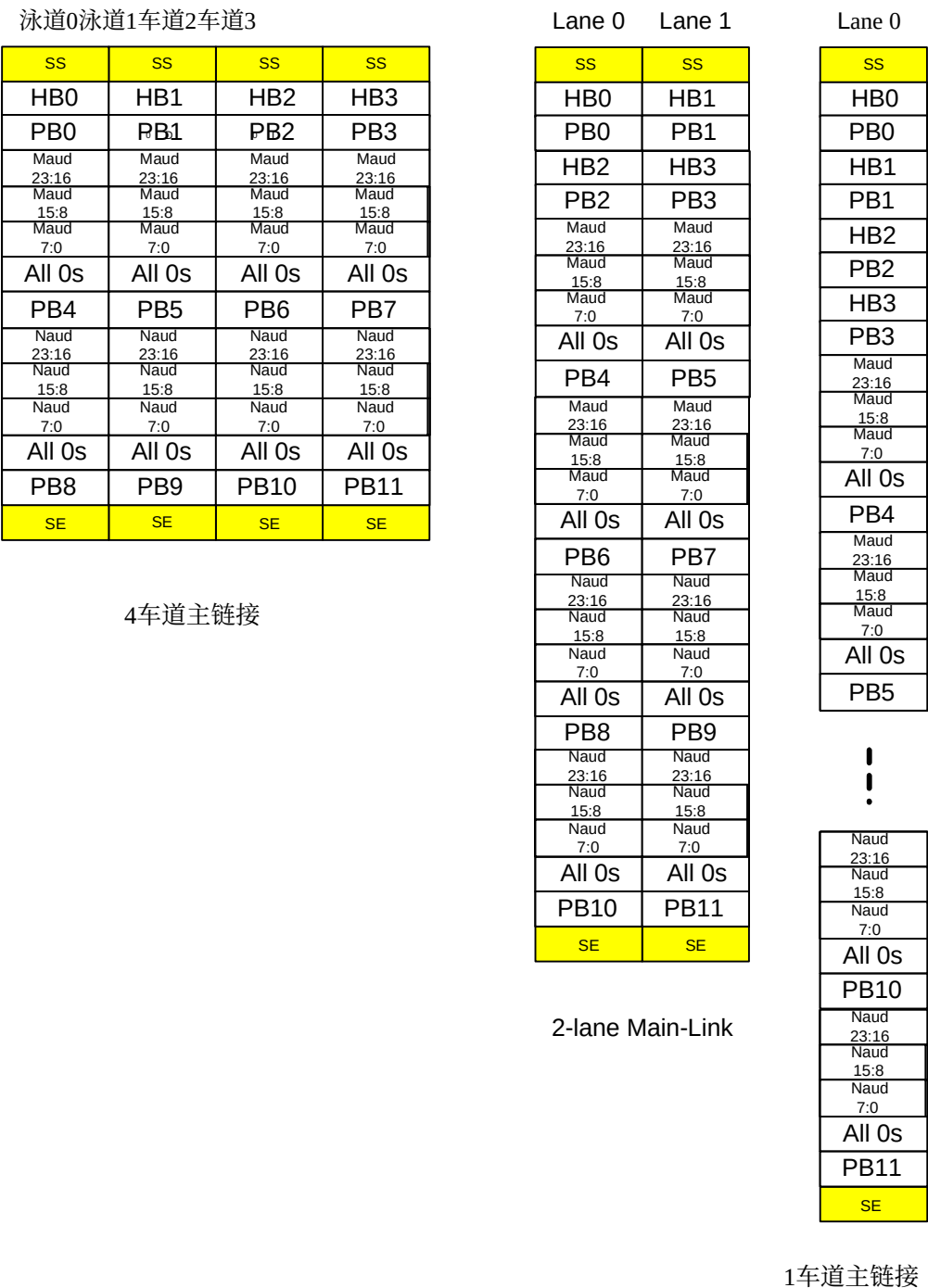


图2-23: AUDIO_TIMESTAMP SDP映射主链接

AUDIO_TIMESTAMP SDP由Maud23: 0和Naud23: 0组成。 Maud和Naud的关系在以下等式中表示:

$$Maud / Naud = 512 * fs / f_{LS\_Clk}$$

其中 f_s 是传输音频流的采样频率。当音频时钟与LS_CLK异步时，NAUD值设置为215 (= 32,768)。

除了AUDIO_TIMESTAMP SDP外，MAUD7: 0还在MVID7: 0之后的每个主视频流水平线周期运输一次。

只要Audio_timestamp SDP值的准确性在± 0.5%内，避免音频故障是避免音频故障的责任。

Note: *In MST mode, the Sink device must ignore the Maud and Mvid values sent by an MST Source device unless the MST Sink device is directly connected to the MST Source device via a single link as the Source device generates those values based on the LS_Clk of the link it is driving. An MST Sink device must be able to regenerate a stream clock without depending on Mvid and Mvid time stamp values because the MST Sink device might be plugged into an MST Branch device, not an MST Source device.*

2.2.5.2.1

AUDIO_TIMESTAMP SDP标头

表2-102描述了Audio_timestamp SDP的标题字节。

表2-102: Audio_timestamp SDP的标题字节

Byte #	Bit #	Content
HB0	7:0	Secondary-Data Packet ID INFOFRAME SDP, Audio_TimeStamp SDP, Audio_Stream SDP, and Audio_CopyManagement SDP, and ISRC SDP must have the same Packet ID when they are associated with the same audio stream.
HB1	7:0	01h
HB2	7:0	Least Significant Eight Bits of (Data Byte Count - 1) For an Audio_TimeStamp SDP, the value must be 17h (i.e., Data Byte Count = 24 bytes). Unused bytes must be zero-padded.
HB3	1:0	Most Significant 2 Bits of (Data Byte Count - 1)
	7:2	Audio_TimeStamp Version Number 12h.

2.2.5.2.2 AUDIO_TIMESTAMP SDP值（信息性）

表2-103显示了当音频时钟和主链接符号时钟同步时，各种音频采样频率的音频时间戳记SDP值的一些示例。

表2-103：Maud和Naud值的示例（信息性）

Coding Type	Audio Sample Frequency (kHz)	LS_Clk Frequency							
		162 MHz		270 MHz		540 MHz		810 MHz	
		Maud	Naud	Maud	Naud	Maud	Naud	Maud	Naud
LPCM and Compressed Audio with $F_s \leq 6.144\text{Mbps}$	32	1024	10125	1024	16875	1024	33750	1024	50625
	44.1	784	5625	784	9375	784	18750	784	28125
	48	512	3375	512	5625	512	11250	512	16875
	64	2048	10125	2048	16875	2048	33750	2048	50625
	88.2	1568	5625	1568	9375	1568	18750	1568	28125
	96	1024	3375	1024	5625	1024	11250	1024	16875
	128	4096	10125	4096	16875	4096	33750	4096	50625
	176.4	3136	5625	3136	9375	3136	18750	3136	28125
	192	2048	3375	2048	5625	2048	11250	2048	16875
HBR	256	8192	10125	8192	16875	8192	33750	8192	50625
	352.8	6272	5625	6272	9375	6272	18750	6272	28125
	384	4096	3375	4096	5625	4096	11250	4096	16875
	512	16384	10125	16384	16875	16384	33750	16384	50625
	705.6	12544	5625	12544	9375	12544	18750	12544	28125
	768	8192	3375	8192	5625	8192	11250	8192	16875
	1024	32768	10125	32768	16875	32768	33750	32768	50625
	1411.2	25088	5625	25088	9375	25088	18750	25088	28125
	1536	16384	3375	16384	5625	16384	11250	16384	16875

表2-103: Maud和Naud价值观的示例 (信息) A (续)

Coding Type	Audio Sample Frequency (kHz)	LS_Clk Frequency							
		162 MHz		270 MHz		540 MHz		810 MHz	
		Maud	Naud	Maud	Naud	Maud	Naud	Maud	Naud
One Bit and DST audio at normal or double rate	2048 (64 x 32)	65536	10125	65536	16875	65536	33750	65536	50625
	2822.4 (64 x 44.1)	50176	5625	50176	9375	50176	18750	50176	28125
	3072 (64 x 48)	32768	3375	32768	5625	32768	11250	32768	16875
	4096 (128 x 32)	131072	10125	131072	16875	131072	33750	131072	50625
	5644.8 (128 x 44.1 and 64 x 88.2)	100352	5625	100352	9375	100352	18750	100352	28125
	6144 (128 x 48 and 64 x 96)	65536	3375	65536	5625	65536	11250	65536	16875
	11289.6 (128 x 88.2 and 64 x 176.4)	200704	5625	200704	9375	200704	18750	200704	28125
	12288 (128 x 96 and 64 x 192)	131072	3375	131072	5625	131072	11250	131072	16875
	22579.2 (128 x 176.4)	401408	5625	401408	9375	401408	18750	401408	28125
	24576 (128 x 192)	262144	3375	262144	5625	262144	11250	262144	16875

a. No down-spreading, with synchronous clock, assumed.

2.2.5.3 AUDIO_STREAM SDP

音频流的传输是可选的。当传输音频流时，还必须传输音频Infoframe SDP，描述音频流和Audio_timestamp SDP的属性，在主视频流的垂直空白期间每帧每帧一次。

Audio_stream SDP必须在主视频流的水平和垂直空白期间发送。在水平和垂直空白期间，DP源设备只要有足够的数据形成数据包并访问主链接以传输数据包（S），DP源设备就必须传输AUDIO_STREAM SDP。有关通过DP的音频传输的更多信息，请参见第2.2.5.3节和附录A。

使用IEC 61937传输标准的Audio_stream SDP带有压缩音频，将设置HB3.编码类型，如下：

- 0000 =编码内容< 6.144Mbps已发送
- 0001 =编码的内容超过6.144Mbps通过链接传输

IEC 61937 - 编码超过6.144Mbps的比特率将被称为音频高比特率。DP允许9种不同类型的高比特率传输，如表2-104所示。Dolby True-HD和DTS主音频格式需要更高的运输比特率。DP源设备必须使用这9个高比特率之一来传输此类编码内容。

HBR音频交付应使用8通道布局数据包配置。这将导致每个布局数据包的四个IEC 60958传输帧。AUDIO_STREAM SDP标头配置应如下：

- *HB2.3DChannelCount*= 0至31 (n/a)
- *HB2.OneBit_DST_Double_Rate*= 0至1 (n/a)
- *HB3.ChannelCount*= 7 (8通道模式)
- *HB3.CodingType*= 1H (*IEC 61937*编码的音频高比特率)

表2-104: 音频高比特率模式 (信息性)

DP Packet Rate 8-channel Layout (kHz)	<i>IEC 61937</i> Payload Bit Rate 2 x 16 bits per Frame, 4 Frames per Layout (Mbps)	<i>IEC 60958</i> Transport Bit Rate 2 x 32 bits per Frame (Mbps)	<i>IEC 60958</i> Frame Rate (kHz)	Audio_TimeStamp fs Indication (kHz)
64	8.192	16.384	256 ^a	256
88.2	11.2896	22.5792	352.8 ^a	352.8
96	12.288	24.576	384 ^a	384
128	16.384	32.768	512 ^a	512
176.4	22.5792	45.1584	705.6 ^a	705.6
192	24.576	49.152	768	768
256 ^b	32.768	65.536	1024 ^a	1024
352.8 ^b	45.1584	90.3168	1411.2 ^a	1411.2
384 ^b	49.152	98.304	1536 ^a	1536

a. Audio High Bit Rate is **not** supported in DP v1.3 (and lower).

b. DisplayPort 8-channel layout packet rate exceeds DP v1.3 (and lower) maximum 8-channel layout packet rate.

*IEC 61937*比特率小于或等于6.144Mbps的编码音频流将被称为“非HBR *IEC 61937*编码音频”。非HBR *IEC 61937*编码音频应使用2通道布局数据包配置。DisplayPort允许九种不同的非HBR *IEC 61937*传输使用2通道布局数据包配置的传输 (请参见表2-105)。此配置使用每个布局数据包的一个*IEC 60958*传输帧。此方法的AUDIO_STREAM SDP标头配置应如下:

- *HB2.3DChannelCount*= 0至31 (n/a)
- *HB2.OneBit_DST_Double_Rate*= 0至1 (n/a)
- *HB3.ChannelCount*= 1 (2通道模式)
- *HB3.CodingType*= 0H (non-Hbr *IEC 61937*编码音频)

从理论上讲, 可以使用8通道布局数据包配置在32、44.1和48KHz采样率下运输非HBR *IEC 61937*编码音频, 但不应使用8通道布局来传达非HBR *IEC 61937* v32} - 码头编码的音频。

表2-105：非HBR编码的音频2通道布局（信息性）

DP Packet Rate 2-channel Layout (kHz)	IEC 61937 Payload Bit Rate 2 x 16 bits per Frame, 1 Frame per Layout (Mbps)	IEC 60958 Transport Bit Rate 2 x 32 bits per Frame (Mbps)	IEC 60958 Frame Rate (kHz)	Audio_TimeStamp fs Indication (kHz)
32	1.024	2.048	32	32
44.1	1.4112	2.8224	44.1	44.1
48	1.536	3.072	48	48
64	2.048	4.096	64 ^a	64
88.2	2.8224	5.6448	88.2	88.2
96	3.072	6.144	96	96
128	4.096	8.192	128 ^a	128
176.4	5.6448	11.2896	176.4	176.4
192	6.144	12.288	192	192

a. Audio Bit Rate is **not** supported in DP v1.3 (and lower).

如表2-106所示，LPCM音频无压缩的AUDIO_STREAM SDP可以具有四个布局。LPCM和3D LPCM音频的AUDIO_STREAM SDP标头配置如下：

- 2通道LPCM
 - *HB2.3DChannelCount*= 0至31 (n/a)
 - *HB2.OneBit_DST_Double_Rate*= 0至1 (n/a)
 - *HB3.ChannelCount*= 0或1 (2通道模式)
 - *HB3.CodingType*= 0H (*IEC 60958*标头中指示的LPCM音频，编码类型)
- 8通道LPCM
 - *HB2.3DChannelCount*= 0至31 (n/a)
 - *HB2.OneBit_DST_Double_Rate*= 0至1 (n/a)
 - *HB3.ChannelCount*= 2至7 (8通道模式)
 - *HB3.CodingType*= 0H (*IEC 60958*标头中指示的LPCM音频，编码类型)
- 16通道3D LPCM
 - *HB2.3DChannelCount*= 0至15 (16通道模式)
 - *HB2.OneBit_DST_Double_Rate*= 0至1 (n/a)
 - *HB3.ChannelCount*= 0至7 (n/a)
 - *HB3.CodingType*= 2H (3D LPCM音频)
- 32通道3D LPCM
 - *HB2.3DChannelCount*= 16至31 (32通道模式)
 - *HB2.OneBit_DST_Double_Rate*= 0至1 (n/a)
 - *HB3.ChannelCount*= 0至7 (n/a)
 - *HB3.CodingType*= 2H (3D LPCM音频)

表2-106: LPCM音频模式 (信息性)

DP Packet Rate (kHz)	IEC 60958 Data Transport Rate 2 x 32 bits per Frame				Audio_TimeStamp fs Indication (kHz)
	2-channel LPCM 1 Frame per Layout (Mbps)	8-channel LPCM 4 Frames per Layout (Mbps)	16-channel 3D LPCM 8 Frames per Layout (Mbps)	32-channel 3D LPCM 16 Frames per Layout (Mbps)	
32	2.048	8.192	16.384	32.768	32
44.1	2.8224	11.2896	22.5792	45.1584	44.1
48	3.072	12.288	24.576	49.152	48
6 ^{4a}	4.096	16.384	N/A	N/A	64
88.2	5.6448	22.5792	45.1584	90.3168	88.2
96	6.144	24.576	49.152	98.304	96
128 ^a	8.192	32.768	N/A	N/A	128
176.4	11.2896	45.1584	90.3168	180.6336	176.4
192	12.288	49.152	98.304	196.608	192

a. Audio Packet Rate is **not** supported in DP v1.3 (and lower).

具有一个位或DST音频的Audio_stream SDP可以具有三个布局，如表2-107所示。 Audio_stream SDP标头配置一个位， DST音频如下：

- 2通道一点点音频
 - *HB2.3DChannelCount*= 0至31 (n/a)
 - *HB2.OneBit_DST_Double_Rate*= 0或1 (64x或128x)
 - *HB3.ChannelCount*= 0或1 (2通道模式)
 - *HB3.CodingType*= 3H (一位音频编码类型)
- 8通道一点点音频
 - *HB2.3DChannelCount*= 0至31 (n/a)
 - *HB2.OneBit_DST_Double_Rate*= 0或1 (64x或128x)
 - *HB3.ChannelCount*= 2至7 (8通道模式)
 - *HB3.CodingType*= 3H (一位音频编码类型)
- DST音频
 - *HB2.3DChannelCount*= 0至31 (n/a)
 - *HB2.OneBit_DST_Double_Rate*= 0或1 (64x或128x)
 - *HB3.ChannelCount*= 0至7 (n/a)
 - *HB3.CodingType*= 4H (DST音频编码类型)

表2-107：一位和DST音频模式（信息性）

EMARFON s a y c n e u q e r F e p m a s	e a R e b u o D T S D B e n O 2 B H	s p 5 7 t a e m a F r e p s e y B r o #	a s p 5 7 t a e m s u o y a L B e n O	e a R t u o y a L B e n O	e a R t u o y a L r e p s b 4 6 t a o p s n a T B e n O e n n a h c 2	e a R t u o y a L r e p s b 6 5 2 t a o p s n a T B e n O e n n a h c 8	r e p s t u o y a L T S D b s p 5 7 t a e m a F	e a R t u o y a L T S D	t u o y a L r e p s b 6 5 2 t a e a R t r o p s n a T T S D	p m a s e m T o d u A n o i a c d n s
32	0	3413.333	975.238	73.143	4.681	18.725	121.905	9.143	2.341	2048
	1	6826.667	1950.476	146.286	9.362	37.449	243.810	18.286	4.681	4096
44.1	0	4704	1344	100.8	6.451	25.805	168	12.6	3.226	2822.4
	1	9408	2688	201.6	12.902	51.610	336	25.2	6.451	5644.8
48	0	5120	1462.857	109.714	7.022	28.087	182.857	13.714	3.511	3072
	1	10240	2925.714	219.429	14.043	56.174	365.714	27.429	7.022	6144
88.2	0	9408	2688	201.6	12.902	51.610	336	25.2	6.451	5644.8
	1	18816	5376	403.2	25.805	103.219	672	50.4	12.902	11289.6
96	0	10240	2925.714	219.429	14.043	56.174	365.714	27.429	7.022	6144
	1	20480	5851.429	438.857	28.087	112.347	731.429	54.857	14.043	12288
176.4	0	18816	5376	403.2	25.805	103.219	672	50.4	12.902	11289.6
	1	37632	10752	806.4	51.610	206.438	1344	100.8	25.805	22579.2
192	0	20480	5851.429	438.857	28.087	112.347	731.429	54.857	14.043	12288
	1	40960	11702.857	877.714	56.174	224.695	1462.857	109.714	28.087	24576

- a. Indicates the number of One Bit audio layouts at which the Frame Start Flag should be asserted, rounded to the next integer number of layouts.
- b. Indicates the number of DST audio layouts at which the Frame Start Flag should be asserted, rounded to the next integer number of layouts.

2.2.5.3.1 音频播放延迟要求

从闲置到播放的DP接收器设备音频恢复时间（即，向最终用户呈现音频）从收到第一个音频示例，音频Infoframe或Audio Clock Receneration cack包时不得超过50ms。接收器设备必须在恢复本地音频时钟恢复期间静音播放，以避免听觉噪声。DP源设备可以在发送AUDIO_STREAM SDP之前发送AUDIO_TIMESTAMP和/或Infoframe SDP，以确保DP接收器设备的任何必要恢复已经完成。

2.2.5.3.2 AUDIO_STREAM SDP标头

t Able 2-108描述了Audio_stream的标题字节 SDP。

表2-108: audio_stream SDP标头字节

Byte #	Bit #	Content
HB0	7:0	Secondary-Data Packet ID INFOFRAME SDP, Audio_TimeStamp SDP, Audio_Stream SDP, Audio_CopyManagement SDP, and ISRC SDP must have the same Packet ID when they are associated with the same audio stream.
HB1	7:0	02h
HB2	4:0	3DChannelCount New to <i>DP v1.4</i> . Applicable only for 3D LPCM coding types. Indicates <i>Number of Channels - 1</i> . Available in 16- and 32-channel layouts: 16-channel layout is identified exclusively using this field equal to or larger than 0, but less than 16. Includes the possibility of Mono or Stereo Audio carried in this 3D LPCM Coding Type layout. 32-channel layout is identified exclusively using this field equal to or larger than 16, but less than 32 For all 3D-channel layouts, there is no requirement on a DP Source device to match this value to the actual channel count. A DP Sink device must use this field to determine whether the incoming Audio_Stream SDP has a 16- or 32-channel layout. Actual channel count and the channel-to-speaker mapping must be obtained from the Audio INFOFRAME SDP Channel Allocation field, as well as DB6 through DB9.
	5	OneBit_DST_Double_Rate New to <i>DP v1.4</i> . Applicable only for One Bit audio or DST audio coding types. 0 = One Bit audio or underlying uncompressed DST bit stream sample rate = 64x sample frequency, as indicated in DB2 of the Audio INFOFRAME SDP. 1 = One Bit audio or underlying uncompressed DST bit stream sample rate = 128x sample frequency, as indicated in DB2 of Audio INFOFRAME SDP.
	7:6	RESERVED Read all 0s.

表2-108: Audio_stream SDP标头字节 (续)

Byte #	Bit #	Content
HB3	2:0	ChannelCount 2-channel layout and mono vs. stereo are identified exclusively using this field: 0 = Mono 1 = Stereo 8-channel layout is identified exclusively using this field equal to or larger than 2. For 8-channel layout, there is no requirement on a Source device to match this value to the actual channel count, and a Sink device must use this field to determine whether the incoming Audio_Stream SDP has an 8-channel layout. Actual channel count and the channel-to-speaker mapping must be obtained from the Audio INFOFRAME SDP Channel Allocation field.
	3	RESERVED Read 0.
	7:4	Coding Type Support for values 2h through 4h added in <i>DP v1.4</i> . 0h = 2- to 8-channel LPCM 192kHz content/ <i>IEC 61937</i> -encoded content with bit rates less than or equal to 6.144Mbps (<i>IEC 60958</i> -like encoding). 1h = <i>IEC 61937</i> -encoded content for bit rates exceeding 6.144Mbps (<i>IEC 60958</i> -like encoding). 2h = 1- to 32-channel 3D LPCM audio, up to 192kHz content; used in conjunction with the HB2 3DChannelCount field (bits 4:0), which renders the ChannelCount field inapplicable. 3h = One Bit audio, up to 192kHz content; used in conjunction with the ChannelCount field, which renders the HB2 3DChannelCount field (bits 4:0) inapplicable. 4h = DST audio, up to 192kHz content; both ChannelCount and 3DChannelCount are not applicable. The number of DST Audio channels is carried in the audio payload stream itself. All other values are RESERVED for DisplayPort.

2.2.5.3.3 Audio_stream数据映射在主链接上

AUDIO_STREAM SDP的HB3 ChannelCount字段（位2: 0）是非3D LPCM音频的计数或通过DP Main-Link传输的一个位音频通道。DPRX必须使用此3位值来决定如何解释AUDIO_STREAM SDP的有效载荷。在非3D LPCM, *IEC 61937*编码或一个位displayPort音频传输中支持一个到八个通道。

AUDIO_STREAM SDP的HB2 3DCHANNELCOUNT字段（位4: 0）是通过DP Main-Link传输的3D LPCM音频通道的计数。DPRX必须使用此5位值来确定如何解释Audio_stream SDP有效负载。3D LPCM DP音频传输中支持1到32个通道。

图2-24显示了1至2通道LPCM上主链接上的Audio_stream SDP映射音频, *IEC 61937*编码的非HBR音频或一个位音频。图2-25显示了3到8通道LPCM音频的主链接上的Audio_stream SDP映射, *IEC 61937*编码的HBR音频或一个位音频。图2-33显示了LPCM或*IEC 61937*编码AUDIO_STREAM SDP的每个4个字节有效载荷中的映射。图2-34显示了一个位audio_stream SDP的每个4个字节有效载荷中的映射。

图2-26显示了1-16通道3D LPCM音频的主链接上的Audio_stream SDP映射。图2-27显示了17至32通道3D LPCM音频的映射。图2-33显示了3D LPCM AUDIO_STREAM SDP的每个4个字节有效载荷中的映射。

对于1到2个通道音频, 两套32位音频数据包有效载荷随附一个音频样本。对于3到8通道音频, 八组32位音频数据包有效载荷有一个音频样本。对于1到16通道音频, 16套32位音频数据包有效载荷有一个音频样本。对于17至32个通道音频, 32套32位音频数据包有效载荷有一个音频样本。

图2-28显示了DST音频的主链接上的Audio_stream SDP映射。图2-35显示了DST AUDIO_STREAM SDP的八个子层中的每一个中的映射。

那些包含相同音频样本的32位音频数据包有效载荷必须具有相同的值（样本）位。如果存在样品, 则必须将SP设置为1。如果不存在样品, 则必须将SP清除为0。

AUDIO_STREAM SDP传输不得在音频样本的中间停止, 并且必须在必要时进行零填充, 以使其满足所需的最小有效载荷大小为16字节。对于支持拆分SDP交易的设计, 如果需要, 可以在HBLANK期间结束时暂时中断AUDIO_STREAM SDP, 并在下一个水平空白期开始时恢复（有关详细信息, 请参见第2.2.5.12节）。

例如, 当在1车道主链接上传输2通道音频时, 可以在图2-24中的PB7之后结束数据包, 因为该点的传输在此时完成。但是, 它一定不能在PB6之后结束。此外, 它不得在PB5之后结束, 因为它不能满足16个字节的最小有效载荷大小。如果仅S0可用于传输, 则必须在S1位置传输0。

音频高比特率传输应始终使用8通道布局来传输内容。PA/PB同步单词应仅位于8通道布局中的通道1和通道2位置, 此PA/PB同步单词位置限制仅适用于Dolby True-HD和DTS HD H D Master Audio Andio传输。

音频数据对频道的映射取决于音频数据示威者的映射。

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
S0_Ch1_B0	S0_Ch2_B0	S1_Ch1_B0	S1_Ch2_B0	HB2	HB3	HB1
S0_Ch1_B1	S0_Ch2_B1	S1_Ch1_B1	S1_Ch2_B1	PB2	PB3	PB1
S0_Ch1_B2	S0_Ch2_B2	S1_Ch1_B2	S1_Ch2_B2	S0_Ch1_B0	S0_Ch2_B0	HB2
S0_Ch1_B3	S0_Ch2_B3	S1_Ch1_B3	S1_Ch2_B3	S0_Ch1_B1	S0_Ch2_B1	PB2
PB4	PB5	PB6	PB7	S0_Ch1_B2	S0_Ch2_B2	HB3
S2_Ch1_B0	S2_Ch2_B0	S3_Ch1_B0	S3_Ch2_B0	S0_Ch1_B3	S0_Ch2_B3	PB3
S2_Ch1_B1	S2_Ch2_B1	S3_Ch1_B1	S3_Ch2_B1	PB4	PB5	S0_Ch1_B0
S2_Ch1_B2	S2_Ch2_B2	S3_Ch1_B2	S3_Ch2_B2	S1_Ch1_B0	S1_Ch2_B0	S0_Ch1_B1
S2_Ch1_B3	S2_Ch2_B3	S3_Ch1_B3	S3_Ch2_B3	S1_Ch1_B1	S1_Ch2_B1	S0_Ch1_B2
PB8	PB9	PB10	PB11	S1_Ch1_B2	S1_Ch2_B2	S0_Ch1_B3
SE	SE	SE	SE	S1_Ch1_B3	S1_Ch2_B3	PB4
Note: Explanation of combined “_”-related text: • <i>S</i> = Sample. • <i>B</i> = Byte. • <i>Ch</i> = Channel. For example, <i>S0_Ch1_B0</i> means Byte 0 of Channel 1 of Sample 0.				PB6	PB7	S0_Ch2_B0
				S2_Ch1_B0	S2_Ch2_B0	S0_Ch2_B1
				S2_Ch1_B1	S2_Ch2_B1	S0_Ch2_B2
				S2_Ch1_B2	S2_Ch2_B2	S0_Ch2_B3
				S2_Ch1_B3	S2_Ch2_B3	PB5
				PB8	PB9	S1_Ch1_B0
				S3_Ch1_B0	S3_Ch2_B0	S1_Ch1_B1
				S3_Ch1_B1	S3_Ch2_B1	S1_Ch1_B2
				S3_Ch1_B2	S3_Ch2_B2	S1_Ch1_B3
				S3_Ch1_B3	S3_Ch2_B3	PB6
				PB10	PB11	S1_Ch2_B0
				SE	SE	S1_Ch2_B1
						S1_Ch2_B2
						S1_Ch2_B3
						PB7

图2-24: Audio_Stream SDP在2通道布局上的主链接上

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
						S2_Ch1_B0
						S2_Ch1_B1
						S2_Ch1_B2
						S2_Ch1_B3
						PB8
						S2_Ch2_B0
						S2_Ch2_B1
						S2_Ch2_B2
						S2_Ch2_B3
						PB9
						S3_Ch1_B0
						S3_Ch1_B1
						S3_Ch1_B2
						S3_Ch1_B3
						PB10
						S3_Ch2_B0
						S3_Ch2_B1
						S3_Ch2_B2
						S3_Ch2_B3
						PB11
						SE

图2-24: AUDIO_STREAM SDP在2通道布局音频的主链接上使用 (续)

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
S0_Ch1_B0	S0_Ch2_B0	S0_Ch3_B0	S0_Ch4_B0	HB2	HB3	HB1
S0_Ch1_B1	S0_Ch2_B1	S0_Ch3_B1	S0_Ch4_B1	PB2	PB3	PB1
S0_Ch1_B2	S0_Ch2_B2	S0_Ch3_B2	S0_Ch4_B2	S0_Ch1_B0	S0_Ch2_B0	HB2
S0_Ch1_B3	S0_Ch2_B3	S0_Ch3_B3	S0_Ch4_B3	S0_Ch1_B1	S0_Ch2_B1	PB2
PB4	PB5	PB6	PB7	S0_Ch1_B2	S0_Ch2_B2	HB3
S0_Ch5_B0	S0_Ch6_B0	S0_Ch7_B0	S0_Ch8_B0	S0_Ch1_B3	S0_Ch2_B3	PB3
S0_Ch5_B1	S0_Ch6_B1	S0_Ch7_B1	S0_Ch8_B1	PB4	PB5	S0_Ch1_B0
S0_Ch5_B2	S0_Ch6_B2	S0_Ch7_B2	S0_Ch8_B2	S0_Ch3_B0	S0_Ch4_B0	S0_Ch1_B1
S0_Ch5_B3	S0_Ch6_B3	S0_Ch7_B3	S0_Ch8_B3	S0_Ch3_B1	S0_Ch4_B1	S0_Ch1_B2
PB8	PB9	PB10	PB11	S0_Ch3_B2	S0_Ch4_B2	S0_Ch1_B3
SE	SE	SE	SE	S0_Ch3_B3	S0_Ch4_B3	PB4
Note: Explanation of combined “_”-related text: • <i>S</i> = Sample. • <i>B</i> = Byte. • <i>Ch</i> = Channel. For example, <i>S0_Ch1_B0</i> means Byte 0 of Channel 1 of Sample 0.				PB6	PB7	S0_Ch2_B0
				S0_Ch5_B0	S0_Ch6_B0	S0_Ch2_B1
				S0_Ch5_B1	S0_Ch6_B1	S0_Ch2_B2
				S0_Ch5_B2	S0_Ch6_B2	S0_Ch2_B3
				S0_Ch5_B3	S0_Ch6_B3	PB5
				PB8	PB9	S0_Ch3_B0
				S0_Ch7_B0	S0_Ch8_B0	S0_Ch3_B1
				S0_Ch7_B1	S0_Ch8_B1	S0_Ch3_B2
				S0_Ch7_B2	S0_Ch8_B2	S0_Ch3_B3
				S0_Ch7_B3	S0_Ch8_B3	PB6
				PB10	PB11	S0_Ch4_B0
				SE	SE	S0_Ch4_B1
						S0_Ch4_B2
						S0_Ch4_B3
						PB7
						S0_Ch5_B0
						S0_Ch5_B1
						S0_Ch5_B2
						S0_Ch5_B3
						PB8

图2-25: Audio_stream SDP在8通道布局音频上的主链接上方

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
						S0_Ch6_B0
						S0_Ch6_B1
						S0_Ch6_B2
						S0_Ch6_B3
						PB9
						S0_Ch7_B0
						S0_Ch7_B1
						S0_Ch7_B2
						S0_Ch7_B3
						PB10
						S0_Ch8_B0
						S0_Ch8_B1
						S0_Ch8_B2
						S0_Ch8_B3
						PB11
						SE

图2-25： Audio_stream SDP在8通道布局音频的主链接上（续）

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
S0_Ch1_B0	S0_Ch2_B0	S0_Ch3_B0	S0_Ch4_B0	HB2	HB3	HB1
S0_Ch1_B1	S0_Ch2_B1	S0_Ch3_B1	S0_Ch4_B1	PB2	PB3	PB1
S0_Ch1_B2	S0_Ch2_B2	S0_Ch3_B2	S0_Ch4_B2	S0_Ch1_B0	S0_Ch2_B0	HB2
S0_Ch1_B3	S0_Ch2_B3	S0_Ch3_B3	S0_Ch4_B3	S0_Ch1_B1	S0_Ch2_B1	PB2
PB4	PB5	PB6	PB7	S0_Ch1_B2	S0_Ch2_B2	HB3
S0_Ch5_B0	S0_Ch6_B0	S0_Ch7_B0	S0_Ch8_B0	S0_Ch1_B3	S0_Ch2_B3	PB3
S0_Ch5_B1	S0_Ch6_B1	S0_Ch7_B1	S0_Ch8_B1	PB4	PB5	S0_Ch1_B0
S0_Ch5_B2	S0_Ch6_B2	S0_Ch7_B2	S0_Ch8_B2	S0_Ch3_B0	S0_Ch4_B0	S0_Ch1_B1
S0_Ch5_B3	S0_Ch6_B3	S0_Ch7_B3	S0_Ch8_B3	S0_Ch3_B1	S0_Ch4_B1	S0_Ch1_B2
PB8	PB9	PB10	PB11	S0_Ch3_B2	S0_Ch4_B2	S0_Ch1_B3
S0_Ch9_B0	S0_Ch10_B0	S0_Ch11_B0	S0_Ch12_B0	S0_Ch3_B3	S0_Ch4_B3	PB4
S0_Ch9_B1	S0_Ch10_B1	S0_Ch11_B1	S0_Ch12_B1	PB6	PB7	S0_Ch2_B0
S0_Ch9_B2	S0_Ch10_B2	S0_Ch11_B2	S0_Ch12_B2	S0_Ch5_B0	S0_Ch6_B0	S0_Ch2_B1
S0_Ch9_B3	S0_Ch10_B3	S0_Ch11_B3	S0_Ch12_B3	S0_Ch5_B1	S0_Ch6_B1	S0_Ch2_B2
PB12	PB13	PB14	PB15	S0_Ch5_B2	S0_Ch6_B2	S0_Ch2_B3
S0_Ch13_B0	S0_Ch14_B0	S0_Ch15_B0	S0_Ch16_B0	S0_Ch5_B3	S0_Ch6_B3	PB5
S0_Ch13_B1	S0_Ch14_B1	S0_Ch15_B1	S0_Ch16_B1	PB8	PB9	S0_Ch3_B0
S0_Ch13_B2	S0_Ch14_B2	S0_Ch15_B2	S0_Ch16_B2	S0_Ch7_B0	S0_Ch8_B0	S0_Ch3_B1
S0_Ch13_B3	S0_Ch14_B3	S0_Ch15_B3	S0_Ch16_B3	S0_Ch7_B1	S0_Ch8_B1	S0_Ch3_B2
PB16	PB17	PB18	PB19	S0_Ch7_B2	S0_Ch8_B2	S0_Ch3_B3
SE	SE	SE	SE	S0_Ch7_B3	S0_Ch8_B3	PB6
Note: Explanation of combined “_”-related text: • S = Sample. • B = Byte. • Ch = Channel. For example, S0_Ch1_B0 means Byte 0 of Channel 1 of Sample 0.				PB10	PB11	S0_Ch4_B0
				S0_Ch9_B0	S0_Ch10_B0	S0_Ch4_B1
				S0_Ch9_B1	S0_Ch10_B1	S0_Ch4_B2
				S0_Ch9_B2	S0_Ch10_B2	S0_Ch4_B3
				S0_Ch9_B3	S0_Ch10_B3	PB7
				PB12	PB13	S0_Ch5_B0
				S0_Ch11_B0	S0_Ch12_B0	S0_Ch5_B1
				S0_Ch11_B1	S0_Ch12_B1	S0_Ch5_B2
				S0_Ch11_B2	S0_Ch12_B2	S0_Ch5_B3
				S0_Ch11_B3	S0_Ch12_B3	PB8

图2-26: Audio_stream SDP在16通道布局音频的主链接上, Audio_stream SDP (3D L PCM音频扩展类型类型代码13)

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
				PB14	PB15	S0_Ch6_B0
				S0_Ch13_B0	S0_Ch14_B0	S0_Ch6_B1
				S0_Ch13_B1	S0_Ch14_B1	S0_Ch6_B2
				S0_Ch13_B2	S0_Ch14_B2	S0_Ch6_B3
				S0_Ch13_B3	S0_Ch14_B3	PB9
				PB16	PB17	S0_Ch7_B0
				S0_Ch15_B0	S0_Ch16_B0	S0_Ch7_B1
				S0_Ch15_B1	S0_Ch16_B1	S0_Ch7_B2
				S0_Ch15_B2	S0_Ch16_B2	S0_Ch7_B3
				S0_Ch15_B3	S0_Ch16_B3	PB10
				PB18	PB19	S0_Ch8_B0
				SE	SE	S0_Ch8_B1
						S0_Ch8_B2
						S0_Ch8_B3
						PB11
						S0_Ch9_B0
						S0_Ch9_B1
						S0_Ch9_B2
						S0_Ch9_B3
						PB12
						S0_Ch10_B0
						S0_Ch10_B1
						S0_Ch10_B2
						S0_Ch10_B3
						PB13
						S0_Ch11_B0
						S0_Ch11_B1
						S0_Ch11_B2
						S0_Ch11_B3
						PB14
						S0_Ch12_B0
						S0_Ch12_B1
						S0_Ch12_B2
						S0_Ch12_B3
						PB15

图2-26: 16通道布局音频的主链接上的AUDIO_STREAM SDP (3D LPCM音频扩展类型类型代码13) (续)

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
						S0_Ch13_B0
						S0_Ch13_B1
						S0_Ch13_B2
						S0_Ch13_B3
						PB16
						S0_Ch14_B0
						S0_Ch14_B1
						S0_Ch14_B2
						S0_Ch14_B3
						PB17
						S0_Ch15_B0
						S0_Ch15_B1
						S0_Ch15_B2
						S0_Ch15_B3
						PB18
						S0_Ch16_B0
						S0_Ch16_B1
						S0_Ch16_B2
						S0_Ch16_B3
						PB19
						SE

图2-26：16通道布局音频的主链接上的AUDIO_STREAM SDP（3D LPCM音频扩展类型类型代码13）（续）

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
S0_Ch1_B0	S0_Ch2_B0	S0_Ch3_B0	S0_Ch4_B0	HB2	HB3	HB1
S0_Ch1_B1	S0_Ch2_B1	S0_Ch3_B1	S0_Ch4_B1	PB2	PB3	PB1
S0_Ch1_B2	S0_Ch2_B2	S0_Ch3_B2	S0_Ch4_B2	S0_Ch1_B0	S0_Ch2_B0	HB2
S0_Ch1_B3	S0_Ch2_B3	S0_Ch3_B3	S0_Ch4_B3	S0_Ch1_B1	S0_Ch2_B1	PB2
PB4	PB5	PB6	PB7	S0_Ch1_B2	S0_Ch2_B2	HB3
S0_Ch5_B0	S0_Ch6_B0	S0_Ch7_B0	S0_Ch8_B0	S0_Ch1_B3	S0_Ch2_B3	PB3
S0_Ch5_B1	S0_Ch6_B1	S0_Ch7_B1	S0_Ch8_B1	PB4	PB5	S0_Ch1_B0
S0_Ch5_B2	S0_Ch6_B2	S0_Ch7_B2	S0_Ch8_B2	S0_Ch3_B0	S0_Ch4_B0	S0_Ch1_B1
S0_Ch5_B3	S0_Ch6_B3	S0_Ch7_B3	S0_Ch8_B3	S0_Ch3_B1	S0_Ch4_B1	S0_Ch1_B2
PB8	PB9	PB10	PB11	S0_Ch3_B2	S0_Ch4_B2	S0_Ch1_B3
S0_Ch9_B0	S0_Ch10_B0	S0_Ch11_B0	S0_Ch12_B0	S0_Ch3_B3	S0_Ch4_B3	PB4
S0_Ch9_B1	S0_Ch10_B1	S0_Ch11_B1	S0_Ch12_B1	PB6	PB7	S0_Ch2_B0
S0_Ch9_B2	S0_Ch10_B2	S0_Ch11_B2	S0_Ch12_B2	S0_Ch5_B0	S0_Ch6_B0	S0_Ch2_B1
S0_Ch9_B3	S0_Ch10_B3	S0_Ch11_B3	S0_Ch12_B3	S0_Ch5_B1	S0_Ch6_B1	S0_Ch2_B2
PB12	PB13	PB14	PB15	S0_Ch5_B2	S0_Ch6_B2	S0_Ch2_B3
S0_Ch13_B0	S0_Ch14_B0	S0_Ch15_B0	S0_Ch16_B0	S0_Ch5_B3	S0_Ch6_B3	PB5
S0_Ch13_B1	S0_Ch14_B1	S0_Ch15_B1	S0_Ch16_B1	PB8	PB9	S0_Ch3_B0
S0_Ch13_B2	S0_Ch14_B2	S0_Ch15_B2	S0_Ch16_B2	S0_Ch7_B0	S0_Ch8_B0	S0_Ch3_B1
S0_Ch13_B3	S0_Ch14_B3	S0_Ch15_B3	S0_Ch16_B3	S0_Ch7_B1	S0_Ch8_B1	S0_Ch3_B2
PB16	PB17	PB18	PB19	S0_Ch7_B2	S0_Ch8_B2	S0_Ch3_B3
S0_Ch17_B0	S0_Ch18_B0	S0_Ch19_B0	S0_Ch20_B0	S0_Ch7_B3	S0_Ch8_B3	PB6
S0_Ch17_B1	S0_Ch18_B1	S0_Ch19_B1	S0_Ch20_B1	PB10	PB11	S0_Ch4_B0
S0_Ch17_B2	S0_Ch18_B2	S0_Ch19_B2	S0_Ch20_B2	S0_Ch9_B0	S0_Ch10_B0	S0_Ch4_B1
S0_Ch17_B3	S0_Ch18_B3	S0_Ch19_B3	S0_Ch20_B3	S0_Ch9_B1	S0_Ch10_B1	S0_Ch4_B2
PB20	PB21	PB22	PB23	S0_Ch9_B2	S0_Ch10_B2	S0_Ch4_B3
S0_Ch21_B0	S0_Ch22_B0	S0_Ch23_B0	S0_Ch24_B0	S0_Ch9_B3	S0_Ch10_B3	PB7
S0_Ch21_B1	S0_Ch22_B1	S0_Ch23_B1	S0_Ch24_B1	PB12	PB13	S0_Ch5_B0
S0_Ch21_B2	S0_Ch22_B2	S0_Ch23_B2	S0_Ch24_B2	S0_Ch11_B0	S0_Ch12_B0	S0_Ch5_B1
S0_Ch21_B3	S0_Ch22_B3	S0_Ch23_B3	S0_Ch24_B3	S0_Ch11_B1	S0_Ch12_B1	S0_Ch5_B2
PB24	PB25	PB26	PB27	S0_Ch11_B2	S0_Ch12_B2	S0_Ch5_B3
S0_Ch25_B0	S0_Ch26_B0	S0_Ch27_B0	S0_Ch28_B0	S0_Ch11_B3	S0_Ch12_B3	PB8

图2-27: 32通道布局音频的主链接上的Audio_stream SDP (3D LPCM音频扩展类型类型代码13)

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
S0_Ch25_B1	S0_Ch26_B1	S0_Ch27_B1	S0_Ch28_B1	PB14	PB15	S0_Ch6_B0
S0_Ch25_B2	S0_Ch26_B2	S0_Ch27_B2	S0_Ch28_B2	S0_Ch13_B0	S0_Ch14_B0	S0_Ch6_B1
S0_Ch25_B3	S0_Ch26_B3	S0_Ch27_B3	S0_Ch28_B3	S0_Ch13_B1	S0_Ch14_B1	S0_Ch6_B2
PB28	PB29	PB30	PB31	S0_Ch13_B2	S0_Ch14_B2	S0_Ch6_B3
S0_Ch29_B0	S0_Ch30_B0	S0_Ch31_B0	S0_Ch32_B0	S0_Ch13_B3	S0_Ch14_B3	PB9
S0_Ch29_B1	S0_Ch30_B1	S0_Ch31_B1	S0_Ch32_B1	PB16	PB17	S0_Ch7_B0
S0_Ch29_B2	S0_Ch30_B2	S0_Ch31_B2	S0_Ch32_B2	S0_Ch15_B0	S0_Ch16_B0	S0_Ch7_B1
S0_Ch29_B3	S0_Ch30_B3	S0_Ch31_B3	S0_Ch32_B3	S0_Ch15_B1	S0_Ch16_B1	S0_Ch7_B2
PB32	PB33	PB34	PB35	S0_Ch15_B2	S0_Ch16_B2	S0_Ch7_B3
SE	SE	SE	SE	S0_Ch15_B3	S0_Ch16_B3	PB10
Note: Explanation of combined “_”-related text: • <i>S</i> = Sample. • <i>B</i> = Byte. • <i>Ch</i> = Channel. For example, <i>S0_Ch1_B0</i> means Byte 0 of Channel 1 of Sample 0.				PB18	PB19	S0_Ch8_B0
				S0_Ch17_B0	S0_Ch18_B0	S0_Ch8_B1
				S0_Ch17_B1	S0_Ch18_B1	S0_Ch8_B2
				S0_Ch17_B2	S0_Ch18_B2	S0_Ch8_B3
				S0_Ch17_B3	S0_Ch18_B3	PB11
				PB20	PB21	S0_Ch9_B0
				S0_Ch19_B0	S0_Ch20_B0	S0_Ch9_B1
				S0_Ch19_B1	S0_Ch20_B1	S0_Ch9_B2
				S0_Ch19_B2	S0_Ch20_B2	S0_Ch9_B3
				S0_Ch19_B3	S0_Ch20_B3	PB12
				PB22	PB23	S0_Ch10_B0
				S0_Ch21_B0	S0_Ch22_B0	S0_Ch10_B1
				S0_Ch21_B1	S0_Ch22_B1	S0_Ch10_B2
				S0_Ch21_B2	S0_Ch22_B2	S0_Ch10_B3
				S0_Ch21_B3	S0_Ch22_B3	PB13
				PB24	PB25	S0_Ch11_B0
				S0_Ch23_B0	S0_Ch24_B0	S0_Ch11_B1
				S0_Ch23_B1	S0_Ch24_B1	S0_Ch11_B2
				S0_Ch23_B2	S0_Ch24_B2	S0_Ch11_B3
				S0_Ch23_B3	S0_Ch24_B3	PB14
				PB26	PB27	S0_Ch12_B0
				S0_Ch25_B0	S0_Ch26_B0	S0_Ch12_B1
				S0_Ch25_B1	S0_Ch26_B1	S0_Ch12_B2
				S0_Ch25_B2	S0_Ch26_B2	S0_Ch12_B3
				S0_Ch25_B3	S0_Ch26_B3	PB15

图2-27: 32通道布局音频的主链接上的Audio_stream SDP (3D LPCM音频扩展类型类型代码13) (续)

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
				PB28	PB29	S0_Ch13_B0
				S0_Ch27_B0	S0_Ch28_B0	S0_Ch13_B1
				S0_Ch27_B1	S0_Ch28_B1	S0_Ch13_B2
				S0_Ch27_B2	S0_Ch28_B2	S0_Ch13_B3
				S0_Ch27_B3	S0_Ch28_B3	PB16
				PB30	PB31	S0_Ch14_B0
				S0_Ch29_B0	S0_Ch30_B0	S0_Ch14_B1
				S0_Ch29_B1	S0_Ch30_B1	S0_Ch14_B2
				S0_Ch29_B2	S0_Ch30_B2	S0_Ch14_B3
				S0_Ch29_B3	S0_Ch30_B3	PB17
				PB32	PB33	S0_Ch15_B0
				S0_Ch31_B0	S0_Ch32_B0	S0_Ch15_B1
				S0_Ch31_B1	S0_Ch32_B1	S0_Ch15_B2
				S0_Ch31_B2	S0_Ch32_B2	S0_Ch15_B3
				S0_Ch31_B3	S0_Ch32_B3	PB18
				PB34	PB35	S0_Ch16_B0
				SE	SE	S0_Ch16_B1
						S0_Ch16_B2
						S0_Ch16_B3
						PB19
						S0_Ch17_B0
						S0_Ch17_B1
						S0_Ch17_B2
						S0_Ch17_B3
						PB20
						S0_Ch18_B0
						S0_Ch18_B1
						S0_Ch18_B2
						S0_Ch18_B3
						PB21
						S0_Ch19_B0
						S0_Ch19_B1
						S0_Ch19_B2
						S0_Ch19_B3
						PB22

图2-27: 32通道布局音频的主链接上的Audio_stream SDP (3D LPCM音频扩展类型类型代码13) (续)

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
						S0_Ch20_B0
						S0_Ch20_B1
						S0_Ch20_B2
						S0_Ch20_B3
						PB23
						S0_Ch21_B0
						S0_Ch21_B1
						S0_Ch21_B2
						S0_Ch21_B3
						PB24
						S0_Ch22_B0
						S0_Ch22_B1
						S0_Ch22_B2
						S0_Ch22_B3
						PB25
						S0_Ch23_B0
						S0_Ch23_B1
						S0_Ch23_B2
						S0_Ch23_B3
						PB26
						S0_Ch24_B0
						S0_Ch24_B1
						S0_Ch24_B2
						S0_Ch24_B3
						PB27
						S0_Ch25_B0
						S0_Ch25_B1
						S0_Ch25_B2
						S0_Ch25_B3
						PB28
						S0_Ch26_B0
						S0_Ch26_B1
						S0_Ch26_B2
						S0_Ch26_B3
						PB29

图2-27: 32通道布局音频的主链接上的Audio_stream SDP (3D LPCM音频扩展类型类型代码13) (续)

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
						S0_Ch27_B0
						S0_Ch27_B1
						S0_Ch27_B2
						S0_Ch27_B3
						PB30
						S0_Ch28_B0
						S0_Ch28_B1
						S0_Ch28_B2
						S0_Ch28_B3
						PB31
						S0_Ch29_B0
						S0_Ch29_B1
						S0_Ch29_B2
						S0_Ch29_B3
						PB32
						S0_Ch30_B0
						S0_Ch30_B1
						S0_Ch30_B2
						S0_Ch30_B3
						PB33
						S0_Ch31_B0
						S0_Ch31_B1
						S0_Ch31_B2
						S0_Ch31_B3
						PB34
						S0_Ch32_B0
						S0_Ch32_B1
						S0_Ch32_B2
						S0_Ch32_B3
						PB35
						SE

图2-27: 32通道布局音频的主链接上的Audio_stream SDP（3D LPCM音频扩展类型
类型代码13）（续）

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
S0_SL1_B0	S0_SL2_B0	S0_SL3_B0	S0_SL4_B0	HB2	HB3	HB1
S0_SL1_B1	S0_SL2_B1	S0_SL3_B1	S0_SL4_B1	PB2	PB3	PB1
S0_SL1_B2	S0_SL2_B2	S0_SL3_B2	S0_SL4_B2	S0_SL1_B0	S0_SL2_B0	HB2
S0_SL1_B3	S0_SL2_B3	S0_SL3_B3	S0_SL4_B3	S0_SL1_B1	S0_SL2_B1	PB2
PB4	PB5	PB6	PB7	S0_SL1_B2	S0_SL2_B2	HB3
S0_SL5_B0	S0_SL6_B0	S0_SL7_B0	S0_SL8_B0	S0_SL1_B3	S0_SL2_B3	PB3
S0_SL5_B1	S0_SL6_B1	S0_SL7_B1	S0_SL8_B1	PB4	PB5	S0_SL1_B0
S0_SL5_B2	S0_SL6_B2	S0_SL7_B2	S0_SL8_B2	S0_SL3_B0	S0_SL4_B0	S0_SL1_B1
S0_SL5_B3	S0_SL6_B3	S0_SL7_B3	S0_SL8_B3	S0_SL3_B1	S0_SL4_B1	S0_SL1_B2
PB8	PB9	PB10	PB11	S0_SL3_B2	S0_SL4_B2	S0_SL1_B3
SE	SE	SE	SE	S0_SL3_B3	S0_SL4_B3	PB4
Note: Explanation of combined “_”-related text: • <i>S</i> = Sample. • <i>B</i> = Byte. • <i>SL</i> = Sub-layout. For example, <i>S0_SL1_B0</i> means Byte 0 of Sub-layout 1 of Sample 0.				PB6	PB7	S0_SL2_B0
				S0_SL5_B0	S0_SL6_B0	S0_SL2_B1
				S0_SL5_B1	S0_SL6_B1	S0_SL2_B2
				S0_SL5_B2	S0_SL6_B2	S0_SL2_B3
				S0_SL5_B3	S0_SL6_B3	PB5
				PB8	PB9	S0_SL3_B0
				S0_SL7_B0	S0_SL8_B0	S0_SL3_B1
				S0_SL7_B1	S0_SL8_B1	S0_SL3_B2
				S0_SL7_B2	S0_SL8_B2	S0_SL3_B3
				S0_SL7_B3	S0_SL8_B3	PB6
				PB10	PB11	S0_SL4_B0
				SE	SE	S0_SL4_B1
						S0_SL4_B2
						S0_SL4_B3
						PB7
						S0_SL5_B0
						S0_SL5_B1
						S0_SL5_B2
						S0_SL5_B3
						PB8

图2-28：DST音频布局的主链接上的Audio_stream SDP

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
						S0_SL6_B0
						S0_SL6_B1
						S0_SL6_B2
						S0_SL6_B3
						PB9
						S0_SL7_B0
						S0_SL7_B1
						S0_SL7_B2
						S0_SL7_B3
						PB10
						S0_SL8_B0
						S0_SL8_B1
						S0_SL8_B2
						S0_SL8_B3
						PB11
						SE

图2-28: DST音频布局的主链接上的Audio_stream SDP (续)

2.2.5.3.4 AUDIO_STREAM SDP以SST传输格式拆分
*DP v1.4*的新手。

AUDIO_STREAM SDP的HB3 ChannelCount字段（位2: 0）是非3D LPCM音频的计数或通过DP Main-Link传输的一个位音频通道。DPRX必须使用此3位值来决定如何解释AUDIO_STREAM SDP的有效载荷。在非3D LPCM, *IEC 61937*编码或一个位显示器音频传输中支持一个到八个通道。

2.2.5.3.5 扬声器映射
 整个部分重写为*DP v1.4*。

CEA-861-F, *Section 6.6.2*中定义的音频Infoframe的字节3包含描述说话者位置在音频传输频道中的映射的信息。这个8位通道分配字段Ca 7: 0适用于3到8通道未压缩音频。3到8通道LPCM音频的扬声器位置映射或3到8通道的一位音频数据必须与在音频Infoframe中运输的8位数据（CA7: 0）匹配。

接收器设备可以通过*CEA-861-F*, *Section 7.5.3*中所述的使用扬声器分配数据块来指示活动扬声器配置。支撑3到8通道LPCM音频或3到8通道的水槽设备应包括此数据块。

支持基于对象的音频或高通道计数音频的水槽设备应使用*CEA-861.2*, *Table 3*中所述的房间配置描述符数据块, 而不是说话者分配信息。此外, 如*CEA-861.2*, *Table 4*中所述, 水槽设备可以选择提供其他信息并包括说话者位置描述符。

需要运输3D LPCM音频的源设备应分别使用*Delivery According to the Speaker Mask*或*Delivery by Channel Index*方法，如*CEA-861.2, Section 3.6*和*Section 3.7*中所述。与2或8通道布局相似，16或32通道3D LPCM音频布局的所有SP位必须带有相同的值，如果存在样品，则所有sp。 The ordering of active LPCM channels within the 32-channel layout shall follow the rules as described in *CEA-861.2, Section 3.6*, when the Source device uses the *Delivery According to the Speaker Mask* method, –or– the rules as described in *CEA-861.2, Section 3.7*, when the Source device uses the *Delivery by Channel Index* method. 当需要16个或更少的活动通道时，可以使用16通道布局。

图2-29至图2-32描述LPCM 16或32通道布局中所需的通道顺序，以示例为完全或部分填充的3D LPCM音频系统的示例。

Channel Number															
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
–	–	–	–	–	–	FRC	FLC	–	BC	BR	BL	FC	LFE1	FR	FL

图2-29： 3D LPCM音频数据分配带有音频Infoframe Byte 4 = FEH， 8.1 SPM （信息性）

Channel Number															
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
–	–	–	–	–	–	–	FRC	FLC	BC	BR	BL	FC	LFE1	FR	FL

图2-30： 3D LPCM音频数据分配带有音频Infoframe Byte 4 = FFH， 8.1 SPM主张所使用的RCD订单 （信息性）

Channel Number															
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
LFE2	TpFC	TpFR	TpFL	FRW	FLW	FRC	FLC	TpC	BC	BR	BL	FC	LFE1	FR	FL
Channel Number															
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17
–	–	TpRS	TpLS	BtFR	BtFL	TpBR	TpBL	TpSiR	TpSiL	SiR	SiL	BtFC	TpBC	RS	LS

图2-31: 3D LPCM音频数据分配带有音频Infoframe Byte 4 = FEH, 所有SPM均声称 (信息)

Channel Number															
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
LS	TpFC	TpC	TpFR	TpFL	FRW	FLW	FRC	FLC	BC	BR	BL	FC	LFE1	FR	FL
Channel Number															
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17
–	–	TpRS	TpLS	BtFR	BtFL	BtFC	TpBR	TpBL	TpSiR	TpSiL	SiR	SiL	TpBC	LFE2	RS

图2-32: 3D LPCM音频数据分配带有音频Infoframe Byte 4 = FFH, 所有SPM宣称所使用的RCD订单 (信息性)

2.2.5.3.6 AUDIO_STREAM SDP有效载荷中的数据映射

整个部分重写了DP v1.4。

AUDIO_STREAM SDP有效载荷由每条泳道的四个字节组成, 每个字节受平均字节保护的四个字节。

图2-33显示了AUDIO_STREAM SDP THAT的4字节有效载荷中的数据映射包含IEC 60958 - 编码或IEC 61937传输的数据。在这些情况下, 音频有效载荷将使用LPCM音频或IEC 61937 - 压制音频的2-或8通道布局, 以及带有3D LPCM音频的16或32频道布局。在图2-24和图2-25中, 这四个字节对应于例如S0_CH1_B0, S0_CH1_B1, S0_CH1_B2和S0_CH1_B3。 (有关LPCM音频的4字节有效载荷映射, IEC 61937编码音频或主链接上AUDIO_STREAM SDP中的3D LPCM音频, 请参见图2-24至图2-27。)

图2-34显示了一个位audio_stream SDP的4字节有效载荷中的数据映射。这个位音频数据遵循IEC 14496-3, Subpart 10, 编码标准。 (有关在主链接上的Audio_stream SDP中的4字节映射的映射, 请参见图2-24和图2-25。)

图2-35显示了DST AUDIO_STREAM SDP的八个4字节子量有效载荷中的每个数据映射。此DST音频数据还遵循IEC 14496-3, Subpart 10, 编码标准。 (有关主链接上AUDIO_STREAM SDP中DST音频的八个子层有效载荷的映射, 请参见图2-27。)

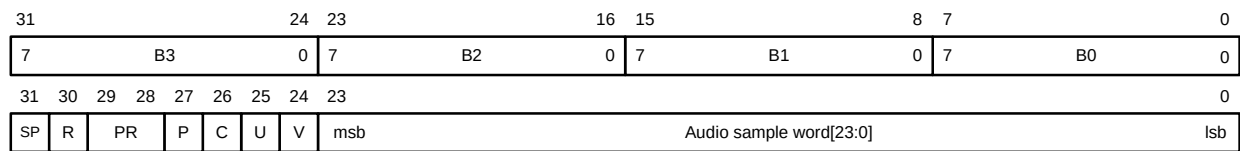


图2-33： 带有IEC 60958的编码的AUDIO_STREAM SDP的4字节有效载荷中的数据映射

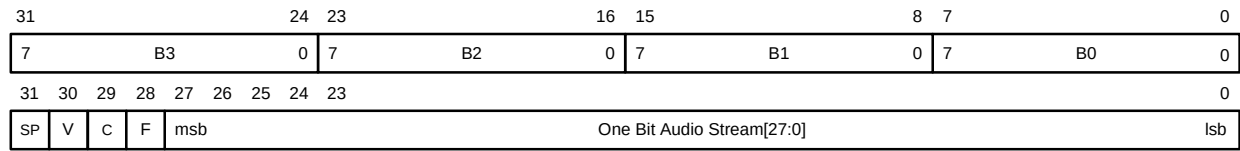


图2-34： AUDIO_STREAM SDP的4字节有效载荷中的数据映射和一位音频编码

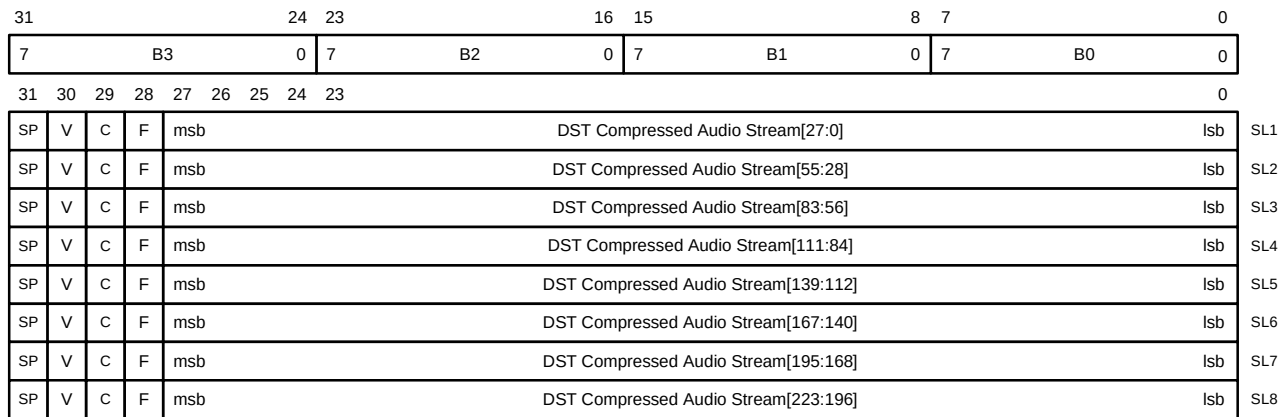


图2-35： DST AUDIO_STREAM SDP的4字节有效负载子层中的数据映射，并带有DST音频编码

表2-109显示了图2-33所示的4字节AUDIO_STREAM SDP有效载荷的位定义。

表2-109: AUDIO_STREAM SDP有效载荷的位定义使用IEC 60958式编码

Bit Name	Byte #	Bit #	Description
Audio sample word	0	7:0	Audio Data Content of this data depends on the audio coding type. In case of LPCM audio, the most significant bit of the audio is placed in Byte 2, bit 7. If the audio data size is less than 24 bits, unused least significant bits must be zero-padded.
	1	7:0	
	2	7:0	
V	3	0	Validity Flag
U		1	User Bit
C		2	Channel Status
P		3	Parity Bit
PR		5:4	Preamble Code and its Correspondence with IEC 60958 Preamble 00 = Subframe 1 and start of the audio block (11101000 preamble). 01 = Subframe 1 (1110010 preamble). 10 = Subframe 2 (1110100 preamble). 11 = RESERVED
R		6	RESERVED Must be 0.
SP		7	Sample Present Bit 0 = Sample information is not present. 1 = Sample information is present and can be processed. All channels of one audio sample, whether used or unused, must have the same value for this flag. Useful when 2-channel audio is transported over a 4-lane Main-Link. In this operation, Main-Link Lanes 2 and 3 may or may not have the audio sample data. Indicates whether the audio sample is present.

表2-110: AUDIO_STREAM SDP有效载荷的位定义带有一位音频编码

Bit Name	Byte #	Bit #	Description
Audio sample bitstream	0	7:0	Audio Data Stream One Bit audio data consists of a single bit per sample. Each SDP payload layout consists of a 28-bit portion of a continuous stream of 1-bit consecutive samples belonging to the given audio channel. The first sampled bit of the 28-bit portion is placed in Byte 0, bit 0. The last sampled bit of the 28-bit portion is placed in Byte 3, bit 3.
	1	7:0	
	2	7:0	
	3	3:0	

表2-110: AUDIO_STREAM SDP有效载荷的位定义带有一位音频编码 (续)

Bit Name	Byte #	Bit #	Description
F	3	4	Frame Start Flag 0 = Setting for all but the first One Bit SDP payload layout in a series of layouts comprising the One Bit audio frame. 1 = Indicates the first One Bit SDP payload layout in a series of layouts comprising the One Bit audio frame. Valid only when the matching Sample Present Bit is set to 1. All channels layouts of the One Bit audio sample must have the same value for this flag.
C		5	Channel Status C(0:NLPF - 33) = 0 as RESERVED. C(NLPF-32:NLPF - 2) = GTC(31:1). C(NLPF - 1) = GTC Field Validity. If GTC Field Validity is 0, the Sink device should ignore the GTC. These bits carry channel status, assembled from One Bit Layout Sample 0 to One Bit Layout Sample NLPF, one bit per sample. One Bit Layout Sample 0 is marked with the Frame Start Flag bit set to 1. Valid only when the matching Sample Present Bit is set to 1. All channel layouts of the One Bit audio sample must have the same value for this flag. Note: - NLPF = Number of One Bit audio layouts per frame - GTC = Global Time Code presentation time
V		6	Valid Flag 0 = Sample information is not valid. 1 = Sample information is valid and can be processed. Valid only when the matching Sample Present Bit is set to 1.
SP		7	Sample Present Bit 0 = Sample information is not present. 1 = Sample information is present and can be processed. All channels of one audio sample, whether used or unused, must have the same value for this flag. Useful when 2-channel audio is transported over a 4-lane Main-Link. In this operation, Main-Link Lanes 2 and 3 may or may not have the audio sample data. Indicates whether the audio sample is present.

表2-111： 使用DST音频编码的AUDIO_STREAM SDP有效载荷的位定义

Bit Name	Byte #	Bit #	Description
Audio sample bitstream	0	7:0	Audio Data Stream DST audio data consists of a stream of compressed One Bit audio data. Each of the eight 4-byte sub-layouts of the DST SDP payload layout consists of a 28-bit portion of a continuous stream of the compressed audio data. The first sampled bit of the 28-bit portion is placed in Byte 0, bit 0. The last sampled bit of the 28-bit portion is placed in Byte 3, bit 3. The DST data bitstream is loaded into the eight payload sub-layouts in ascending payload layout order, Sub-layouts 1 to 8.
	1	7:0	
	2	7:0	
	3	3:0	
F	3	4	Frame Start Flag 0 = Setting for all but the first DST SDP payload layout in a series of layouts comprising the DST audio frame. 1 = Indicates the first DST SDP payload layout in a series of layouts comprising the DST audio frame. Valid only when the matching Sample Present Bit is set to 1. All eight 4-byte sub-layouts of the DST audio layout must have the same value for this flag.
C		5	Channel Status C(0:NLPF-33) = 0 as RESERVED. C(NLPF-32:NLPF-2) = GTC(31:1). C(NLPF-1) = GTC Field Validity. If GTC Field Validity is 0, the Sink device should ignore the GTC. These bits carry channel status, assembled from DST Sub-layout Sample 0 to DST Sub-layout Sample NLPF, one bit per DST sub-layout sample. DST Sub-layout Sample 0 is marked with the Frame Start Flag bit set to 1. Valid only when the matching Sample Present Bit is set to 1. All eight sub-layouts of the DST audio layout must have the same value for this flag. Note: - NLPF = Number of DST audio sub-layouts per frame - GTC = Global Time Code presentation time
V		6	Valid Flag 0 = Sample information is not valid. 1 = Sample information is valid and can be processed. Valid only when the matching Sample Present Bit is set to 1. All eight sub-layouts of the DST layout must have the same value for this flag.
SP		7	Sample Present Bit 0 = Sample information is not present. 1 = Sample information is present and can be processed. All eight sub-layouts of the DST layout must have the same value for this flag. Can be used to mark non-active DST layouts in long packet sequences.

2.2.5.3.7 AUDIO_STREAM SDP运输能力和视频依赖性（信息性）

DP v1.4的新手。

DP v1.4在视频流在链接上运输时，支持音频流的运输。

AUDIO_STREAM SDP是在主视频流的水平和垂直空白期间发送的。音频带宽要求可以根据所需的音频示例率和主视频线路速率表示：如下：

$$\text{AudioSamplesReqPerLine} = \text{AudioFs} / \text{VideoHFreq}$$

在哪里：

- *AudioFs*是所需的音频样品频率，如表2-100中所示
- *VideoHfreq*是主视频流的水平线频率

在垂直空白期间，Audio_stream SDP可以在整个行期间的任何时间出现。可能占据垂直空白的其他SDP所消耗的带宽不会在此期间实际上限制每行需求的音频样本。

但是，水平的空白周期的可用容量将决定是否可以满足音频带宽要求。由于不需要其他SDP来占据水平遮挡区域，因此仅需要将所需的AUDIO_STREAM SDP大小与可用的Hblank符号容量进行比较，以确定是否可以支持特定的音频模式。

HBLANK期间AUDIO_STREAM SDP可用的符号数量取决于主视频流正时和主链接配置，特别是链接符号时钟频率和车道计数。每行所需的AUDIO_STREAM SDP符号的数量和每个HBLANK由每个样本的音频编码类型和相关布局和相关布局确定。通过降低SDP标头和SE页脚符号的开销，在单个SDP中加入音频布局将提高效率。将SDP跨越一条线路，HBLANK将通过避免将每行的下一个整数布局数量舍入来提高效率。但是，即使采用了这些效率措施，也可能存在一些主要的视频流模式和音频模式组合，这些模式组合将具有限制的最大音频采样率。可以通过将可用的水平空白周期符号容量与每个样本频率的所需音频SDP符号计数进行比较来确定此最大音频样本率。降低使用选项的链接率的视频模式，例如，应分析任何音频模式限制的空白计时和/或MSA视频水平空白扩展选项。

在水平空白期间，可用于AUDIO_STREAM SDP的符号数量如下：

$$\text{StrmSymbolCntAvailPerHblank} = \text{FLOOR}(t\_H\text{Blank} * \text{LSClkFreq} * \text{LaneCnt} - \text{MainLinkOverhead})$$

在哪里：

- $t\_H\text{Blank}$ 是主要的视频流水平掩盖期
- LSClkFreq 是链接符号时钟频率
- LaneCnt 是主链路的车道计数
- MainLinkOverhead 是在水平空白期开始和结束时在主链接上需要的符号计数，并且定义如下： $\text{MainLinkOverhead} = \text{BSSymbolCnt} + \text{VBIDSymbolCnt} + \text{MvidSymbolCnt} + \text{MaudSymbolCnt} + \text{BESymbolCnt}$

在哪里：

- BSSymbolCnt 等于 $\text{LaneCnt} * 4$ ，缩影启动符号的数量； 增强的框架模式提供了最坏的情况编号
- VBIDSymbolCnt 等于4，VB-ID符号的数量
- MvidSymbolCnt 等于4，MVID符号的数量
- MaudSymbolCnt 等于4，Maud符号的数量
- $\text{BESymbolCnt} = \text{LaneCnt}$ ，空白端符号的数量

使用上述定义，可以简化主链接开销，如下所示：

$$\text{MainLinkOverhead} = \text{LaneCnt} * 5 + 12$$

在水平空白期间，Audio_stream SDP所需的符号数量如下：

$$\text{AudioSymbolCntReqPerHblank} = \text{CEIL} \left(\left(\left(\text{AudioSampleSReqperline} * \text{Audiolayouts persame} * \text{AudioSymbolsperlayout} + \text{ceil} \left(\text{AudioSampleSReqperline} * \text{Audiolayouts pamplesame} / \text{MaxLayoutsperaudiosdp} \right) * \text{AudioSdpoverhead} \right) * \text{AUDIOSDPMARGIN} \right)$$

在哪里：

- $\text{AudioSamplesReqPerLine}$ 是必须在每个主视频线上运输的音频样本数量以满足音频频率要求
- $\text{AudioLayoutsPerSample}$ 是给定音频模式所需的每个音频示例所需的音频布局数（请参见表2-112）
- $\text{AudioSymbolsPerLayout}$ 是给定音频模式所需的每个音频布局所需的符号数（请参见表2-112）
- $\text{MaxLayoutsPerAudioSDP}$ 是可以组装到单个AUDIO_STREAM SDP中的最大音频布局数（请参见表2-112）

- *AudioSDPMargin*是一种特定于实施的安全保证金，用于防止可能的音频样本底层；可以使用建议的1.05至1.1的值
- *AudioSDPOverhead*是在AUDIO_STREAM SDP的开头和结尾所需的符号计数，并且定义如下：

$$AudioSDPOverhead = SSsymbolCnt + HeadersymbolCnt + HeaderParitySymbolCnt + SESymbolCnt$$

在哪里：

- *SSsymbolCnt*= *LaneCnt*, audio_stream SDP启动符号的数量
- *HeadersymbolCnt*等于4, AUDIO_STREAM SDP标头符号的数量
- *HeaderParitySymbolCnt*等于4, AUDIO_STREAM SDP标题均等符号的数量
- *SESymbolCnt*= *LaneCnt*, audio_stream sdp end符号的数量

使用上述定义，Audio_stream SDP开销可以简化如下：
AudioSDPOverhead = *LaneCnt* * 2 + 8

表2-112总结了支持的音频模式转换详细信息：

- 样本进行布局
- 布局到符号
- 单个AUDIO_STREAM SDP中允许的最大布局

表2-112：摘要 ry of audio_stream SDP编码类型有效载荷CAPA 城市（信息丰富）

Audio Coding Type	AudioLayoutsPerSample	AudioSymbolsPerLayout	MaxLayoutsPerAudioSDP
2-channel LPCM	1/2	20	16
8-channel LPCM	1	40	32
16-channel 3D LPCM	1	80	32
32-channel 3D LPCM	1	160	32
2-channel One Bit	1/56	20.2	16
8-channel One Bit	1/28	40	32
DST	1/224	40	32
HBR	1/4.2	40	32

可以支持满足以下要求的主要视频模式和音频组合如下：

$$AudioSymbolCntReqPerHblank < StrmSymbolCntAvailPerHblank$$

考虑4096x2160P60视频模式的32通道3D LPCM音频支持的局限性，其缩小了空白V2正时，DMT ID = 57H。此视频模式的相关详细信息具有两个主链接配置，如下所示：

- 水平线频率= $VideoHFreq = 133.32\text{KHz}$
- 水平空白周期= $t\_HBlank = 0.1436925\mu\text{s}$
- 4车道在540MHz链接符号时钟频率，24bpp rgb：
 $StrmSymbolCntAvailPerHblank = \text{地板} (t\_hblank * lscclkfreq * lanecnt - mainlinkoverhead) = \text{floor} (0.1436925\mu\text{s} * 540\text{mhz} * 540\text{mhz} * 540\text{mhz} * 4 * 4 - (4 * 5 + 12))$
- 在270MHz链接符号时钟的4车道的详细信息，12BPP 4: 2: 0 ycbcr：
 $StrmSymbolCntAvailPerHblank = \text{地板} (t\_hblank * lscclkfreq * lanecnt - lanecnt - mainlinkoverhead) = \text{地板} (0.1436925\mu\text{s} * 270\text{mhz} * 270\text{mhz} * 4 - (4 * 4 * 5 \{V19\}))$

表2-113列出了32通道3D LPCM的相关详细信息所需的七个可用示例频率的音频支持。
*AudioSDPMargin*使用110%的边距。

表2-113：DMT = 57H模式（信息性）上的32通道3D LPCM音频要求

AudioFs	32 kHz	44.1 kHz	48 kHz	88.2 kHz	96 kHz	176.4 kHz	192 kHz
<i>AudioSamplesReqPerLine</i>	0.24	0.33	0.36	0.66	0.72	1.32	1.44
<i>AudioSymbolCntReqPerHblank</i>	60	76	81	135	145	251	272

考虑到应在使用4车道540MHz配置的水平空白期内可用278个符号，应支持所有音频示例频率，最高为192KHz。但是，只有123个符号可在4车道270MHz配置中可用，只能支持32、44.1和48KHz 32-CHANNEL音频样本率。在此配置中，HBLANK支持88.2、96、176.4和192 KHz音频样本频率的能力不足。

2.2.5.3.8 没有主视频流的音频数据包的运输

DisplayPort标准支持音频流的传输，而在链接上没有传输视频流。

当链接在没有主视频流的情况下处于活动状态时，源设备必须插入BS符号，然后是VB-ID，MVID7: 0和MAUD7: 0，每213或8192链接符号称为“BS符号集”。

在这种情况下，VB-ID中的NovideoStream_Flag和verticalblanking_flag位（分别分别为3和0）都必须设置为1，并且MVID7: 0被清除为00h。

源设备必须在每个BS符号集后传输Audio_stream SDP。此外，源设备必须在每512th BS符号集后一次插入音频Infotrame SDP和AUDIO_TIMESTAMP SDP。

2.2.5.4 Audio_copyManagement SDP

Audio_copyManagement SDP的传输是一种特定应用程序的选项。当传输音频流并具有从更高级别应用程序中的特定副本管理要求时，还必须运输Audio_copyManagement SDP描述音频流的复制管理属性的SDP。对于没有副本管理要求的一般音频流，Audio_copyManagement SDP的传输是可选的（HB3复制管理类型字段（位7: 2）如果发送到00H，则可以使用）。

DP接收器设备可以通过在其功能声明中清除ACM_ISRC_SUP位来表明它不支持ACM或ISRC。在这种情况下，DP源设备不得将任何Audio_copyManagement SDP发送到接收器设备（在不发送任何带有复制管理要求的音频流到接收器设备上）。如果DP接收器设备支持Audio_copyManagement，并且在运输音频流之后，在两个视频帧中没有看到Audio_copyManagement SDP，则必须处理运输的音频流没有复制管理要求。

如果通过高级应用程序启用了DP源设备，则必须支持Audio_copyManagement SDP传输（除非接收器设备不支持ACM/ISRC）。

当运输带有复制管理要求的新音频流，或者在音频流副本管理要求中发生任何更改时，必须在受影响的音频流的传输开始的一框架内传输带有最新信息的Audio_copyManagement SDP。只要副本管理要求持续下去，就必须继续每帧发送一次数据包。

表2-114： Audio_copyManagement SDP的标题字节

Byte #	Bit #	Content
HB0	7:0	Secondary-Data Packet ID INFOFRAME SDP, Audio_TimeStamp SDP, Audio_Stream SDP, Audio_CopyManagement SDP, and ISRC SDP must have the same Packet ID when they are associated with the same audio stream.
HB1	7:0	05h
HB2	7:0	Least Significant Eight bits of (Data Byte Count - 1) For an Audio_CopyManagement SDP, the value must be 0Fh (i.e., Data Byte Count = 16 bytes). Unused bytes must be zero-padded.
HB3	1:0	Most Significant 2 Bits of (Data Byte Count - 1)
	7:2	Copy Management Type Indicates the type of copy management associated with the audio stream. 000000 = No Copy Management requirement is indicated by the higher-level application, Equivalent to no transmission of the Audio_CopyManagement SDP. 000001 = IEC 60958 Audio. Copy management is required through IEC 60958 Serial Copy Management System (SCMS) control bits, which are embedded in the audio stream channel status. 000010 = DVD Audio. DVD audio copy management is required. See DVD Specifications for Read-Only Disc, Part 4: Audio Specification, Version 1.2, for details regarding the copy control attributes in the data payload. All other values are RESERVED.

Audio_copyManagement SDP数据

Audio_copyManagement SDP的数据有效载荷取决于HB3复制管理类型字段（位7： 2）值：

- 复制管理类型=无复制管理 - 没有有效的数据。所有16个字节均为0。
- 复制管理类型= IEC 60958音频 - 无效数据。所有16个字节均为0。
- 复制管理类型= DVD音频 - 数据内容的1个字节， 其余15个字节用0填充。有关数据内容中复制控制属性的详细信息， 请参见DVD规格， 仅阅读光盘， 第4部分： 音频规范， 版本1.2。
 - 位1: 0 - 音频质量
 - 位3: 2 - 音频副本许可
 - 位6: 4 - 音频副本号码
 - 位7 - 音频交易

图2-36显示了等于16个字节的有效载荷大小。允许其有效载荷大小等于32个字节，未使用字节为零。

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
DB0	DB4	DB8	DB12	HB2	HB3	HB1
DB1	DB5	DB9	DB13	PB2	PB3	PB1
DB2	DB6	DB10	DB14	DB0	DB4	HB2
DB3	DB7	DB11	DB15	DB1	DB5	PB2
PB4	PB5	PB6	PB7	DB2	DB6	HB3
SE	SE	SE	SE	DB3	DB7	PB3
				PB4	PB5	DB0
				DB8	DB12	DB1
				DB9	DB13	DB2
				DB10	DB14	DB3
				DB11	DB15	PB4
				PB6	PB7	DB4
				SE	SE	DB5
						DB6
						DB7
						PB5
						...
						DB12
						DB13
						DB14
						DB15
						PB8
						SE

图2-36: Audio_copyManagement SDP在主链接上

2.2.5.5国际标准记录代码SDP

国际标准记录代码（ISRC）SDP的运输是特定于申请的选项。当传输音频流并从更高级别的应用程序中具有特定的ISRC和/或UPC/EAN要求时，还必须传输描述音频流的UPC_EAN_ISRC信息的ISRC SDP。对于没有ISRC或UPC/EAN要求的一般音频流，将不会发送ISRC SDP。

DP接收器设备可以通过在其功能声明中清除ACM_ISRC_SUP位来表明它不支持ACM或ISRC。在这种情况下，DP源设备不得将任何ISRC SDP发送到接收器设备（在不发送任何有ISRC需求的音频流的基础上）。如果DP接收器设备支持ISRC，并且在传输音频流后将在两个框架内看到ISRC SDP，则应处理运输的音频流不具有ISRC要求。

如果通过高级应用程序启用了DP源设备，则必须支持ISRC SDP传输（除非接收器设备不支持ACM/ISRC）。当传输带有ISRC信息的音轨带有ISRC信息时，必须多次传输ISRC SDP（有关更多详细信息，请参见ISRC状态说明）。如果运输，必须在主视频流的水平和垂直空白期间发送ISRC SDP。

有关UPC_EAN_ISRC字段的详细信息，请参见仅阅读光盘的DVD规范，第4部分：音频规范，版本1.2。

2.2.5.5.1 ISRC SDP标头

表2-115描述了ISRC SDP的标题字节。

表2-115: ISRC SDP的标题字节

Byte #	Bit #	Content
HB0	7:0	Secondary-Data Packet ID INFOFRAME SDP, Audio_TimeStamp SDP, Audio_Stream SDP, Audio_CopyManagement SDP, and ISRC SDP must have the same Packet ID when they are associated with the same audio stream.
HB1	7:0	06h
HB2	7:0	Least Significant Eight bits of (Data Byte Count - 1) For an ISRC SDP, the value must be 0Fh (i.e., Data Byte Count = 16 bytes).

表2-115: ISRC SDP的标题字节 (续)

Byte #	Bit #	Content
HB3	1:0	Most Significant 2 Bits of (Data Byte Count - 1)
	2	ISRC Type Indicates whether the ISRC information is delivered in a single ISRC SDP or two ISRC SDPs. A complete set of UPC_EAN_ISRC information can be sent in one or two ISRC SDPs. 0 = UPC_EAN_ISRC information has only 16 bytes; therefore, only a single SDP is sent. 1 = UPC_EAN_ISRC information has the full 32 bytes; therefore, two ISRC SDPs are required to be sent. <i>Note: SDP size limitation was kept mainly to ease DP-to-HDMI transport protocol converter device implementation.</i>
	3	ISRC SDP # Indicates the packet number if the ISRC information is to be sent in two ISRC SDPs (i.e., ISRC Type bit is set to 1). Always cleared to 0 if the ISRC Type bit is cleared to 0. 0 = ISRC SDP contains the first 16 bytes (15:0) of the UPC_EAN_ISRC information. 1 = ISRC SDP contains the second 16 bytes (31:16) of the UPC_EAN_ISRC information.
	4	ISRC Valid Indicates the UPC_EAN_ISRC information contained within the ISRC SDP is valid. 0 = Source device cannot obtain the complete UPC_EAN_ISRC information. 1 = ISRC information is complete and valid.
	7:5	ISRC Status Indicates status of the ISRC information in reference to an audio track position. Each track of audio may have the specific ISRC and/or UPC/EAN information. Per DVD Audio specification, if UPC_EAN_ISRC information exists, the DP Source device must send the set of ISRC SDPs multiple times per audio track: - At least two complete sets of ISRC SDPs with the ISRC Status of 000 at the beginning of the audio track. - Multiple complete set of ISRC SDPs with the ISRC Status of 010 in the middle of the audio track. - At least two complete sets of ISRC SDPs with the ISRC Status of 100 before the end of the audio track.

2.2.5.5.2 ISRC SDP数据

ISRC SDP数据有效载荷取决于HB3 ISRC类型位（位2）：

- 如果将ISRC SDP的HB3 ISRC SDP # 位（位3）清除为0，则数据有效负载包含upc_ean_isrc信息的字节15：0。
- 如果ISRC SDP的HB3 ISRC SDP # 位（位3）设置为1，则数据有效负载包含UPC_EAN_ISRC信息的字节31：0。

图2-37显示了等于16个字节的的有效载荷大小。允许其有效载荷大小等于32个字节，未使用字节为零。

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
DB0	DB4	DB8	DB12	HB2	HB3	HB1
DB1	DB5	DB9	DB13	PB2	PB3	PB1
DB2	DB6	DB10	DB14	DB0	DB4	HB2
DB3	DB7	DB11	DB15	DB1	DB5	PB2
PB4	PB5	PB6	PB7	DB2	DB6	HB3
SE	SE	SE	SE	DB3	DB7	PB3
				PB4	PB5	DB0
				DB8	DB12	DB1
				DB9	DB13	DB2
				DB10	DB14	DB3
				DB11	DB15	PB4
				PB6	PB7	DB4
				SE	SE	DB5
						DB6
						DB7
						PB5
						...
						DB12
						DB13
						DB14
						DB15
						PB8
						SE

图2-37：主链接上方的ISRC SDP

2.2.5.6 video_stream_configuration SDP

当DP接收器设备具有DPCD R1.2或更高和立体镜3D渲染能力（如在EDID中的表达）时，DP源设备可以通过清除MSA Packet Misc1字段来发送VSC SDP的3D立体信号传导，当时DP Sink Device的位置2: 1, 到00。 vsc_sdp_extension_for_colorimetry_supported in dprx_feature_enumeration_list寄存器（dpcd地址02210H, 位3）设置为1, DP源设备可以通过设置Misc1 Field的VSC来发送pixel设备, 可以发送pixel编码/色彩图表, vsc_sdp_extension_for_colorimetry_supported位, DP源设备还必须通过读取EDID读取DP接收器设备所支持的像素编码和比色法格式, 并且必须选择DP接收器设备支持的格式。

对于EDP接口, VSC SDP也可以用于传达面板自我刷新（PSR）控制。 HB2在表2-116中标识的VSC REV 1 SDP和VSC REV 2 SDP都在SDP有效载荷的字节0（db0）内携带3D立体带信号。 VSC REV 2 SDP还有七个额外的有效负载字节, 以携带PSR控制信息。这些附加VSC Rev 2 SDP的详细信息在*eDP v1.4b*中描述。当源设备发送非STEREO视频时, 可以通过将DB0设置为0H来表示。（请参阅表2-117。）

2.2.5.6.1 VSC SDP Header

表2-116描述了VSC SDP的标题字节。

表2-116: VSC SDP的标题字节

Byte #	Bit #	Content
HB0	7:0	Secondary-Data Packet ID = 0
HB1	7:0	07h
HB2	4:0	Revision Number 01h = VSC SDP supporting 3D stereo only. 02h = VSC SDP supporting 3D stereo and PSR (applies to eDP v1.3 and higher). 03h = VSC SDP supporting 3D stereo and PSR2 (applies to eDP v1.4 and higher). 04h = RESERVED for PSR2 use extension (applies to eDP v1.4 and higher). 05h = VSC SDP supporting 3D stereo, PSR2, and Pixel Encoding/Colorimetry Format indication. A DP Source device is allowed to indicate the pixel encoding/colorimetry format to the DP Sink device with VSC SDP only when the DP Sink device supports it (i.e., VSC_SDP_EXTENSION_FOR_COLORIMETRY_SUPPORT bit in the DPRX_FEATURE_ENUMERATION_LIST register (DPCD Address 02210h, bit 3) is set to 1). All other values are RESERVED.
	7:5	RESERVED Read all 0s.
HB3	4:0	Number of Valid Data Bytes 01h = VSC SDP supporting 3D stereo only (HB2 = 01h). 08h = VSC packet supporting 3D stereo + PSR (HB2 = 02h). 0Ch = VSC SDP supporting 3D stereo + PSR2 (HB2 = 03h). 13h = VSC SDP supporting 3D stereo, + PSR2, + Pixel Encoding/Colorimetry Format indication (HB2 = 05h).
	7:5	RESERVED Read all 0s.

2.2.5.6.2 VSC SDP有效载荷3D立体声

表2-117显示了VSC SDP有效负载的字节0（DB0）的位定义。通过Rev 5（HB2 = 05H）SDP，VSC Rev 1（HB2 = 01H）的数据字节0（DB0）的位定义相同。

表2-117: VSC SDP有效载荷DB0

DB0, bits 3:0 = Stereo Interface Method Code	DB0, bits 7:4 = Stereo Interface Method-Specific Parameter
0 = Non Stereo Video	Must be cleared to 0x0.
1 = Frame/Field Sequential	Frame/Field Sequential Type Value 0x0: Left and Right view indication based on the MISC1 field, bits 2:1. Value 0x1: Right when Stereo Signal = 1 Value 0x2: Left when Stereo Signal = 1 All other values for this field (0x3-0xF) are RESERVED for future use. Note: <i>Stereo Signal refers to an out-of-band signaling, indicating the left and right frame and can be conveyed using VESA stereo connector or some other equivalent means.</i>
2 = Stacked Frame	Stacked Frame Type Value 0x0: Left view is on top and right view on bottom. All other values for this field (0x1-0xF) are RESERVED for future use.

表2-117: VSC SDP有效载荷DB0 (续)

DB0, bits 3:0 = Stereo Interface Method Code	DB0, bits 7:4 = Stereo Interface Method-Specific Parameter																		
3 = Pixel Interleaved	Interleave Pattern Type For interleave pattern types 1 through 4, a 2x2 pattern grid (as shown in Figure 2) is used to illustrate the interleaving pattern of the composited stereo frame. Value 0x0: Interleave pattern corresponding to 2-way horizontally interleaved stereo where right view pixels are on even lines. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Left View Pixel</td><td>Left View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Right View Pixel</td><td>Right View Pixel</td></tr></table> Value 0x1: Interleave pattern corresponding to 2-way horizontally interleaved stereo where right view pixels are on odd lines. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Right View Pixel</td><td>Right View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Left View Pixel</td><td>Left View Pixel</td></tr></table> Value 0x2: Interleave pattern corresponding to a checkerboard pattern with alternating left and right view pixels starting with left view pixel. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Left View Pixel</td><td>Right View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Right View Pixel</td><td>Left View Pixel</td></tr></table>	Composited Frame's 1 st Active Line	Left View Pixel	Left View Pixel	Composited Frame's 2 nd Active Line	Right View Pixel	Right View Pixel	Composited Frame's 1 st Active Line	Right View Pixel	Right View Pixel	Composited Frame's 2 nd Active Line	Left View Pixel	Left View Pixel	Composited Frame's 1 st Active Line	Left View Pixel	Right View Pixel	Composited Frame's 2 nd Active Line	Right View Pixel	Left View Pixel
	Composited Frame's 1 st Active Line	Left View Pixel	Left View Pixel																
	Composited Frame's 2 nd Active Line	Right View Pixel	Right View Pixel																
	Composited Frame's 1 st Active Line	Right View Pixel	Right View Pixel																
	Composited Frame's 2 nd Active Line	Left View Pixel	Left View Pixel																
Composited Frame's 1 st Active Line	Left View Pixel	Right View Pixel																	
Composited Frame's 2 nd Active Line	Right View Pixel	Left View Pixel																	

表2-117: VSC SDP有效载荷DB0 (续)

DB0, bits 3:0 = Stereo Interface Method Code	DB0, bits 7:4 = Stereo Interface Method-Specific Parameter												
3 = Pixel Interleaved (continued)	Value 0x3: Interleave pattern corresponding to 2-way vertically interleaved stereo starting with left view pixels. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Left View Pixel</td><td>Right View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Left View Pixel</td><td>Right View Pixel</td></tr></table> Value 0x4: Interleave pattern corresponding to 2-way vertically interleaved stereo starting with right view pixels. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Right View Pixel</td><td>Left View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Right View Pixel</td><td>Left View Pixel</td></tr></table> All other values for this field (0x5-0xF) are RESERVED for future use.	Composited Frame's 1 st Active Line	Left View Pixel	Right View Pixel	Composited Frame's 2 nd Active Line	Left View Pixel	Right View Pixel	Composited Frame's 1 st Active Line	Right View Pixel	Left View Pixel	Composited Frame's 2 nd Active Line	Right View Pixel	Left View Pixel
Composited Frame's 1 st Active Line	Left View Pixel	Right View Pixel											
Composited Frame's 2 nd Active Line	Left View Pixel	Right View Pixel											
Composited Frame's 1 st Active Line	Right View Pixel	Left View Pixel											
Composited Frame's 2 nd Active Line	Right View Pixel	Left View Pixel											
4 = Side-by-side	Value 0x0: A value of 0x0 indicate left half of the image represents left EYE view and right half represents right EYE view Value 0x1: A value of 0x1 indicate left half of the image represents right EYE view and right half represents left EYE view All other values for this field (0x2-0xF) are RESERVED for future use.												
Values 0x5-0xF	RESERVED												

图2-38显示了像素交织方法的像素模式表示。

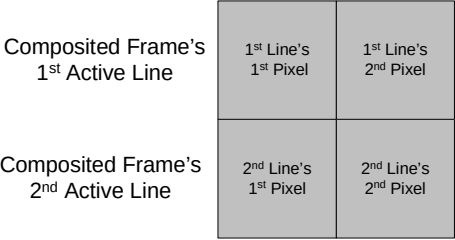


图2-38：像素交织方法的像素模式表示

图2-39显示了对应于2路交织的立体声的交织模式，其中正确的图像像素在偶数线上。

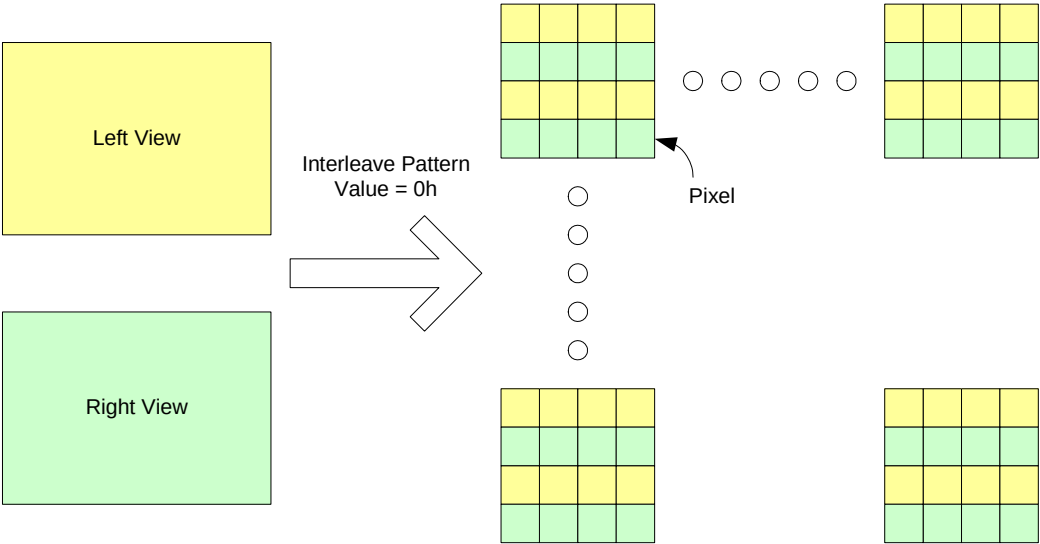


图2-39：交织模式对应于2向相互交织的立体声，其中正确的图像像素在线上

图2-40显示了与带有交替的左图和右图像像素的棋盘格式相对应的交流图案。

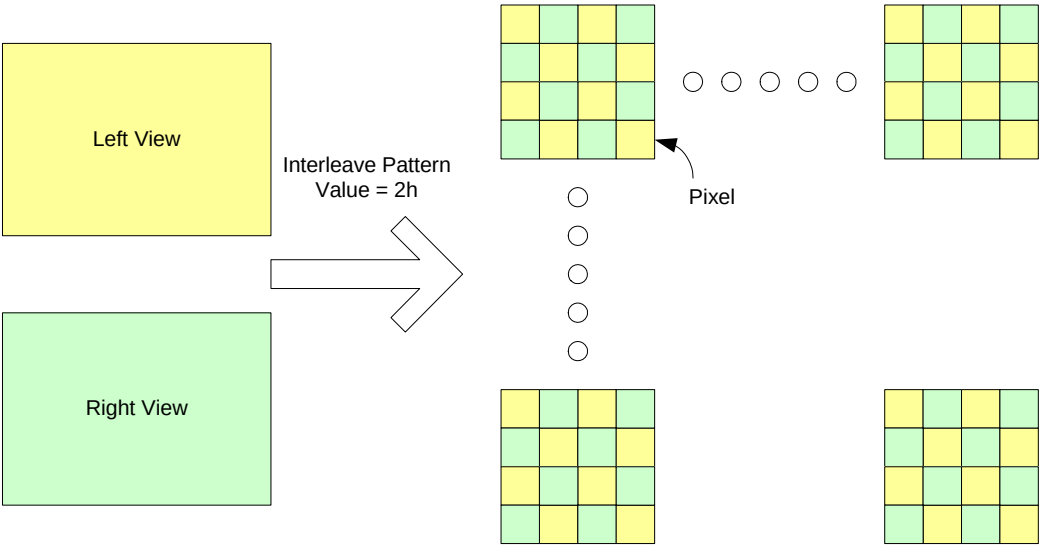


图2-40： 交流板图案与左图和右图像像素相对应的交流模式

图2-41显示了并排立体声格式，左视图后面是右视图。

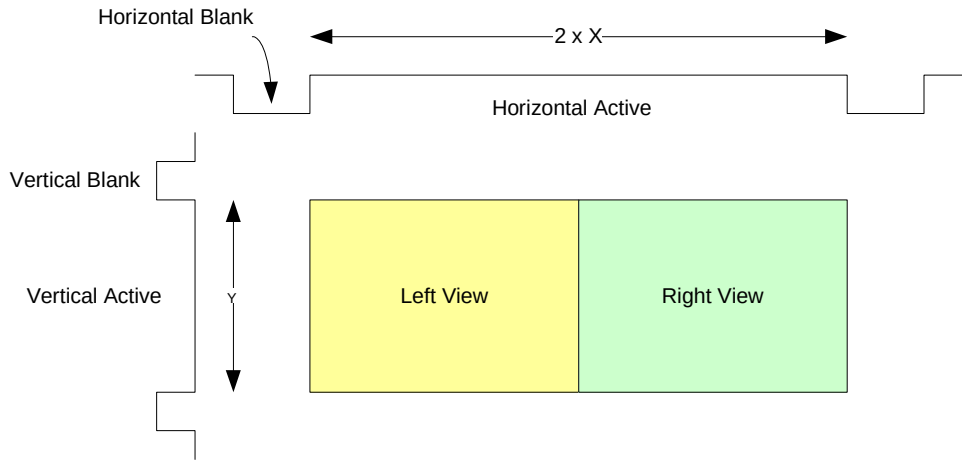


图2-41： SID e-by侧立体声格式，左视图，然后是r ight视图

图2-42显示了带有左视图的字段顺序立体声格式，并通过MSA数据包的MISC1字段2：1表示右视图。

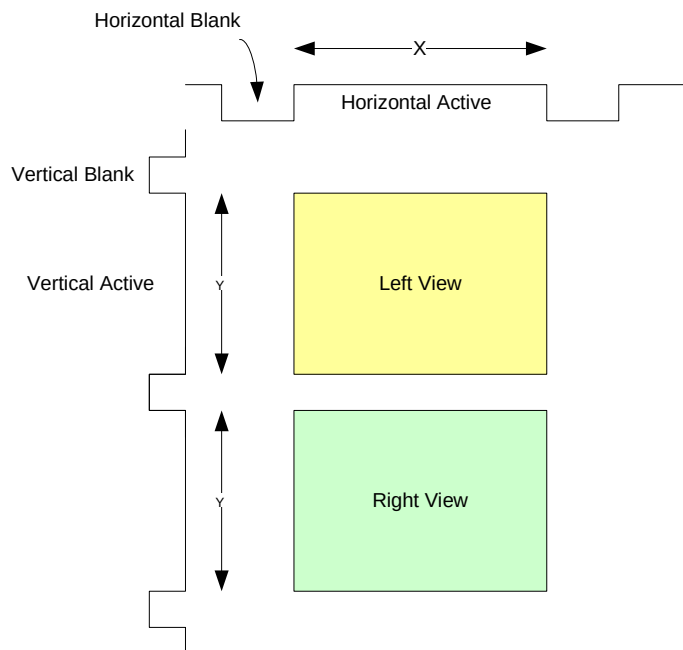


图2-42：字段顺序立体声格式，带有左视图和右视图，通过MISC1字段指示，位于MSA的位2：1

图2-43显示了堆叠的顶部，底部立体声格式，在底部和右图左图。

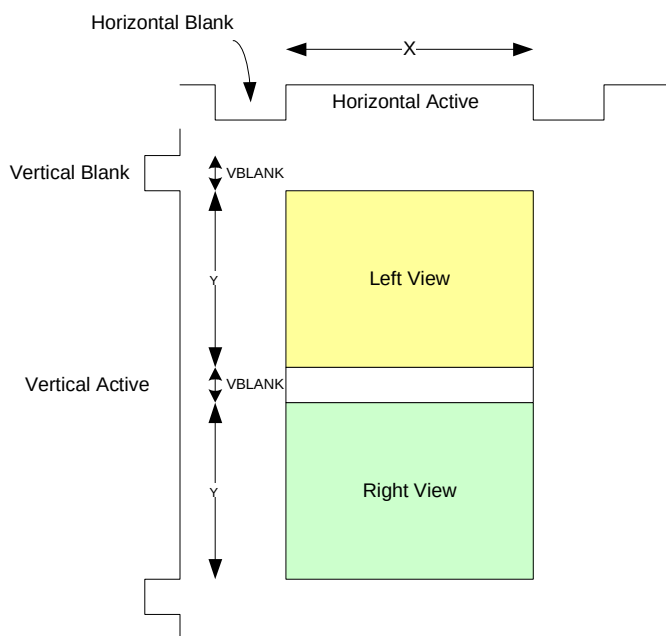


图2-43：堆叠的顶部，底部立体声格式，底部和右图左图

图2-44显示了主链接上的VSC SDP映射，有效载荷大小等于16字节。 允许其有效载荷大小等于32个字节，未使用字节为零。

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
DB0	DB4	DB8	DB12	HB2	HB3	HB1
DB1	DB5	DB9	DB13	PB2	PB3	PB1
DB2	DB6	DB10	DB14	DB0	DB4	HB2
DB3	DB7	DB11	DB15	DB1	DB5	PB2
PB4	PB5	PB6	PB7	DB2	DB6	HB3
SE	SE	SE	SE	DB3	DB7	PB3
				PB4	PB5	DB0
				DB8	DB12	DB1
				DB9	DB13	DB2
				DB10	DB14	DB3
				DB11	DB15	PB4
				PB6	PB7	DB4
				SE	SE	DB5
						DB6
						DB7
						PB5
						...
						DB12
						DB13
						DB14
						DB15
						PB8
						SE

图2-44：主链接上的VSC SDP

2.2.5.6.3 VSC SDP Payload for PSR2

See *eDP v1.4b*.

2.2.5.6.4 VSC SDP有效载荷用于像素编码/比色法格式

表2-118显示了VSC SDP的DB16至DB18的位定义，用于像素编码和比色格式指示。

表2-118: DB18的VSC SDP有效载荷

VSC Byte Offset	Value								Description/Format
	7	6	5	4	3	2	1	0	
10h = DB16	Pixel Encoding and Colorimetry Formats								
	RGB = 0h				RGB				
					0h				sRGB
					1h				RGB wide gamut fixed point
					2h				RGB wide gamut floating point (scRGB)
					3h				AdobeRGB
					4h				DCI-P3
					5h				Custom Color Profile
					6h				ITU-R BT.2020 R'G'B'
					7h – Fh				RESERVED
	YCbCr 444 = 1h				YCbCr 444				
					0h				ITU-R BT.601
					1h				ITU-R BT.709
					2h				xvYCC ₆₀₁
					3h				xvYCC ₇₀₉
					4h				sYCC ₆₀₁
					5h				Adobe _{YCC601}
					6h				ITU-R BT.2020 Y' _C C' _{BC} C' _{RC}
					7h				ITU-R BT.2020 Y'C' _B C' _R
					8h – Fh				RESERVED

表2-118: VSC SDP有效载荷DB16至DB18 (续)

VSC Byte Offset	Value								Description/Format
	7	6	5	4	3	2	1	0	
10h = DB16	Pixel Encoding and Colorimetry Formats (Continued)								
	YCbCr 422 = 2h				YCbCr 422				
					0h				ITU-R BT.601
					1h				ITU-R BT.709
					2h				xvYCC ₆₀₁
					3h				xvYCC ₇₀₉
					4h				sYCC ₆₀₁
					5h				AdobeYCC ₆₀₁
					6h				ITU-R BT.2020 Y'C'C' _{BC} C' _{RC}
					7h				ITU-R BT.2020 Y'C'C' _B C' _R
					8h – Fh				RESERVED
	YCbCr 420 = 3h				YCbCr 420				
					0h				ITU-R BT.601
					1h				ITU-R BT.709
					2h				xvYCC ₆₀₁
					3h				xvYCC ₇₀₉
					4h				sYCC ₆₀₁
					5h				AdobeYCC ₆₀₁
					6h				ITU-R BT.2020 Y'C'C' _{BC} C' _{RC}
					7h				ITU-R BT.2020 Y'C'C' _B C' _R
					8h – Fh				RESERVED
	Y Only = 4h				Y Only				
					0h				DICOM Part 14 Grayscale Display Function
					1h – Fh				RESERVED
	RAW = 5h				RAW				
					0h				Custom Color Profile
					1h – Fh				RESERVED
	RESERVED = 6h – Fh				–				RESERVED

表2-118: VSC SDP有效载荷DB16至DB18 (续)

VSC Byte Offset	Value								Description/Format
	7	6	5	4	3	2	1	0	
11h = DB17	Dynamic Range and Component Bit Depth								
	0, 1	—						Dynamic Range (Bit 7) 0 = VESA range 1 = CEA range	
	—	0h			—			RESERVED (Bit 6:3)	
	—			0h – 7h			Component Bit Depth Type (Bits 2:0) Possible Component Bit Depth values are dependent on the encoding format and colorimetry.		
	—			0h – 4h			For pixel encoding format RGB, the following Component Bit Depth values are defined: 0 = 6bpc 1 = 8bpc 2 = 10bpc 3 = 12bpc 4 = 16bpc All other values are RESERVED.		
	—			1h – 4h			For pixel encoding formats YCbCr444, YCbCr422, YCbCr420, and Y Only, the following Component Bit Depth values are defined: 1 = 8bpc 2 = 10bpc 3 = 12bpc 4 = 16bpc All other values are RESERVED.		
	—			0h – 4h			For pixel encoding format RAW, the following Component Bit Depth values are defined: 0 = RESERVED 1 = 6bpc 2 = 7bpc 3 = 8bpc 4 = 10bpc 5 = 12bpc 6 = 14bpc 7 = 16bpc		

表2-118： VSC SDP有效载荷DB16至DB18（续）

VSC Byte Offset	Value								Description/Format
	7	6	5	4	3	2	1	0	
12h = DB18	Content Type								
	0h				0	—			RESERVED (Bit 7:3)
	—				0h – 7h			Content Type (Bits 2:0) 0 = Not defined. 1 = Graphics. 2 = Photo. 3 = Video. 4 = Game. All other values are RESERVED. <i>Note: See CEA-861-F for the definition and expected processing by a stream sink for the above content types.</i>	

2.2.5.7扩展SDP

扩展SDP的传输是应用程序或供应商特定的选项。DP源设备必须通过AUX Transactions编写其24位IEEE_OUI（组织唯一ID）寄存器（DPCD地址00300H至00302H）（根据需要，根据需要进行其他数据）。然后，它必须通过AUX CH读取24位IEEE_OUI寄存器（DPCD地址为00400H至00402H）（根据需要，根据需要进行其他数据）。对24位ID的支持是强制性的。如果下游设备是分支设备，则IEEE OUI寄存器位于DPCD地址00500H至00502H。

扩展SDP仅在DP源和接收器设备都确认它们支持特定于供应商的扩展SDP使用情况后才必须使用扩展SDP。

分支设备必须将24位IEEE OUI的Aux CH写或读取请求交易转发到其下游设备。

图2-45显示了映射到主链接上的扩展SDP的最小尺寸。DP源设备必须为标题和数据生成奇偶元字节。使用奇偶校验通过DP接收器设备进行错误检查和校正是一种特定于实现的选项。

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
DB0	DB4	DB8	DB12	HB2	HB3	HB1
DB1	DB5	DB9	DB13	PB2	PB3	PB1
DB2	DB6	DB10	DB14	DB0	DB4	HB2
DB3	DB7	DB11	DB15	DB1	DB5	PB2
PB4	PB5	PB6	PB7	DB2	DB6	HB3
SE	SE	SE	SE	DB3	DB7	PB3
				PB4	PB5	DB0
				DB8	DB12	DB1
				DB9	DB13	DB2
				DB10	DB14	DB3
				DB11	DB15	PB4
				PB6	PB7	DB4
				SE	SE	DB5
						DB6
						DB7
						PB5
						...
						DB12
						DB13
						DB14
						DB15
						PB8
						SE

图2-45：主链接上的扩展SDP映射

2.2.5.7.1 Extension SDP Header

t 能够2-119总结了扩展的标题字节 SDP。

表2-119: 扩展SDP的标题字节

Byte#	Content
HB0	Usage of this byte is vendor-specific
HB1	04h
HB2	Usage of this byte is vendor-specific
HB3	Usage of this byte is vendor-specific

2.2.5.8 相机SDP

必须保留08h至0FH的SDP类型值，以用于供应商特定的相机应用程序。

2.2.5.8.1 相机SDP标头

相机应用程序的SDP标头应定义为表2-120中列出。

表2-120: 相机SDP的标题字节

Byte	Content
HB0	Secondary-Data Packet ID
HB1	SDP Type Valid values are 08h through 0Fh, which must be reserved for vendor-specific camera application use
HB2	Usage of this byte is vendor-specific
HB3	Usage of this byte is vendor-specific

相机SDP有效载荷包含框架主视频流的特定供应商辅助数据。图2-46列出了标题和数据有效载荷的主要链接映射。

4-Lane Main-Link				2-Lane Main-Link		1-Lane Main-Link
Lane 0	Lane 1	Lane 2	Lane 3	Lane 0	Lane 1	Lane 0
SS	SS	SS	SS	SS	SS	SS
HB0	HB1	HB2	HB3	HB0	HB1	HB0
PB0	PB1	PB2	PB3	PB0	PB1	PB0
DB0	DB4	DB8	DB12	HB2	HB3	HB1
DB1	DB5	DB9	DB13	PB2	PB3	PB1
DB2	DB6	DB10	DB14	DB0	DB4	HB2
DB3	DB7	DB11	DB15	DB1	DB5	PB2
PB4	PB5	PB6	PB7	DB2	DB6	HB3
...	...	...	...	DB3	DB7	PB3
DBN-16	DBN-12	DBN-8	DBN-4	PB4	PB5	DB0
DBN-15	DBN-11	DBN-7	DBN-3	...	...	DB1
DBN-14	DBN-10	DBN-6	DBN-2	DBN-8	DBN-4	DB2
DBN-13	DBN-9	DBN-5	DBN-1	DBN-7	DBN-3	DB3
PBN/4	PBN/4+1	PBN/4+2	PBN/4+3	DBN-6	DBN-2	PB4
SE	SE	SE	SE	DBN-5	DBN-1	...
				PBN/4+2	PBN/4+3	DBN-4
				SE	SE	DBN-3
						DBN-2
						DBN-1
						PBN/4-3
						SE

图2-46：摄像头SDP映射在主链接上

相机SDP运输（信息性）

包含原始数据的视频流与其他任何其他栅格的视频相同，使用垂直空白期，水平掩盖周期和主动视频周期，并使用单流传输（SST）格式进行运输，-或- 作为多流传输（MST）格式的流中的流。MSA和相关的SDP（如果需要）应在空白期内运输。

可以在有或没有主视频流的情况下传输相机SDP。 图2-47说明了相机原始主动像素（主视频流）和相机SDP的传输时机。

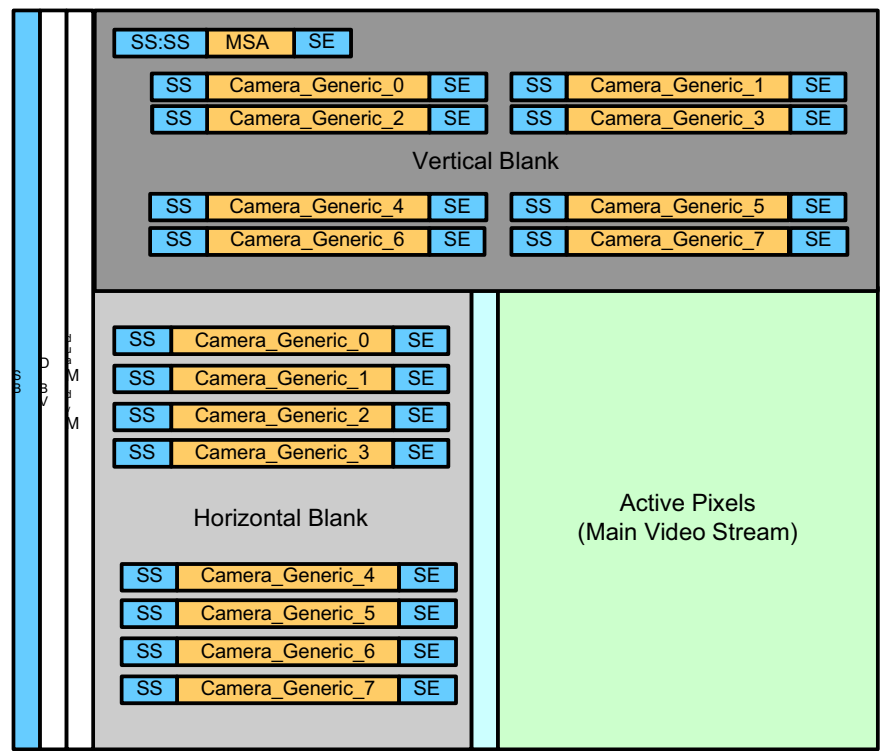


图2-47：摄像头原动像素（主视频流）和相机SDP传输

支持图片

TURE参数集辅助数据包（PPS SDP）为

DP v1.4的新手。

PPS在DSC v1.2, Annex E中的PPS语法定义中定义。在垂直空白间隔期间，使用主链接上的SDP格式发送PPS。如图2-48所示，接收器设备在扫描线的BS符号序列之前使用了最后的PPS，如图2-48所示。可以通过传输新的PPS在压缩帧之间更改压缩参数。PPS适用于所有后续图片，直到发送另一个PPS为止。接收器设备将保留最焦点的PP，直到DSC启用寄存器中的DSC启用位（DPCD地址00160H，BIT 0）被清除为0。

建议编码器和解码器使用DSC v1.2, Table E-2中指定的PPS值。

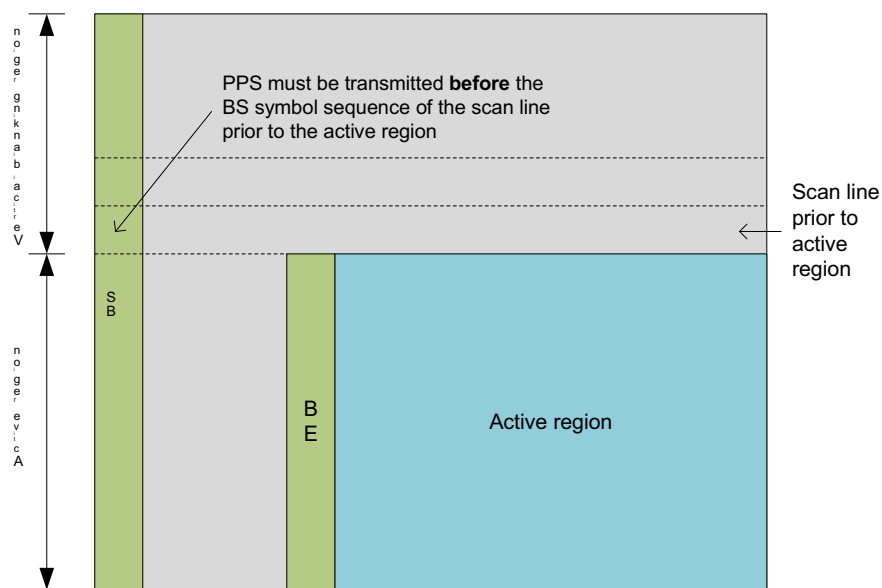


图2-48：PPS计时

2.2.5.9.1 PPS SDP标头和有效载荷字节

表2-121定义了PPS SDP标头字节。图2-49说明了4-， 2和1车道配置有效负载字节上主链接上的PPS SDP。

表2-121： PPS SDP标头字节 - HB0至HB3

Byte #	Bit #	Content
HB0	7:0	Secondary Data Packet ID = 0.
HB1	7:0	Secondary Data Packet Type = 10h.
HB2	7:0	Number of Payload Data Bytes - 1 = 7Fh.
HB3	7:0	RESERVED Read all 0s.

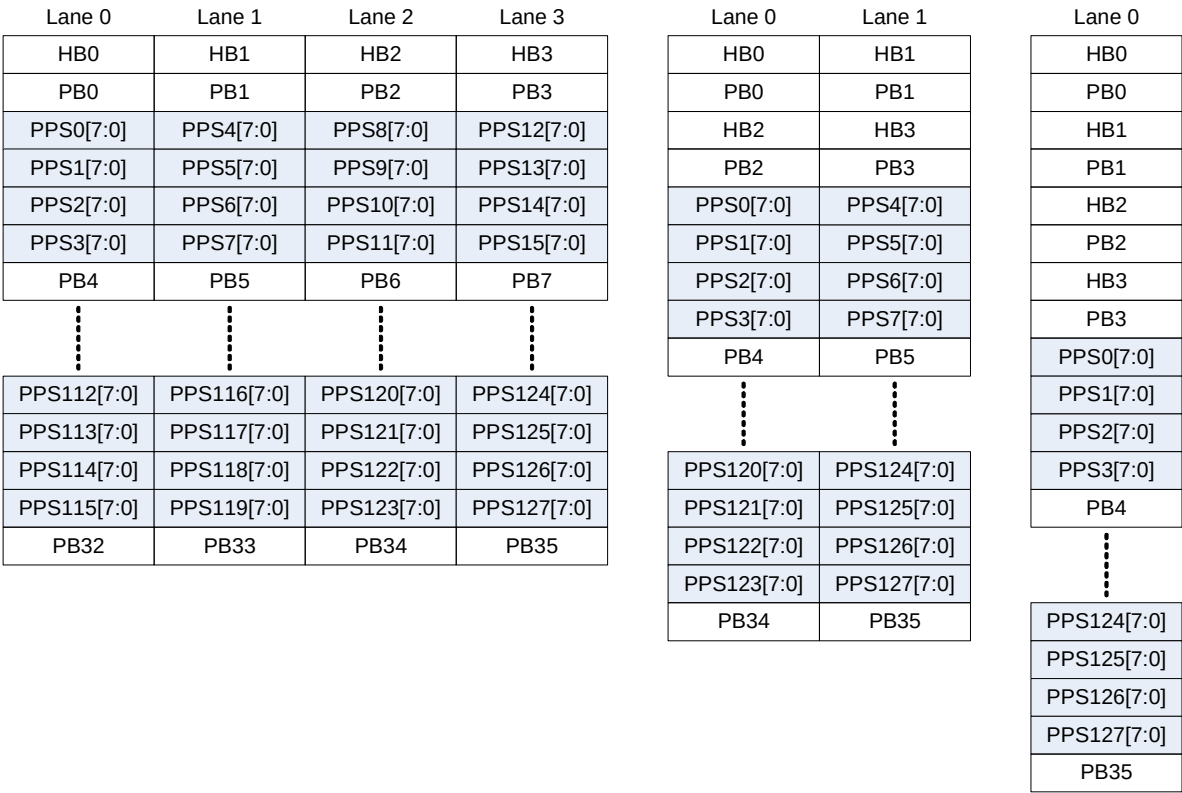


图2-49： PPS SDP有效载荷布局

2.2.5.10 视频流配置扩展VESA SDP

支持视频 o流配置扩展VESA (vsc_ext_v ESA) 是DP v1.4的新事物。

VSC_EXT_VESA SDP允许DP源设备发送与流相一致的视频流相关的元数据。VSC_EXT_VESA SDP链式框架实现了一个灵活的元数据传输框架，该框架可以使用单个VSC_EXT_VESA SDP来处理几个字节的有效载荷的传输，从而通过链接多个VSC_EXT_VESA SDP来传输有效载荷。VSC_EXT_VESA SDP由四个标头字节和32个有效载荷组成。DP v1.4 (及更高) 定义标题字节和关联的字段；有效载荷可以在DP v1.4 (及更高) 中定义，也可以按其他标准组织进行特定的功能支持。

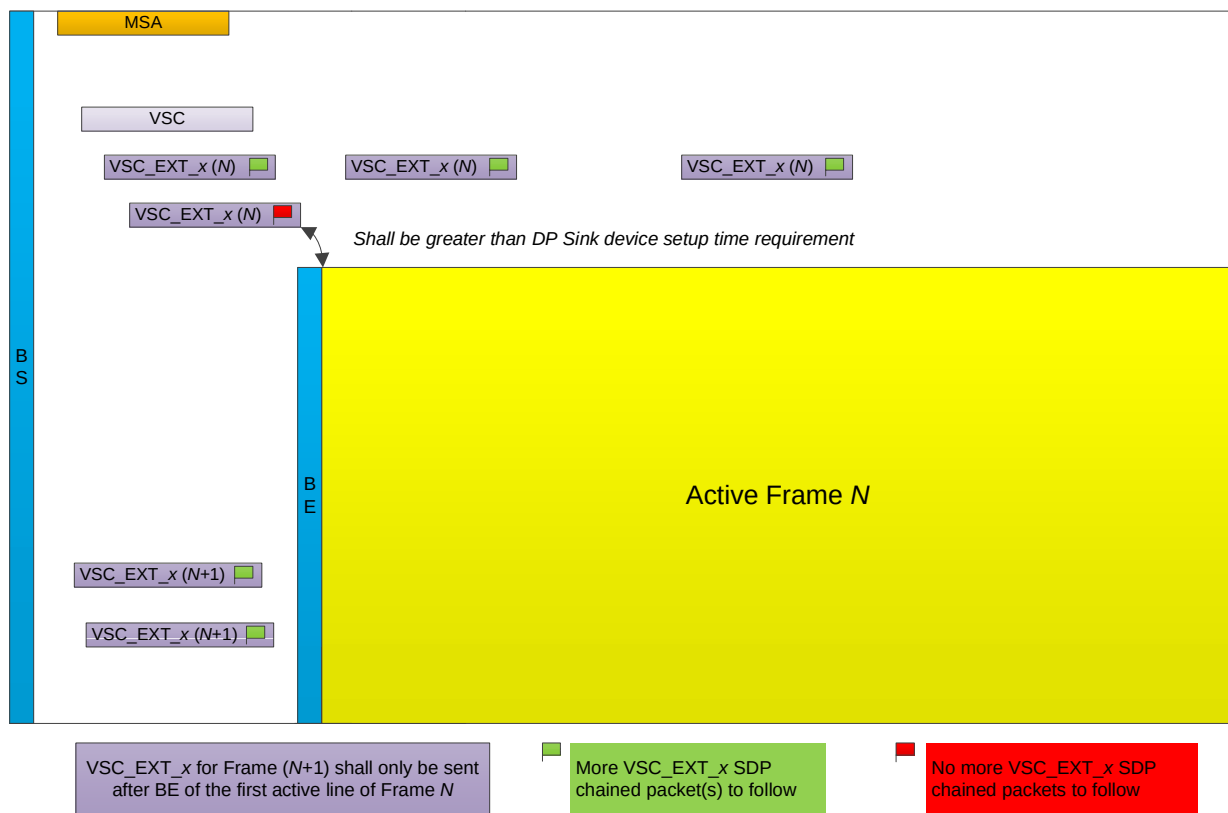
单个VSC_EXT_VESA SDP由四个标头字节和32个有效载荷组成。DP v1.4 (及更高) 定义标题字节和关联的字段；有效载荷可以在DP v1.4 (及更高) 中定义，也可以按其他标准组织进行特定的功能支持。

VSC_EXT_VESA SDP主要用于携带非CEA定义的与标头相关的元数据，该元数据描述了标题流内容属性；但是，当必须运输大型有效载荷数据时，可以将同一框架用于其他目的。

图2-50描述了VSC_EXT_VESA SDP链条和元数据传输框架。该框架由一个标志组成，该标志指示是否要作为SDP标头字节的一部分遵循任何其他VSC_EXT_VESA SDP。VSC_EXT_VESA SDP标头字节还包括一个标志，指示标题的数据包序列字段是否被顺序增加，

从0开始，作为vsc_ext_vesa SDP链框架的一部分。元数据传输框架还允许DP接收器设备在EDID/DisplayID中明确或隐式公开支持的有效载荷类型和相关的设置时间要求，并且要求DP源设备应满足DP Sink设备设置的所有VSC_EXT_VESA SDPS，以确保满足DP Sink设备设置的设置。

如图2-50所示，在单个DP框架内，VSC_EXT_VESA SDP框架允许框架N的元数据在设置时间和框架N+ 1的元数据之前最早运输在BE之后的第一个水平空白。



X = VESA或CEA (即VSC_EXT_X是VSC_EXT_VESA或VSC_EXT_CEA, 取决于SDP类型)

图2-50: VSC_EXT_VESA SDP框架

When a DP Sink device has a DPCD r1.4 (or higher) and its VSC_EXT_VESA_SDP_SUPPORTED bit in the DPRX_FEATURE_ENUMERATION_LIST register (DPCD Address 02210h, bit 4) set to 1, a DP Source device may send stream metadata using a single VSC_EXT_VESA SDP framework for the supported payload type exposed in EDID and/or通过DP接收器设备显示ID。

如果DP接收器设备, 除了设置vsc_ext_vesa_sdp_supported位, 还将vsc_ext_vesa_sdp_sdp_chained_supported设置为dprx_feature_enumeration_enumeration_list_list_list_list_list_list寄存器 (dpcd地址02210H, lit 5), 使用dp source sept selected sept sda DP接收器设备在EDID和/或DisplayID中暴露的有效负载类型的框架。

支持VSC_EXT_EXT_VESA SDP链的DP接收器设备应支持高达64个SDP的链条, 尺寸等于2KB。支持VSC_EXT_VESA SDP的链接的DP接收器设备应表示64以上的数字 (计数) 在VSC_EXT_EXT_EXT_VESA_SDP_SDP_MAX_CHANING_CHANING_COUNT FIELD中的数量 (计数) 超过64, vsc_ext_vesa_vesa_sdp_max_chaining register (DPCD地址022212H, BITS 7: 0.0)。如果DP接收器设备支持最大96个SDP的链接, 则该设备应编程VSC_EXT_VESA_SDP_MAX_CHANENGENGEND寄存器为32 DECIMAL (20H) 的值。

2.2.5.10.1 vsc_ext_vesa和vsc_ext_cea sdp标头和有效载荷字节

表2-122描述了VSC_EXT_VESA和VSC_EXT_CEA SDP标头字节。 表2-123描述了VSC_EXT_VESA和VSC_EXT_CEA SDP有效载荷字节（实际有效负载取决于有效负载类型）。

表2-122: VSC_EXT_VESA和VSC_EXT_CEA SDP标题字节 - HB0通过HB3

Byte #	Bit #	Content
HB0	7:0	Secondary Data Packet ID Specific to stream (usually 00h).
HB1	7:0	Secondary Data Packet Type 20h = VESA. 21h = CEA.
HB2	1:0	VSC_EXT_VESA SDP Framework Version. Cleared to 0s.
	5:2	RESERVED Read all 0s.
	6	0 = Packet Sequence field is fixed. 1 = Packet Sequence field is incremented with chained packets.
	7	0 = No chained packets to follow. 1 = Chained packet(s) to follow.
HB3	4:0	Packet Sequence Range is from 0 to 31. Shall be cleared to 0 if one SDP can pack payload data; to be wrapped around for chaining of more than 32 VSC_EXT_VESA SDPs.
	7:5	RESERVED Read all 0s.

表2-123: VSC_EXT_VESA和VSC_EXT_CEA SDP有效载荷字节 - DB0通过DB31

Byte #	Bit #	Content
DB0	7:0	Payload Byte 1
DB1	7:0	Payload Byte 2
DB2	7:0	Payload Byte 3
...	...	...
DB30	7:0	Payload Byte 31
DB31	7:0	Payload Byte 32

2.2.5.11 视频流配置扩展CEA SDP

支持视频流配置扩展CEA (VSC_EXT_CEA) 是DP v1.4的新事物。

VSC_EXT_CEA SDP应用于具有超过28个字节有效载荷的未来CEA Infoframes。在第2.2.5.1节中所述的Infoframe SDP中，其有效载荷大小为28或更少的CEA Infoframe。

VSC_EXT_CEA_SDP的SDP类型值为21H (请参阅表2-122)。VSC_EXT_CEA SDP的规范与VSC_EXT_VESA SDP的规范相同 (请参阅第2.2.5.10节)。

When a DP Sink device has a DPCD r1.4 (or higher) and its VSC_EXT_CEA_SDP_SUPPORTED bit in the DPRX_FEATURE_ENUMERATION_LIST register (DPCD Address 02210h, bit 6) set to 1, a DP Source device may send stream metadata using a single VSC_EXT_CEA SDP framework for the supported payload type exposed in EDID and/or通过DP接收器设备显示ID。

如果DP接收器设备，除了设置vsc_ext_cea_sdp_supported位外，还将vsc_ext_ext_cea_sdp_cea_sdp_chaining_supported在dprx_feature_enumeration_list_list_list_list_list寄存器 (dpcd地址02210H, bit 6) 中设置为1，DP源设备在发送选定的设备 (dpcd地址02210H, bit 6) 中设置为dprx_feature_enumeration_list_list_list_list_list，DP接收器设备在EDID和/或DisplayID中暴露的有效负载类型的框架。

支持VSC_EXT_CEA SDP链路的DP接收器设备应支持高达64个SDP的链接，大小等于2KB。支持VSC_EXT_CEA SDP的链接的DP接收器设备应表示64以上的数字 (计数) 在VSC_EXT_EXT_CEA_CEA_SDP_SDP_MAX_CHANING_CHANING_COUNT FIELD中的数量 (计数) 超过64。如果DP接收器设备支持最大96个SDP的链接，则该设备应编程VSC_EXT_CEA_SDP_MAX_CHANENGENGEND寄存器为32 DECIMAL (20H) 的值。

2.2.5.12 SST模式下的SDP分裂

在SST模式下对SDP拆分的支持是DP v1.1的新事物 4。

DP源设备应支持SST和MST格式的SDP分割。DP源设备可以选择何时使用SDP拆分功能。在SST模式下，通过在dprx_feature_enumeration_list寄存器（DPCD地址02210H，位1）中设置SST_SPLIT_SDP_CAP位来指示DP接收器设备重建Split SDP的功能。

Note: In MST mode, the capability for a DP Sink device to reconstruct a split SDP is normative (see Section 2.6.3.3.2 for details).

SDP拆分是用主流拆分SDP的过程，包括BE/BS符号序列，相关数据（VB-ID/MVID7: 0/M AUD7: 0）和MSA数据包，如图2-51所示。

仅允许一个级别的分裂。禁止由另一个SDP拆分的SDP。SDP流可以随时被中断，并且可能会多次中断（例如，当水平空白较短而辅助数据包长度很长时）。在SST实现中，SDP的中断和恢复可以在任何单个符号边界上发生。

Note: In MST implementations, interruption and resumption of the SDP shall occur at the 4-symbol sequence boundary (see Section 2.6.3.3.2 for details).

在HBLANK和VBLANK期间可能会发生SDP分裂。在传输IDLE_PATTERN时也可能发生SDP拆分（没有传输主视频流像素数据）。

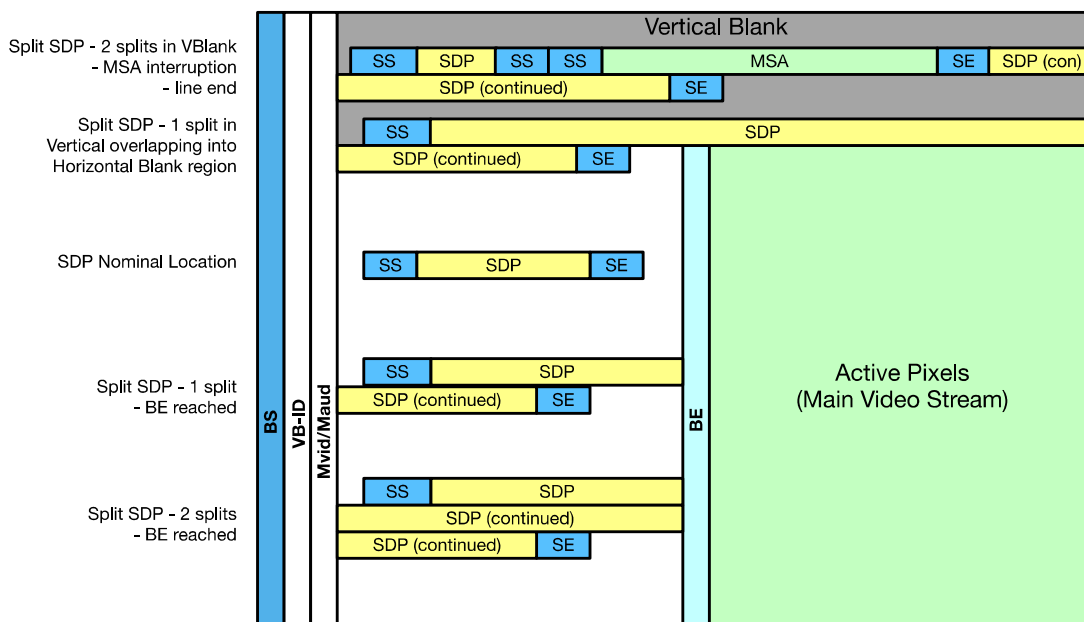


图2-51：SST模式下的SDP拆分示例

2.2.6

SDP的ECC

所有SDP必须是PR 通过ECC进行。（DP主链接属性数据是蛋白 C通过冗余。）

SDP必须由一个4字节标头组成，该标头受四个字节的保护，然后由一个有效载荷组成，由8个字节的一个数据中的倍数组成，该数据由2个字节的2个字节的均等倍数保护（即8个数据包主字节的相同倍数（即2个均等字节），有2个字节的比例，16个数据包主体具有4个字节，具有4个字节等。 SDP必须以平等字节结尾。以少于8个字节的数据构建的SDP必须使用零填充来填充其余数据位置。

2.2.6.1

基于卢比的ECC（15， 13）

DisplayPort使用REED-SOLOMON代码RS（15， 13），其符号大小为ECC块中的一个nibble（四位）。

错误纠正编码的基本原理是找到消息的其余部分除以发电机多项式G（x）。

编码器通过模拟与G（x）的程度模拟线性反馈移位寄存器，并使用代码的生成多项式的系数进行反馈。通常

$$G(x) = (x - \alpha^0) (x - \alpha^1) (x - \alpha^2) (x - \alpha^3) (x - \alpha^4) \dots (x - \alpha^{NPAR-1})$$

由于选择了一个nibble的符号大小的rs（15， 13），因此使用了第二度发电机多项式，如下所示：

$$G(x) = (x - \alpha^0) (x - \alpha^1) = x^2 - g_1 * x + g_0$$

Note: *Subtraction is equivalent to addition in binary fields.*

所以：

$$G(x) = x^2 + g_1 * x + g_0$$

在哪里：

- $g_1 = \alpha^4$ and $g_0 = \alpha$

通过对基本场GF (24) 的编码, “ α ” 等于 (0, 0, 1, 0), 它给出 $\alpha^4 = (0, 0, 0, 1, 1, 1)$ 。
下面列出了用于实现G1和G0乘法的逻辑方程式 (其中C [3: 0]是4位nibble乘以G1或G0) :

$$g_1 * c[3:0] = \{c[3]^{\wedge}[2], c[2]^{\wedge}[1], c[3]^{\wedge}[1]^{\wedge}[0], c[3]^{\wedge}[0]\}$$

$$g_0 * c[3:0] = \{c[2], c[1], c[3]^{\wedge}[0], c[3]\}$$

以下三条消息显示了***underlined, bold, italic-font***中显示的带有奇偶nibbles的输入数据的EC C的输出:

- 传输消息: F, E, D
, C, B, A, 9, 8, 2, 2
- 发送消息: 9、8、3、
2、1、7、5、4, ***8, f***
- 传输消息: 7、6、5、
9、8、1、3、2, ***7, 2***

2.2.6.2 ECC G1和G0 C代码 (信息性)

图2-52显示了rs (15:13) 编码器的框图, 其符号大小是nibble的。

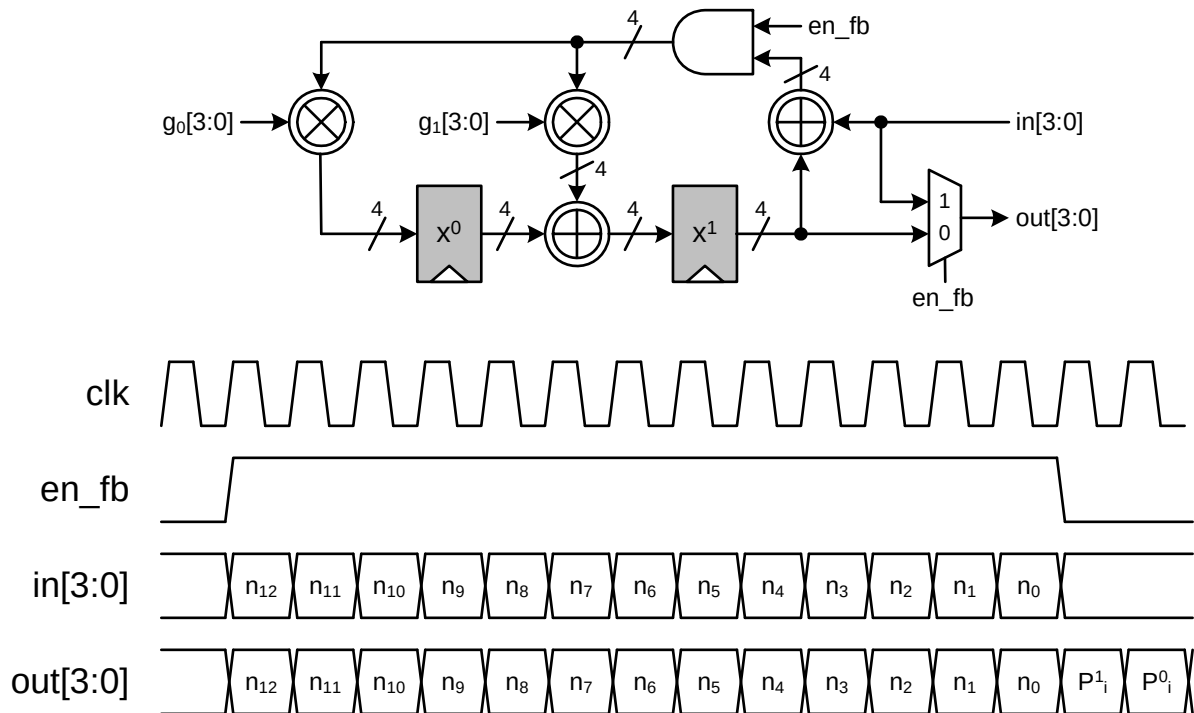


图2-52: Rs (15:13) 编码器的框图

以下代码显示了C代码中的ECC G1和G0。

```
//----- //c * a1 //----- unsigned
char gfmul_1( unsigned char );未签名的char gfmul_1 (a) 无符号char a; {int i;无符号char c [8], g
f_mul [8], r; for (i = 0; i < 4; i++) { /*转换为乘数 */ c [i] = a&0x01; a = a >> 1; } gf_mul [0] =
c [3]; gf_mul [1] = c [0] ^ c [3]; gf_mul [2] = c [1]; gf_mul [3] = c [2]; r = 0; for (i = 0; i < 4; i++) {r
= ( (gf_mul [i]&0x01) << i) << i) | r; }返回 (r) ; }//-----
// c * a4 //----- unsigned char gfmul_4( unsigned char ); 未签名
的char gfmul_4 (a) 未签名的char a; {int i;无符号char c [8], gf_mul [8], r; for (i = 0; i < 4; i++
) { /*转换为乘数 */ c [i] = a&0x01; a = a >> 1; } gf_mul [0] = c [0] ^ c [3]; gf_mul [1] = c [0] ^ c [1]
^ c [3]; gf_mul [2] = c [1] ^ c [2]; gf_mul [3] = c [2] ^ c [3]; r = 0; for (i = 0; i < 4; i++) {r = ( (gf_mul
[i]&0x01) << i) << i) | r; }返回 (r) ; } // -----
-----
```

2.2.6.3 nibble交织

为了进一步增强误差纠正功能，DisplayPort的ECC块在输入数据包是错误校正编码后，将nibble交织在一起。将卢比（15:13）与nibble交织结合在一起， ECC块能够在16字节数据块中校正多达2字节的错误。

如图2-53（对于有效载荷）和图2-55（对于标头）所示，泳道0与泳道1交织在一起，而泳道2则与3号车道3交错，用于2和4车道的主连接配置。 图2-54（有效载荷）和图2-56（标头）中显示了1车道主链接的交织。

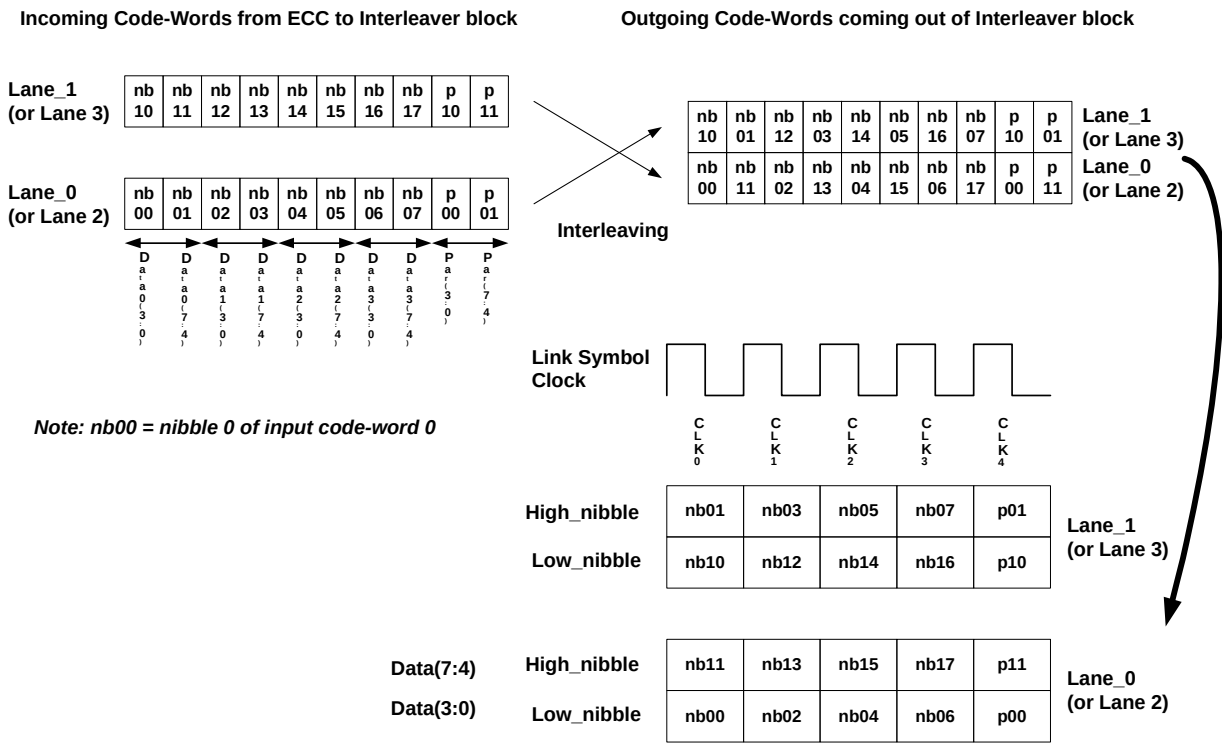
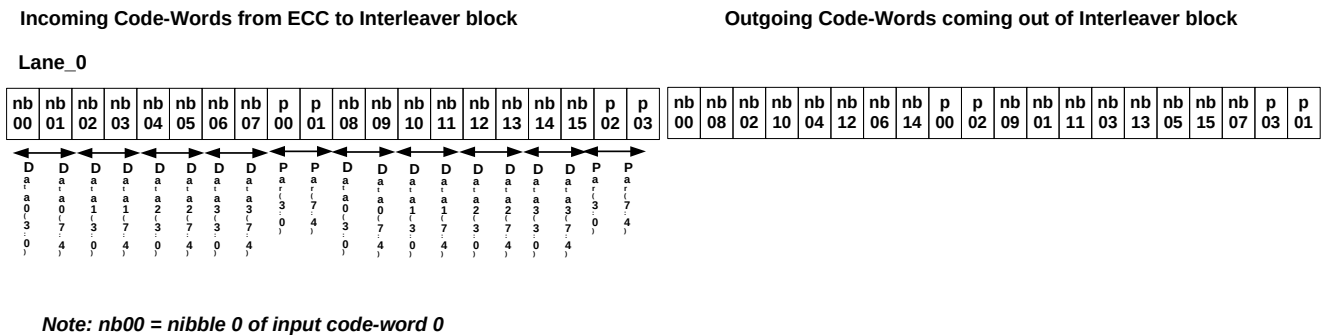


图2-53： ECC块nibble-interleaving用于2和4车道主链接



图库 e 2-54： 1车道MA 链接

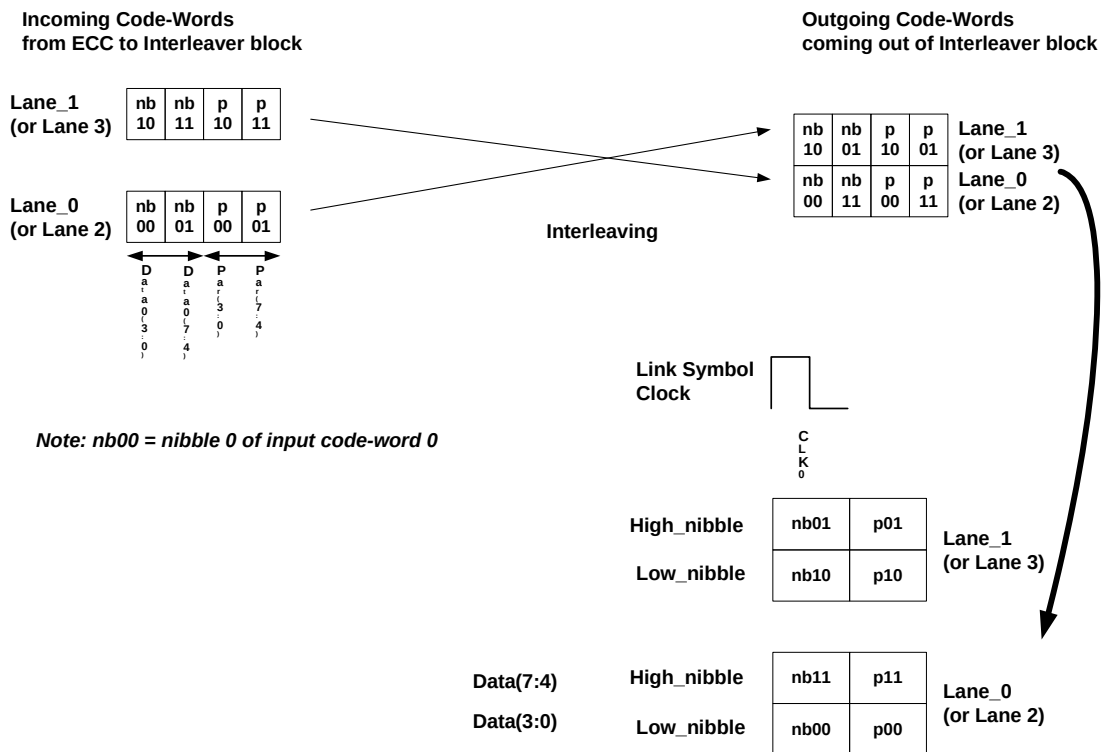


图2-55: ECC块nibble-nibble-interleaving用于2和4车道主链接（标头）

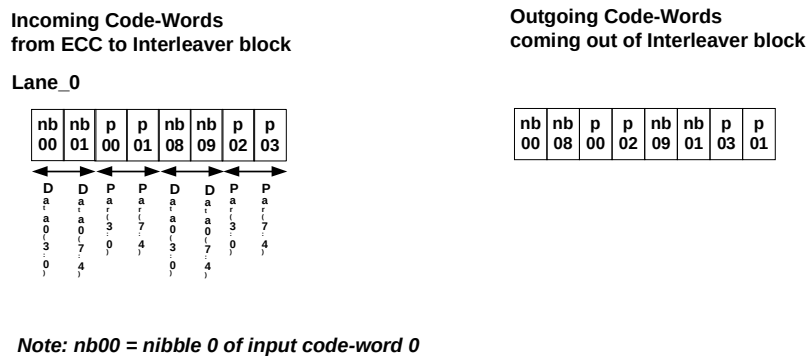


图2-56: 1车道主链接（标头）的ECC块nibble间隙

Note: nb00 is the lowest nibble of HB0, nb01 is the highest nibble of HB0, nb08 is the lowest nibble of HB1, and nb09 is the highest nibble of HB1.

由于符号大小是刺（4位宽），因此代码字的长度是ECC块中的15个nibbles（= 24-1）。

对于数据包有效载荷，必须为每条车道的数据包有效载荷（或四个字节）生成两个奇偶校验（或一个字节），如图2-57所示。只能使用10个小nibbles，其中包括八个数据插头和两个奇偶校验。剩下的最重要的五个ni骨必须零填充，并且不得在DP链接上传输。

至于数据包标头，必须使用15个小ni的四个nibbles，如图2-58所示。这四个nibbles由两个数据（即数据包标头）和两个奇偶校验组成。其余的最重要的11个ni骨必须零填充，并且不得传输。通过此保护，ECC块能够在4字节数据包标头中纠正2字节错误。



图2-57：数据包有效载荷的15个nibble代码词的化妆

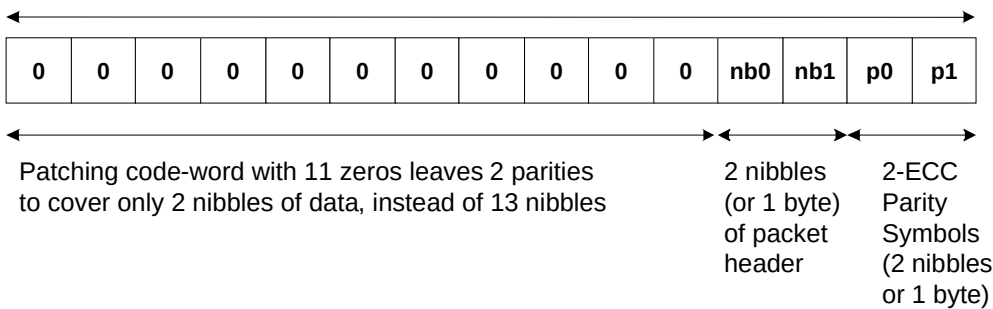


图2-58：数据包标题的15个nibble代码词的化妆

2.2.6.4如果发生三个符号错误（信息性），纠正措施

当有三个或多个符号错误时，上述的ECC方法无法纠正错误。如果遇到这种错误条件是一种特定于实现的选择，并且超出了该标准的范围，则通过接收器设备进行纠正措施。

2.3 辅助状态和仲裁

2.3.1 Aux CH状态概述

DP的AUX CH是半双链的双向通道。带有DPTX（例如源设备）的DP设备是AUX CH的主（称为Aux CH请求器），而带有DPRX（例如接收器设备）的设备是从属（Aux CH Replier）。作为主人，源设备必须启动请求事务，而水槽设备通过回复事务对此进行了响应。

如第3.1.3.2节所述，通过热塞检测机构检测DPRX后，必须将其AUX CH放在Aux空闲状态S2（图2-59）。当DPRX断言HPD信号时，DPRX也必须处于AUX空闲状态，D1（图2-60）。

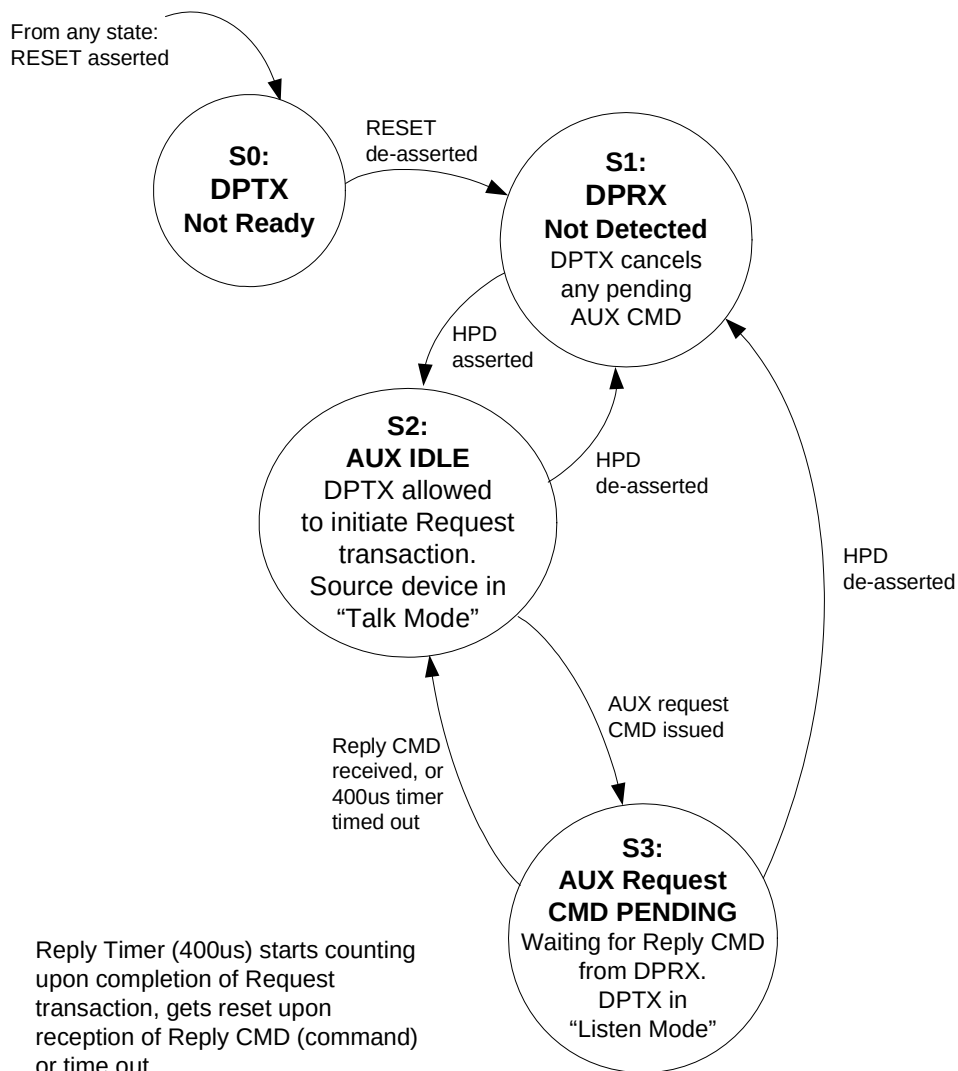
可选地，接收器设备可以监视DPTX的存在。如果接收器设备监视DPTX的存在，则只有在检测到DPTX时，接收器设备才能进入AUX空闲状态。

在State S2中，DPTX必须处于“谈话模式”，并且必须根据需要发布请求命令。在状态D1中的DPRX必须处于“收听模式”，并且必须等待请求命令。

发出请求交易后，DPTX必须过渡到状态S3，AUX请求CMD待定状态。在S3状态下，DPTX必须处于“收听模式”，等待DPRX回复。收到请求交易后，DPRX必须转到状态D2，AUX回复CMD待定状态。一旦处于D2状态，DPRX必须处于“谈话模式”，准备在Aux CH上发送答复。

接收请求交易后，DPRX必须在最多300US（响应计时器超时期）内回复。如果由于某种原因，DPRX无法在响应计时器超时期内发送答复，则DPRX必须在不回复的情况下返回D1。DPTX输入S3后，必须等待高达400US（回复计时器超时期）。如果在回复计时器超时期内未收到回复时，DPTX必须返回S2，并且必须允许根据需要启动请求交易。

从D0到D1到D0'状态的过渡可以由实现可选DPTX检测功能的DPRX使用。在D0'状态下，重置已从DPRX删除；但是，未检测到DPTX。



Note: DPTX may be disabled by Policy Maker.
Upon being enabled, DPTX enters S0 state.

图2-59: AUX CH DPTX状态图

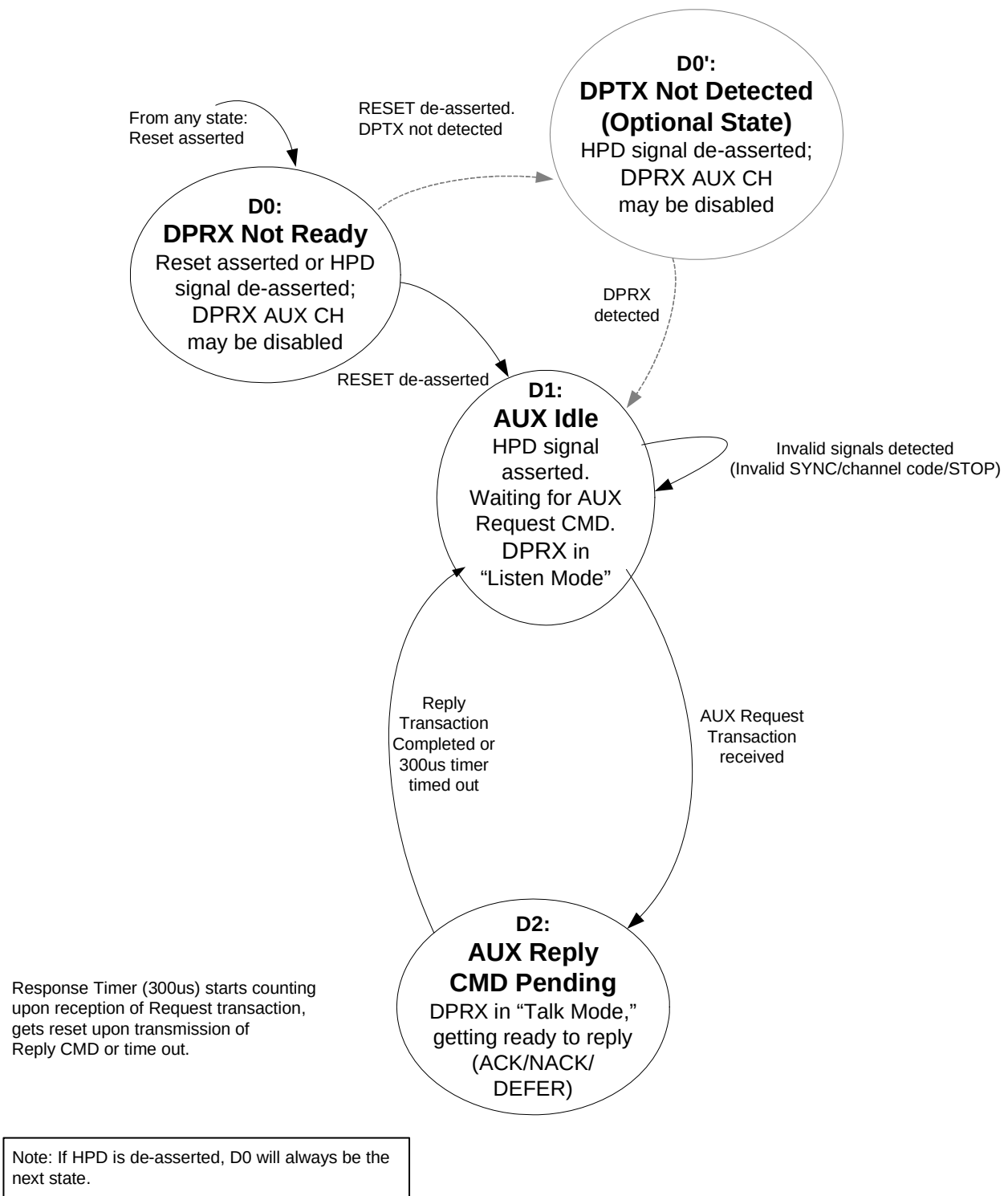


图2-60: 辅助CH DPRX状态图

2.3.1.1源设备的DP_PWR状态规则

对于启用DP_PWR引脚提供电源的情况，表2-124列出了DP_PWR状态的规则以及源设备图2-59中所示的AUX CH DPTX状态。

表2-124：源设备的DP_PWR状态规则

DP_PWR State	Rules
S0	Source device may disable DP_PWR - Source device is either OFF (or reset) or not monitoring HPD - Source device may go to S1 state any time
S1	Source device must enable DP_PWR: - Source device is monitoring HPD signal status - Source device goes to S2 state when HPD signal is present - Source device may go to S0 state any time
S2 and S3	Source device must enable DP_PWR: - Source device is either transmitting or ready to transmit (after Link Training) bits over Main-Link - Source device goes to S1 state when HPD signal is absent - Source device may go to S0 state any time

2.3.1.2水槽设备的DP_PWR状态规则

表2-125列出了DP_PWR状态的规则，并与图2-60所示的AUX CH DPRX状态结合使用。

表2-125：水槽设备的DP_PWR状态规则

DP_PWR State	Rules
D0	Sink device may disable DP_PWR: • Sink device is OFF (or reset) or not monitoring Source Detection signal • Sink device de-asserts HPD signal • Sink device may go to D1 state any time • Sink device may go to D0' state if it supports Source Detect feature and Source device is not detected
D0'	Sink device must enable DP_PWR (For a tethered Sink device, upon detecting DP_PWR Consumer): • Sink device de-asserts HPD signal, but monitors Source Detect status • Sink device goes to D1 when Source detected • Sink device may go to D0 state any time
D1 and D2	Sink device must enable DP_PWR (For a tethered Sink device, upon detecting DP_PWR Consumer): • Sink device asserts HPD signal • Sink device is either receiving or ready to receive bits over Main-Link • Sink device goes to D0' state when Source is absent • Sink device remains in D1 even when Source writes 010 to the SET_POWER_STATE field in the SET_POWER & SET_DP_PWR_VOLTAGE register (DPCD Address 00600h,bits 2:0) • Sink device may go to D0 state any time

即使在D1状态下，当它的主链路上接收位时，接收器设备即使在D1状态下也处于“电力保存”模式。在动力保存模式下，接收器设备可能会处于以下条件：

- 主链接接收器被禁用 - 停放在VBIAS_RX的不同信号
- AUX CH接收器正在监视差异信号 - 必须准备好回复1毫秒内的差异信号检测

2.3.2 链接层仲裁控制

如上所述，源和接收器设备不得同时处于谈话模式或收听模式。此外，接收器设备的响应计时器超时时间必须比源设备的回复计时器短。在超时的情况下，源和接收器设备都必须返回到AUX空闲状态，这是源设备的谈话模式，并为接收器设备收听模式。因此，将避免争论和现场锁。

2.3.3 政策制定辅助服务

有多个启动AUX交易的应用程序和服务。一些例子是：

- AUX链接服务
 - 接收器能力读取
 - 链接配置（培训）
 - 链接状态读取
- AUX设备服务
 - 埃德（Edid）阅读
 - MCC（监视器命令和控制集）控制

DP Aux CH不得支持嵌套交易。换句话说，必须在启动另一笔交易之前结束一项交易。决策者必须负责确定多个AUX请求交易按其优先级执行的顺序。链接层应仅启动AUX交易，因为它从政策制定者那里收到了请求。

请求交易可能不会以全完成结束。水槽设备可能会在不准备进行全面完成时用NACK或延期回复。如果要求用NACK或延期回复请求交易，则决策者必须决定后续行动。

每笔交易的AUX CH运输的数据量必须限制为16个字节或更少（即，爆发大小必须为16个数据字节最大值）。设置此限制是为了防止单个交易长时间垄断总线。没有交易必须占用超过500US的AUX CH。如果给定的交易需要运输16个字节以上的数据，则决策者必须将其分为多个交易，而没有大于16个字节的交易。

2.3.4详细的DPTX AUX CH状态和事件描述

表2-126： DPTX AUX CH状态和事件描述

State/Event	Description
S0: Reset	State S0 must be entered from any state when RESET is asserted.
S1: AUX CH Unplugged	The HPD signal is un-asserted (low state). Upon entry, the level of the HPD signal must be passed up to the Link Policy Maker. The DPRX is either not connected or has not asserted the HPD signal. The AUX CH is unavailable. Therefore, AUX CH services such as DPCD, EDID, etc., are not available.
S2: AUX CH IDLE	The HPD signal is asserted (high). The DPRX is connected to either its main power supply or “trickle” power, though the state of the DPRX’s power switch (if any) is not specified. A message indicating AUX CH available must be passed up to the Policy Maker. In this state, no AUX Command is pending and the AUX CH is available for the Policy Maker to initiate request transactions. The source must stay in Talk Mode until a request transaction has been completed according to the AUX CH syntax as it is specified in this section. Upon sending STOP, the last part of a request transaction, the DPTX must transition to State S3 provided HPD is still asserted.
S3: AUX Request CMD PENDING	Upon completion of an AUX request transaction, the DPTX AUX CH must enter State S3. In this state, the DPTX is waiting to receive a Reply message from the DPRX. The DPTX must not issue commands in this state. The DPTX AUX CH must stay in Listen mode. Upon entry to this state, the Reply-Wait Timer (400us) must reset and start counting. The DPTX AUX CH must exit from this state and enter State S2, AUX IDLE state, when it receives the Reply Command from the DPRX, or when its Reply Command Timer times out. In case of a Reply Timer timeout, the DPTX device must retry at least three times, because no reply may be due to the DPRX device “waking” from a power-saving state, which may take up to 1ms.
Transition from any State to S0	Occurs when RESET is asserted.
Transition S0:S1	Occurs when RESET is de-asserted.
Transition S1:S2	Occurs upon Hot Plug Detection.
Transition S2:S1 or S3:S1	Occurs upon Hot Plug Detection.
Transition S2:S3	Occurs upon the completion of DPTX AUX Request Transaction.
Transition S3:S2	Must take place either when the DPTX AUX CH receives a Reply Command from the Sink device, or when the Reply Command Timer (400us) times out.

2.3.5详细的DPRX AUX CH状态和事件描述

表2-127: DPRX Aux CH状态和事件描述

State/Event	Description
D0: DPRX Not Ready	The DPRX must transition to this state from any other state when RESET is asserted. In this state, the HPD signal is de-asserted. The DPRX AUX CH may be disabled. Upon RESET de-assertion, the DPRX must transition to the D1 state, unless DPTX device detection is implemented, in which case the DPRX must transition to the D0' state.
D0': DPTX Not Detected	This state is optional and may be used by DPRXs that monitor the presence of the DPTX. When RESET is de-asserted and HPD signal is asserted and the DPTX is not detected, this optional state may be entered. Upon detection of the DPTX, the DPTX must transition to D1.
D1: AUX CH Idle	In this state the DPRX AUX CH must stay in “Listen mode,” waiting for the DPTX to send an AUX Request Command over the AUX CH. The DPRX AUX CH must also stay in this state after an invalid signal (e.g., invalid SYNC, STOP or channel code) is received. Upon receiving an AUX request transaction command from the DPTX, the DPRX AUX CH must transition to the D2 state and its response timer (300us) resets and begins counting. In Listen mode, a DPRX must either receive and decode the request transaction or detect the presence of a differential signal input, even if it is in a power-saving state. If the DPRX is in a power-saving mode and cannot reply within the Response Timeout period of 300us, it must exit the power-saving mode within 1ms of detecting the presence of a differential signal input so that it can provide an AUX reply within three AUX transaction retries by the DPTX. A DPRX must make its best effort to avoid issuing no reply except when “waking” from a power-saving mode.
D2: AUX Reply CMD Pending	In this state the DPRX must be in “Talk mode,” getting ready to reply to the DPTX. Upon completion of the reply transaction, the DPRX must transition to the D1 state. A timeout condition of the response timer must cause the DPRX to transition to the D1 state without initiating a reply transaction.
Transition of D0: D0' (Optional transition)	Occurs when RESET is de-asserted and HPD signal is asserted.
Transition of D0':D1 (Optional transition)	Occurs upon DPTX detect, after the optional D0' state is entered.
Transition of D0:D1	Occurs when RESET is de-asserted and when the DPRX has asserted the HPD signal and is ready to serve for services over AUX CH.
Transition of D1:D2	Occurs upon receiving an AUX Request transaction from the DPTX.
Transition of D2:D1	Occurs when the Sink device completes its reply to the DPTX, or the DPRX fails to reply before the response timer (300us) times out.

2.4 DP MST等法运输服务的概述

基于微型包装架构的DP等级传输服务通过DP链接将音频和视频流从流源传输到流源，如图2-61所示。

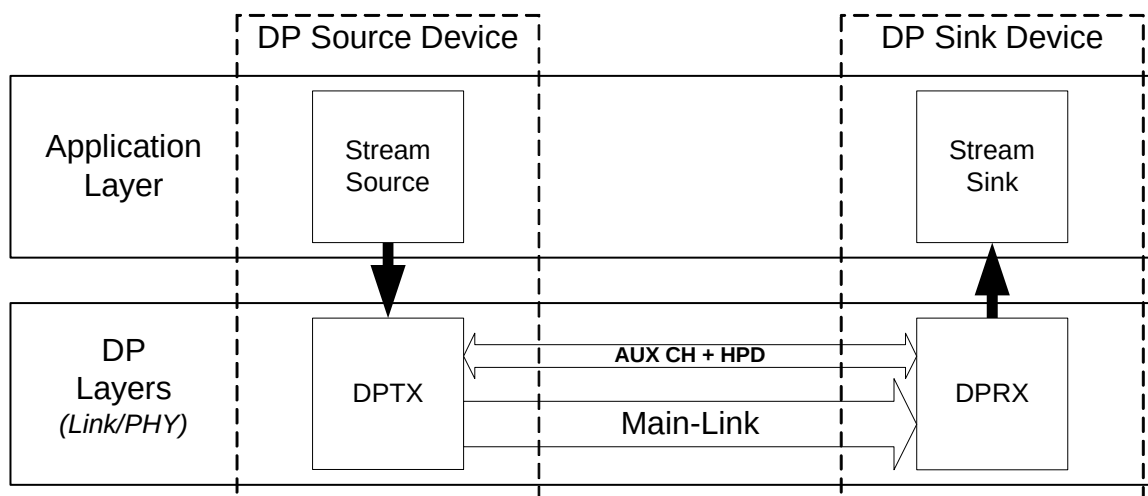


图2-61：DisplayPort数据传输渠道

本节介绍了多流运输（MST）等温运输服务扩展的概述。MST扩展可以从一个或多个DP源设备中的多个流源传输到通过DP分支设备连接的一个或多个DP接收器设备中多个流源设备中的多个流源传输，如图2-62所示。这与单流传输（SST）模式相反，该模式仅限于第2.2节中所述的单个主流和可选SDP流的传输。

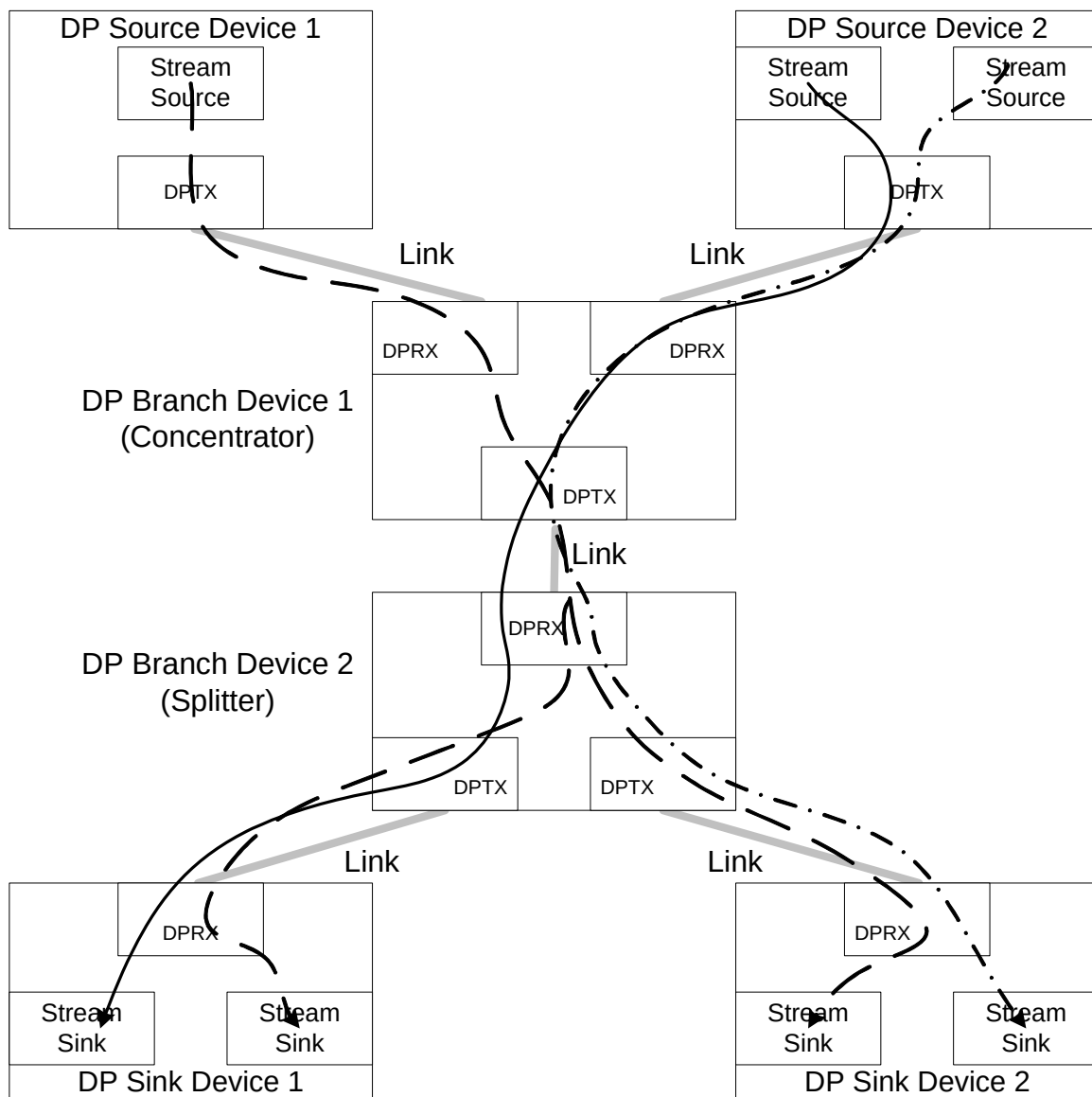


图2-62: DP多流传输

2.4.1

面向连接的运输

DP等法运输服务是一种面向连接的运输，可用于管理从流源设备到流式水槽设备的流传输，而与实际的基础流传输机构无关。

虚拟通道是流源设备和流式设备之间的端到端，直接的虚拟连接。在基础DP层级别上，可能需要遍历多个链接（称为“路径”）以实现虚拟通道连接，如图2-63所示。在每个链接上，虚拟通道被映射到一个有效载荷，称为Micropacket的“VC有效载荷”。

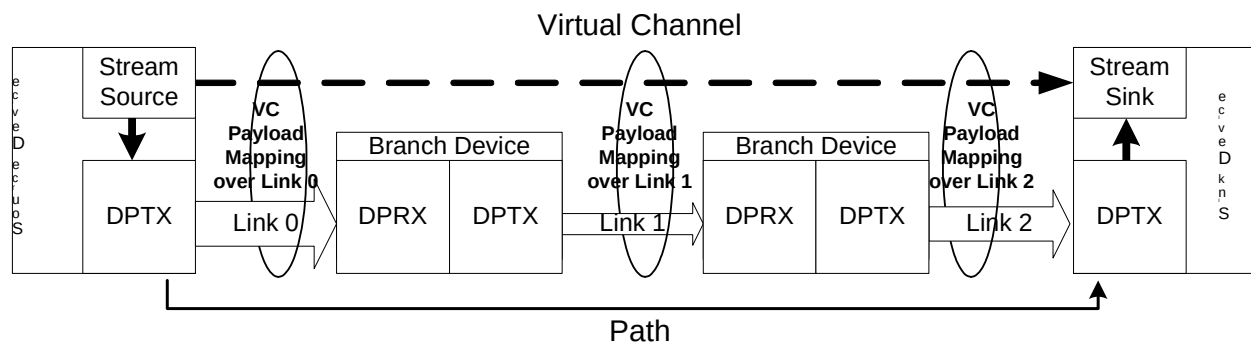


图2-63：虚拟通道，链接和路径的插图

如图2-64和图2-65所示，虚拟通道的端到端直接连接性质变得更加明显。在图2-64所示的双显示克隆示例中，DP源设备和DP Branch Device1之间的链接1带有单个流源设备的单个有效负载。在图2-65所示的扩展台式机示例中，具有两个流源的DP源设备之间的链接1和DP Branch Device1携带两个有效载荷 - 一个用于Stream Source1，另一个用于Stream Source2。

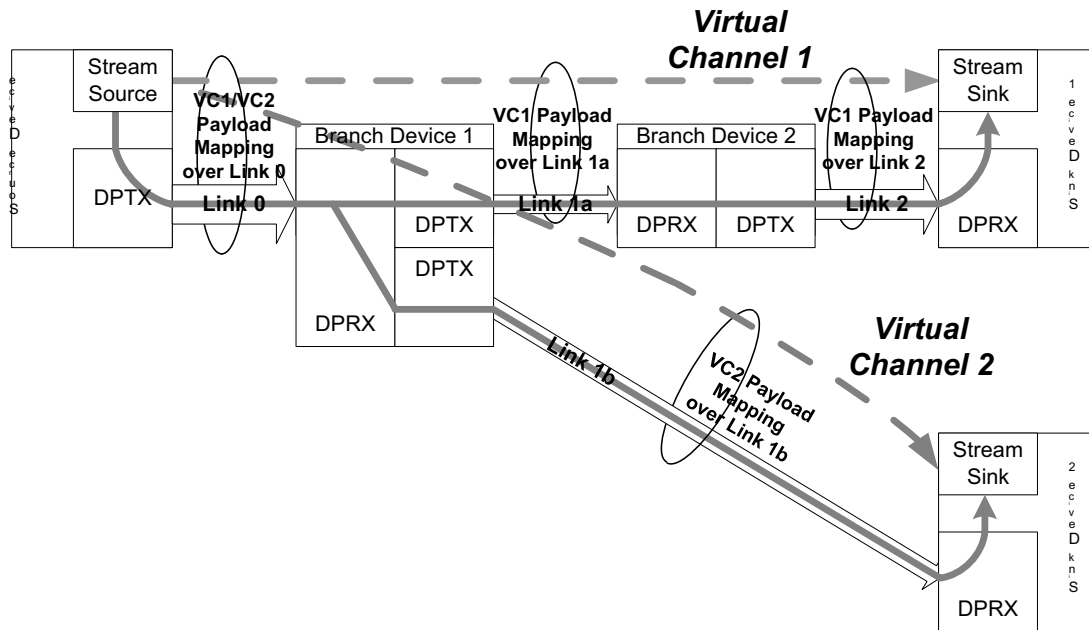


图2-64：单流源设备到双流式接收器设备（双显示克隆）

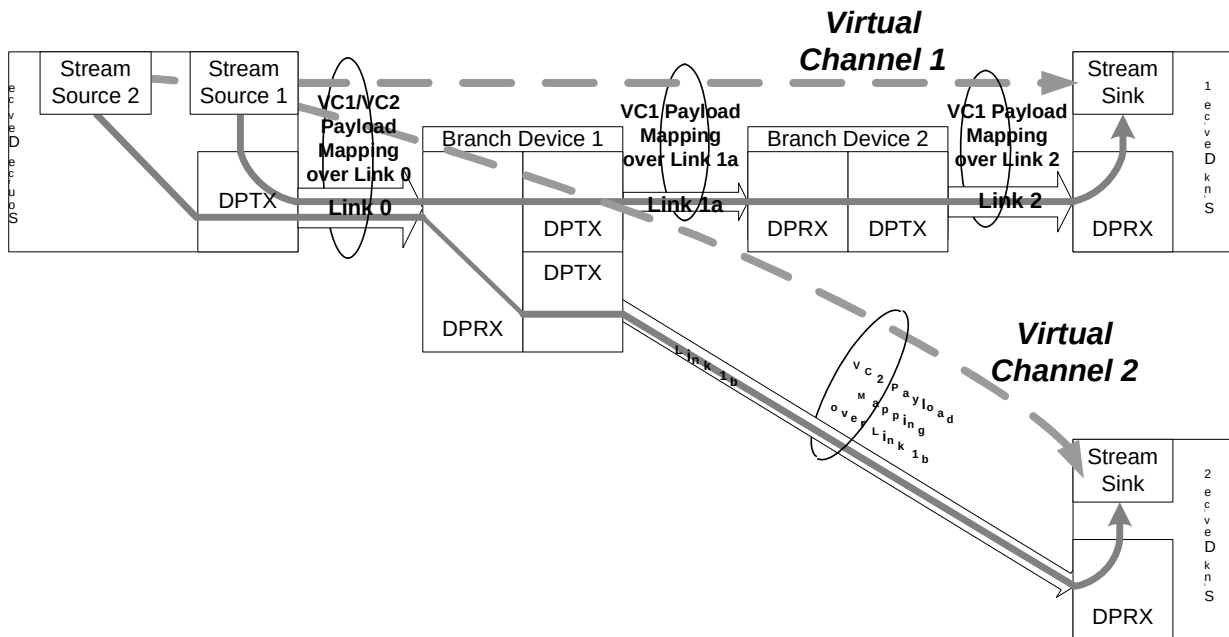


图2-65：双流源设备到双流式接收器设备（扩展台式机）

2.4.2

DP等级运输服务层

等级运输服务使用边带通道（AUX CH和HPD）的边带通信进行拓扑/虚拟通道连接/主链接的管理，并执行主链接符号映射。每一层中提供的特定服务在仅SST和MST功能的设备之间都不同，具有MST功能的设备通常提供功能的超集。

图2-66和图2-67分别显示了仅SST的等级运输服务和MST等应运输服务的层，并在本节的其余部分中进行了简要描述。

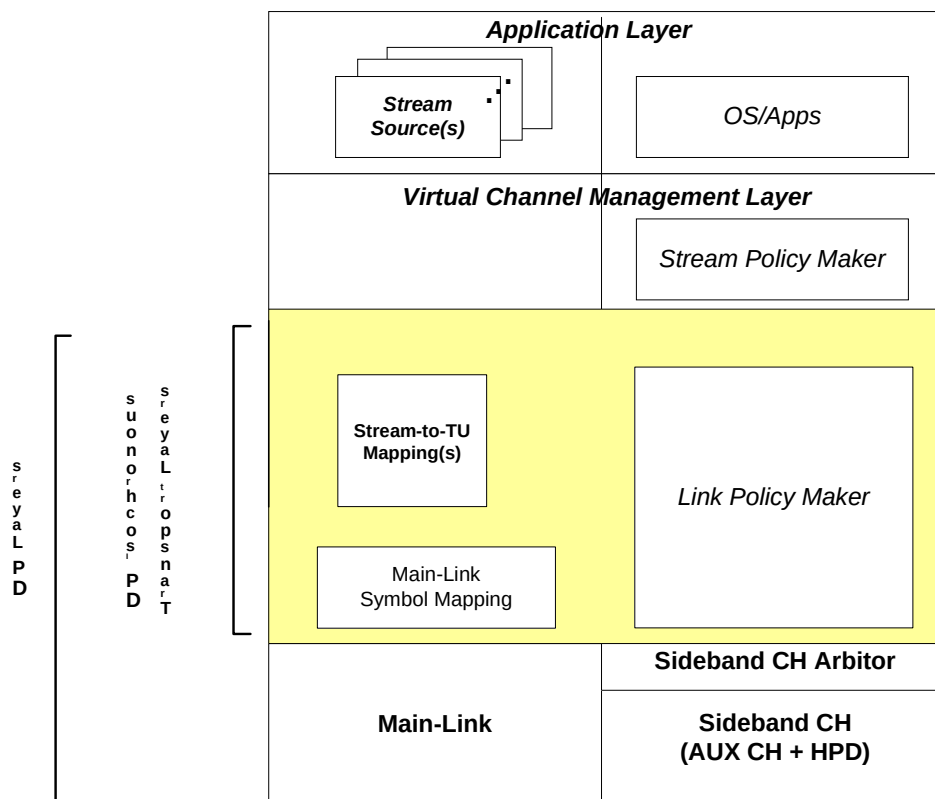


图2-66：仅SST的等级运输服务层

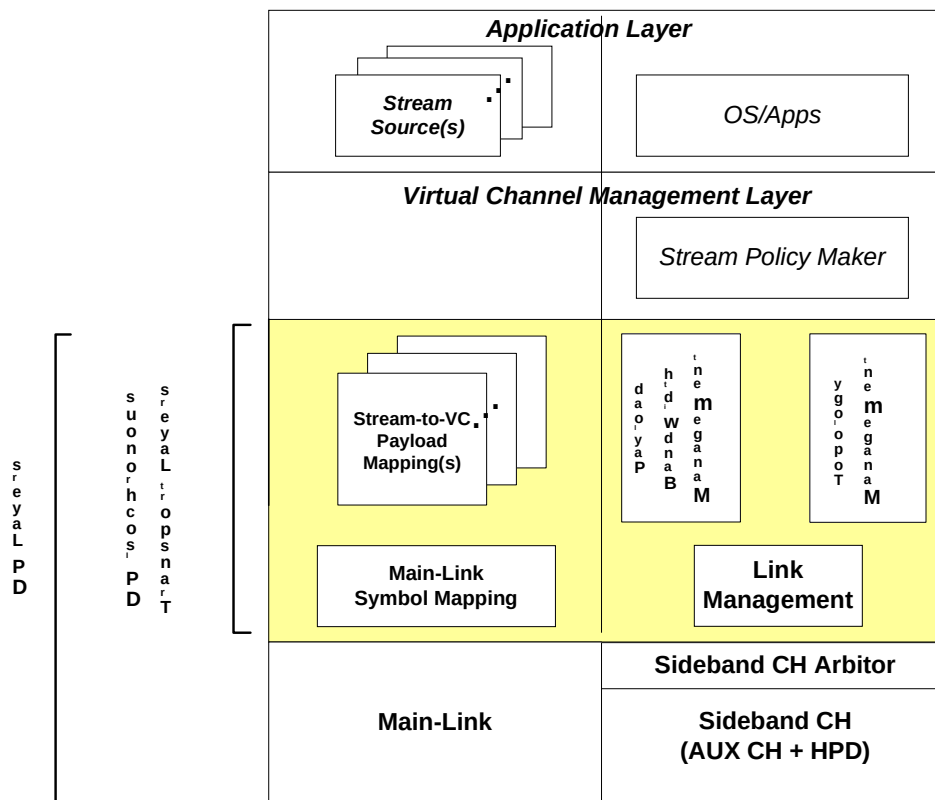


图2-67: MST等同于运输服务层

DP等于等级传输服务层（即虚拟通道管理层和应用程序层）是应用程序/实现特定的，因此超出了该标准的范围。DisplayPort标准是指流/链接政策制定者的实施准则。

2.4.2.1 拓扑管理层

- 存在于每个MST DP设备中（即具有DPTX和/或DPRX的设备，也称为DP节点）。
- 为MST等级传输服务添加；不存在SST模式。SST传输格式传输的具有MST功能的设备仍然为此功能提供。
 - DP源设备中的拓扑管理器通过边带通信发现并维护拓扑。
 - DP分支设备中的拓扑助理通过边带通信向拓扑管理器提供拓扑信息。

2.4.2.2有效载荷带宽管理层

- 使用DPTX，即DP源设备和DP分支设备，都会存在于每个MST DP设备中。
- 为MST等级运输服务添加；不存在SST模式。SST传输格式传输的具有MST功能的设备仍然提供此功能。
- 避免从DP源设备中流源到DP接收器设备中流源的路径中的缓冲区溢出。
- DP源设备中的源有效载荷带宽管理器接收流带宽，计算与流带宽相对应的有效负载带宽号（PBN），通过侧带通信来向相对应的PBN值，并通过为VC PAYLALACAL分配足够的下游链接的VC Poreload带宽。
- DP分支设备中的分支有效负载带宽管理器通过边带通信接收并转发PBN，并通过将足够的时间插槽分配给VC有效负载，从而设置其自己下游链接的VC有效载荷带宽。
- 指示主链接符号映射层要分配多少个时间插槽，以分配到VC有效载荷分配，何时启用/禁用从VC有效载荷映射层中流入流符号的流符号。

2.4.2.3链接管理层

- 存在于每个MST DPTX和DPRX中。
- 在MST和SST模式中都存在（称为仅SST设备中的链接政策制定者）。
- 通过链接培训和链接维护来建立和维护主链接。
- DPTX的链接管理层指示主链接符号映射层传输链接训练模式序列，一旦链接训练成功，将传输微型包装（称为多流传输数据包或MTP）以保持链接启用；还可以监视它正在驾驶的DPRX的状态。
- DPRX的链接管理层为DPTX驱动器设置在链接培训期间的设置优化提供了ADPANS_REQUEST，并在需要DPTX的链接管理层的关注时，将链接状态信息保持在链接培训期间。

2.4.2.4主链接符号映射层

- 在每个DPTX和DPRX中都存在。
- 为MST等级运输服务增强。
- DPTX的主链接符号映射层传输链接训练模式序列和MTP符号，如链接管理层所指示；还将时间插槽分配给VC有效载荷，并根据有效载荷带宽管理层指示，从VC有效载荷映射层中的流符号插入。
- DPRX的主链接符号映射层接收主链接符号，并告知其链路质量的链接管理层；还可以使VC有效载荷分配与即时DP设备的DPTX同步，并从传入的MTP符号中提取流符号。

2.4.2.5 VC有效载荷映射层

- 目前的每流。
- 以MST模式和SST模式（流到TU有效载荷映射层）呈现
 - DP源设备中的VC有效载荷映射层接收流（数据和控制）从流源中转换为插入VC有效载荷的流符号。
 - DP接收器设备中的VC有效载荷映射层从传入的流符号中再生。
- DP分支设备中的VC有效载荷映射层通过传入的流符号从其上游DPRX传递到其下游DPTX，以不可知的方式来流数据格式/符号类型/泳道计数（即无需符号解析）。
 - 如果第一个（或大多数上游）DP分支设备在SST模式下从DP源设备接收主链接符号，则该DP分支设备的VC有效载荷映射层必须执行比流符号通行证更重要。如何执行从SST流符号到MST流符号的转换是一种特定于实现的选择。
 - 如果最后一个（或大多数下游）DP分支设备以SST模式驱动DP接收器设备，则该DP分支设备的VC有效载荷映射层必须执行的执行范围超过流符号传递。如何执行从MST流符号到SST流符号的转换是一种特定于实现的选择。

2.4.3

侧面CH通信

如上所述，拓扑管理层，有效载荷带宽管理层和链接管理层使用侧带CH通信进行管理。侧带CH通信发生在AUX CH和HPD信号线上。

除了通过单个链接跨DP设备对之间的AUX交易，消息交易在拓扑中的一个或多个链接上，所有DP设备对都可以使用。与始终由上游DP设备启动的AUX事务不同，消息交易是全双工双向的，可以通过上游或下游DP设备启动。

拓扑管理层和有效载荷映射层在整个拓扑上都起作用，因此使用消息交易进行管理以及通过本机AUX交易访问DPCD。链接管理跨越了DPTX和DP接收器之间的单个链接，并且仅使用DPCD访问。

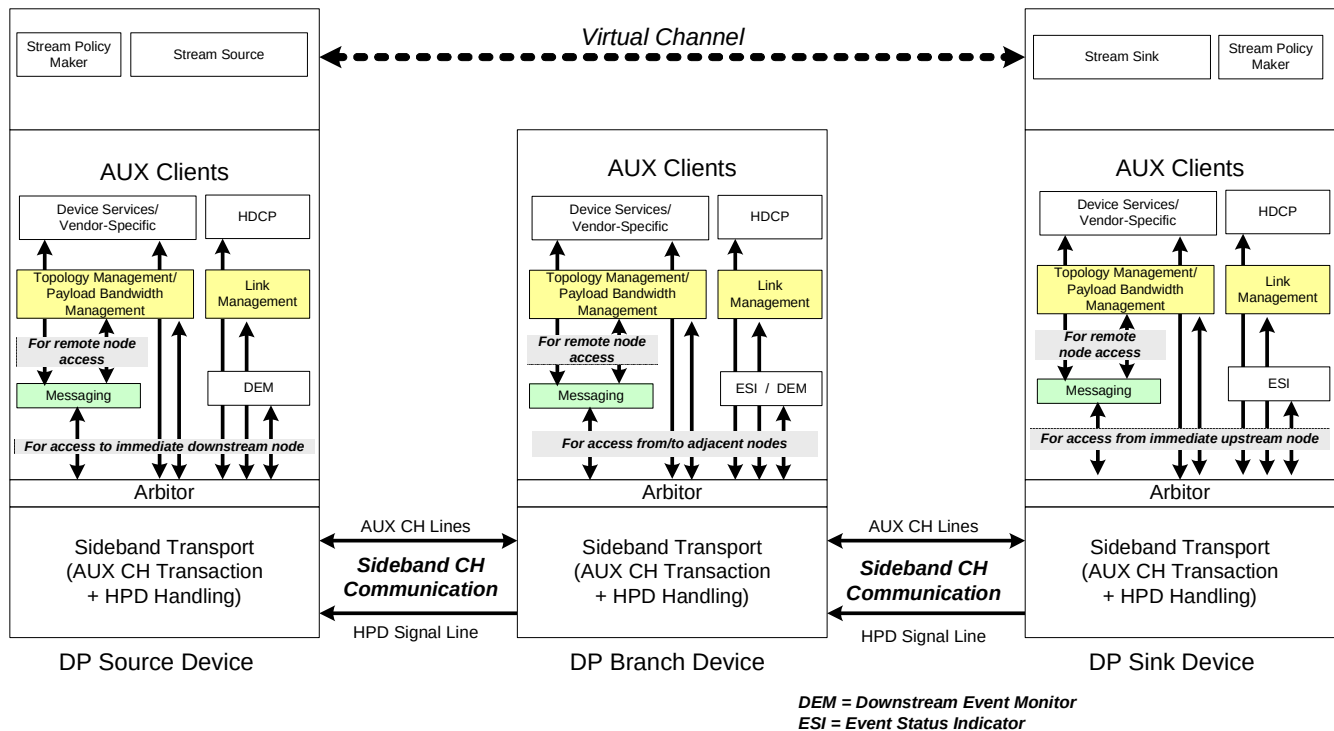


图2-68：侧带CH通信层

2.5

拓扑管理层

使用Messaging AUX客户端的拓扑管理层，在第2.11节中涵盖，可帮助DP源设备中的拓扑管理器（DP接收器设备中的可选设备）确定拓扑中哪些设备。

本节包括以下小节：

- 第2.5.1节 - MST DP设备的MST DP设备和设备类型的原始图是DPTX，DPRX，分支单元，流源和流源。MST DP分支，源，水槽和复合设备由各种

这些原语的组合。

- 第2.5.2节 - MST拓扑的MST拓扑DP分支设备需要是支持拓扑管理的MST设备，而“End”设备（DP源，DP接收器和转换器设备）可以是MST或SST设备。
- 第2.5.3节 - 带有分支单元的MST设备标识MST设备，使用全球唯一标识符（GUID）和相对地址（RAD）识别。没有分支单元的端设备被确定为带有分支单元的MST设备之一的端口之一的“对等设备”。具有DPCD修订号1.2或更高版本的DPX的DP设备必须具有GUID寄存器（DPCD地址00030H至0003FH）。

- 第2.5.4节 - 拓扑经理和拓扑助理拓扑管理是通过拓扑经理在

MST DP源设备（可选地在MST DP接收器设备中）和带有分支单元的MST设备中的拓扑助手。

- 第2.5.5节 - 拓扑发现

拓扑经理通过使用本机AUX交易获得有关拓扑的信息和消息传递辅助客户端，即link_address消息事务。（第2.11节中介绍了消息传递AUX客户端。）有关拓扑和信息使用的信息量是拓扑管理器特定于拓扑管理器。

- 第2.5.6节 - 拓扑维护拓扑经理会在DP设备和旧设备与拓扑连接并断开连接时收到通知。这些通知由拓扑助理提供

通过消息传递AUX客户端，即Connection_status_notify消息事务。

- 第2.5.7节 - 带有SST源设备拓扑选项的拓扑选项具有SST源设备。
- 第2.5.8节 - 循环处理MST拓扑管理功能为拓扑管理提供了足够的信息

通过循环和/或平行路径正确处理拓扑。

r

2.5.1

MST DP设备和设备类型的原始图

d的基础 P设备是DPTX, DPRX, 分支单元, 流 source和流下沉。
分支单元必须满足以下要求:

- 具有输入和输出端口, 并且能够从输入端口到输出端口进行VC有效载荷路由。
- 至少有一个输入端口和一个输出端口。
- 每个物理端口不超过八个物理端口, 每个端口都连接到DPTX (输出端口) 或DPRX (输入端口)。分支单元的物理端口号是从端口0H到端口7H。物理输入端口 (如果存在) 分配的端口号小于物理输出端口。
- 内部连接的不超过八个逻辑端口 (因此, 未连接到DPTX/DPRX)。分支单元的逻辑端口号是从端口8H到端口FH。逻辑输入端口 (如果存在) 分配的端口号小于逻辑输出端口。

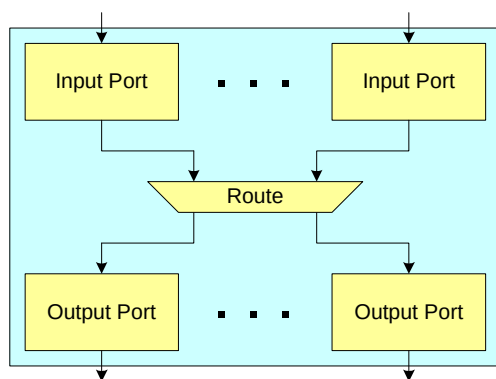


图2-69: 分支机构

Note: A PHY Repeater device having PHY Layer circuits of DPTX and DPRX only (namely, DPTX_PHY and DPRX_PHY, respectively) is transparent in DP topology.

2.5.1.1

原语之间的连接: 物理链接和逻辑链接

DPTX和DPRX之间的连接称为“物理链接”, 而分支单元与流源/流式接收器/另一个分支单元之间的连接称为“逻辑链接”。

2.5.1.2 DP分支机构

具有分支单元, 至少一个DPTX和至少一个DPRX的DP设备, 但没有流源/接收器称为DP分支设备。

支持MST模式的DP分支设备称为“MST DP分支设备”。MST DP分支机构必须支持拓扑管理作为拓扑助理。

2.5.1.3 DP源设备

具有一个或多个流源的DP设备，具有一个或多个DPTX，但没有DPRX，称为“DP源设备”。

支持MST模式的DP源设备称为“MST DP源设备”。MST DP源设备必须支持拓扑管理以扮演拓扑经理的角色。

2.5.1.4 DP水槽设备

具有一个或多个流动池，具有一个或多个DPRX的DP设备，但没有DPTX称为DP接收器设备。至于DP接收器设备中的分支单元的存在/不存在，适用以下规则：

- DP水槽设备具有单个主流水槽，或带有单个主流水槽和单个SDP流的设备，内部没有分支单元。
- 具有多个主流水槽的DP接收器设备内部有一个分支单元
主溪流水槽是否具有SDP流槽。分支单元的输出端口编号被分配给每个主流水槽的主/SDP流路由器，如图2-70所示。
- 带有单个流式接收器和多个SDP流槽的DP接收器设备具有一个带有一个输入端口和一个输出端口的分支单元，如图2-71所示。
- 没有主流水槽的DP接收器设备，但具有多个SDP流式水槽具有一个分支单元，其中一个输入端口和一个输出端口，如图2-72所示。
- 带有分支机构的DP水槽设备必须支持拓扑管理作为拓扑助理。DP水槽设备可以选择扮演拓扑管理器的角色。

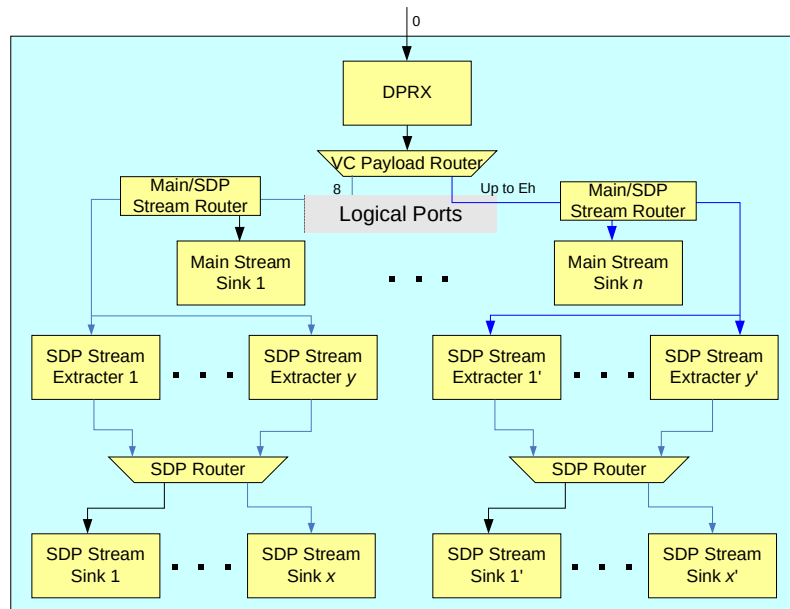


图2-70：具有多个主流水槽和SDP水槽的MST多螺旋设备

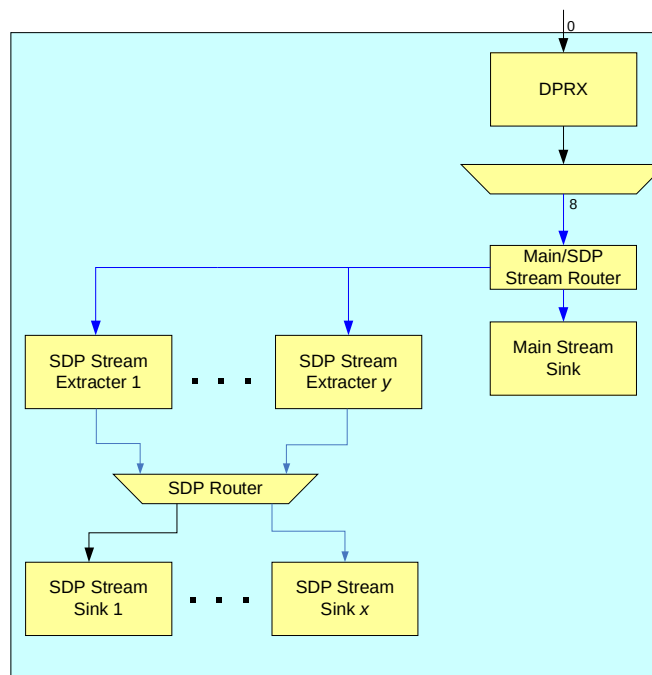


图2-71：带有单个主流水槽和多个SDP接收器的MST水槽设备

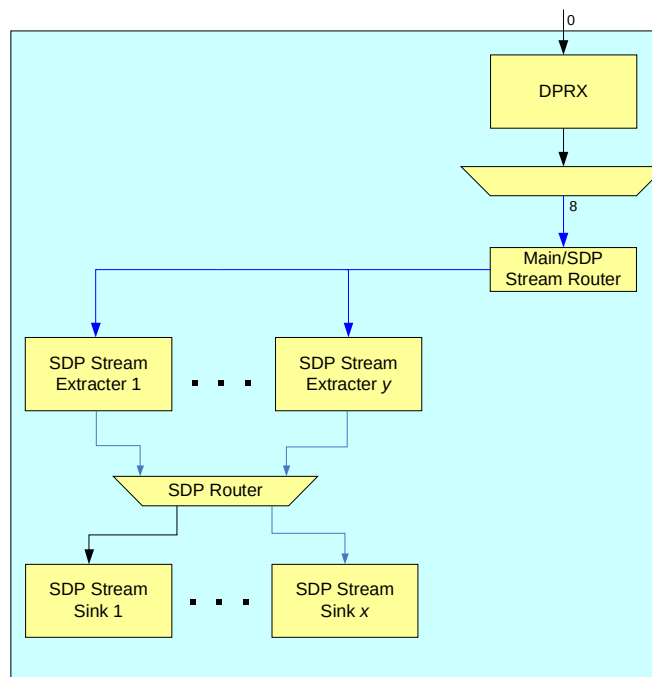


图2-72：带有SDP接收器的仅MST音频接收器设备

2.5.1.5 DP复合装置

带有流源的DP分支设备（S）或流动池称为“DP复合设备”。DP复合设备必须支持拓扑管理作为拓扑助理。

2.5.2

MST Topologies

该标准支持MST和SST DP设备与拓扑的互连。MST拓扑的分支设备必须是MST分支设备。SST设备仅在SST DP源设备和SST DP接收器设备等端口设备中仅允许在拓扑中。

拓扑管理是MST功能；因此，SST设备不支持拓扑管理。SST设备由MST拓扑管理层确定为连接到MST分支设备的对等设备。

流源与流槽之间的最大链接必须为15或更少。其中，最大的物理链接数量限制为七个。图2-73显示了一个示例MST拓扑，其中所有DP源和分支设备都是支持拓扑管理的MST设备，所有DP接收器设备都是没有分支单元的设备。

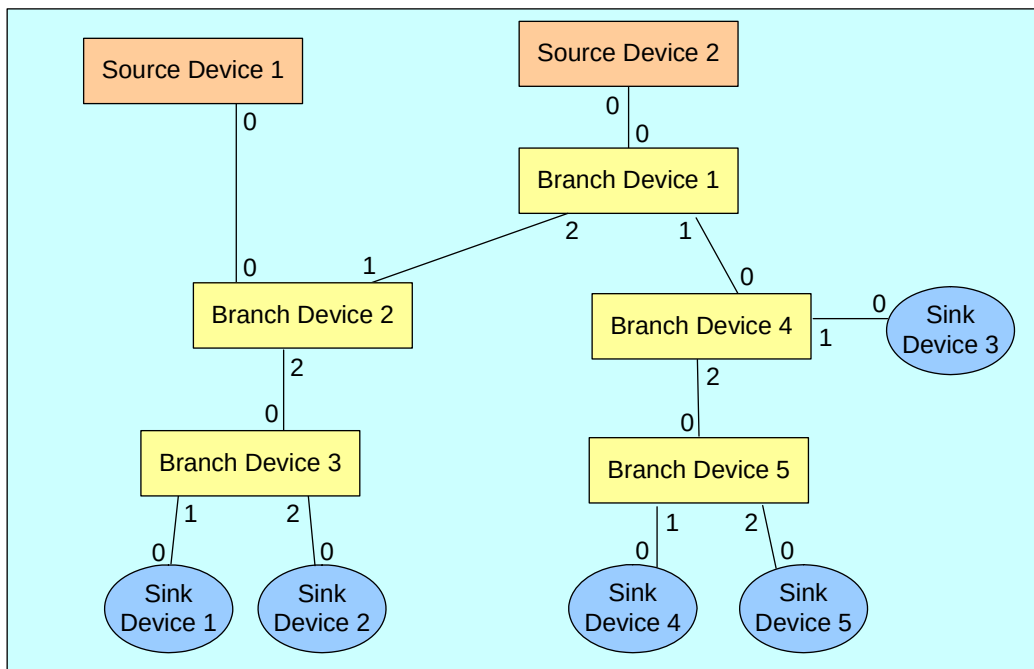


图2-73：示例MST拓扑

2.5.3 MST设备标识

拓扑管理层独特地通过拓扑中的分支单元识别每个MST DP设备。GUID和RAD用于识别。那些不支持拓扑管理的设备，即没有分支单元和SST设备的MST DP设备，被标识为连接到带有分支单元的MST设备端口的对等设备。

2.5.3.1 全球唯一标识符

MST DP设备可能会执行多个功能。例如，MST DP接收器设备可能包含USB集线器。在这种情况下，系统需要知道两个功能都在同一物理单元内。

根据拓扑结构，可以通过多个路径访问单个物理设备。在这种情况下，拓扑管理器必须能够推断出物理设备是相同的，从而减少了用户界面中最终用户的困惑。通过DPCD访问访问的16字节GUID用于这些标识。

所有带有DPCD修订号1.2或更高版本的DPRX设备必须具有GUID寄存器（DPCD地址00030H至0003FH）。对于具有自己独特的GUID的那些设备，仅阅读此GUID寄存器。对于那些具有DPCD修订号1.2或更高版本的设备，但是GUID寄存器是全部0作为电源重置值，GUID寄存器既可写入又可读。

如果有一个集成的USB或USB集线器设备，则GUID必须在集成USB设备或集线器的集装箱描述符中匹配GUID。物理MST DP设备中的所有功能都必须报告相同的GUID。

2.5.3.2相对地址

每个MST DP设备端口都可以使用相对地址解决。RAD相对于MST DP设备。每个RAD是端口号的序列。出于视觉目的，每个端口号都以小数点“.”隔开。在图2-74中的示例拓扑中，相对于源2的sind 1的rad为0.2.2.1。必须将来自源1的消息发送到源1的端口0，分支2的端口2和分支3的端口1到达接收器1。必须将一条来自接收器1的消息发送到接收器1的端口0，分支2的端口0，以及分支2的端口0，以达到源1。

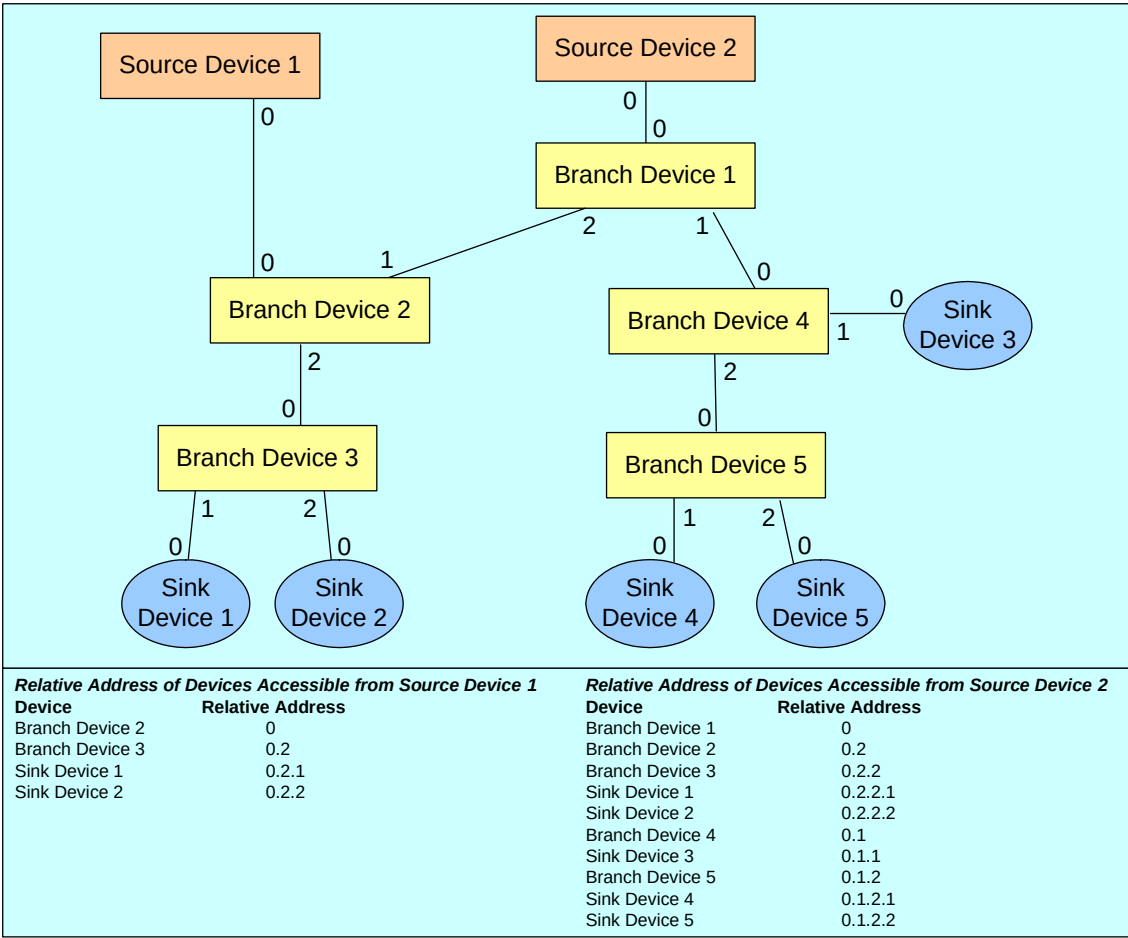


图2-74：相对于源设备的设备RAD的示例拓扑

2.5.4 拓扑经理和拓扑助理

MST源设备中的拓扑管理层（或在MST接收器设备中任选）称为“拓扑管理器”，而带有分支单元的MST设备中的拓扑管理层称为“拓扑助手”。

2.5.4.1 拓扑经理

拓扑管理器负责生成和维护“DP设备到RAD”表。拓扑管理器使用本地本机AUX交易和消息交易来构建和维护表。拓扑管理器如何构建和维护表格在后续部分中描述。

2.5.4.2 拓扑助理

拓扑助理是带有分支单元的MST设备中拓扑管理层的名称。拓扑助理使用本地本地AUX交易来收集有关连接到其的同伴设备的信息，并根据拓扑经理的要求提供信息。拓扑助理提供的信息将在本节稍后介绍。

2.5.5 拓扑发现

拓扑发现的目的是特定于流政策制定者实施。目标可能是找到最接近的DP接收器设备，在RAD表上构建DP接收器设备，或以图形方式显示拓扑结构，显示每个设备及其相关的互连。

2.5.5.1 拓扑经理

拓扑管理器使用本机AUX交易和消息交易来实现其拓扑发现算法。拓扑经理通过电源后，通过每个端口的HPD信号来监视其本地DFP的连接状态。当设备连接到其DP端口之一时，拓扑管理器使用本机AUX Transactions读取直接下游DP设备的功能。设备功能包括设备类型以及是否支持消息传递。如果连接的设备（即对等设备）是带有分支单元的MST设备，则拓扑管理器可以指示消息传递AUX客户端将link_address消息交易请求发送到设备，以确定设备GUID，输入和输出端口的数量，以及连接到设备输入和输出端口的设备的类型和功能（称为“PEEREDEVICE”类型）。拓扑管理器使用从link_address消息交易响应获得的信息，可以进一步将link_address消息发送到包含分支单元的其他MST DP设备，直到满足其拓扑发现的目标。

2.5.5.2 拓扑助理

在拓扑发现过程中，拓扑助理在MST设备中带有分支单元的责任是回复具有其功能的Link_Address请求消息交易，以及连接到其DPTX和DPRX端口（物理或逻辑）的每个DP设备的对等设备类型。拓扑经理使用本机AUX交易收集对等设备的信息。

2.5.6 拓扑维护

拓扑维护是对DP设备连接或从拓扑中删除的持续监视。每个MST DP分支/复合设备中的拓扑助理负责检测并通知拓扑管理器时，设备连接或卸下设备时。拓扑经理对此通知的作用是特定于实现的。

2.5.6.1 拓扑经理

在拓扑维护期间，当MST DP分支设备与拓扑连接或断开连接时，拓扑管理器可能会接收Connection_status_notify广播请求消息交易。Connection_status_notify广播请求消息交易提供以下信息：

- 检测到连接变化的MST设备的GUID
- 设备上的端口号以及端口是检测到连接更改的输入还是输出
- 检测到连接更改的端口的新连接状态
- 同行设备类型如果连接了新的DP设备
- 新连接的DP设备是否支持消息传递

拓扑经理如何使用此信息是特定于实现的。如果不需要，可能会忽略该通知。

2.5.6.2 拓扑助理

一旦使用与相应的端口类型相关的连接机制，DPTX端口的HPD和DPRX端口的电缆终止，一旦将具有分支单位功率的MST DP设备启用，它将不断监视其每个输入和输出端口的连接状态。默认情况下，逻辑分支设备的所有内部DP接收器均连接。当任何DP端口的连接状态更改时，新状态将使用Connection_status_notify广播请求消息交易广播到所有已连接的DPTX和DPRX端口。拓扑助理继续监视其DPTX和DPRX端口以进行连接变化。拓扑助理可能会收到一个或多个link_address消息交易请求。每个link_address请求将被处理与拓扑发现过程中的处理相同。

2.5.7

具有仅SST源设备的拓扑

当拓扑包含一个或多个仅SST DP源设备时，连接到仅SST DP源设备的MST DP设备必须执行仅SST拓扑管理功能。当上游设备将UP_REQ_EN位保留在MSTM_CTRL寄存器（DPCD地址00111H，位1）中时，MST DP分支设备将上游设备识别为仅SST设备。

仅SST拓扑管理功能是输出端口选择的基本输入。如第5.3节所述，连接到仅SST源设备的MST DP分支设备充当仅SST分支设备。用作仅SST分支设备的MST分支设备不得执行SST输入到MST输出转换。

A DPTX of an MST DP Source device may choose to transmit in SST transport format (i.e., keeps the MST_EN bit in the MSTM_CTRL register (DPCD Address 00111h, bit 0) of the downstream device cleared to 0) while setting the UP_REQ_EN bit to 1, as long as it performs the role of Topology Manager and Source Payload Bandwidth Manager and originates Message Transactions for virtual channel management在SST流传输之前。MST DP源设备使用消息交易建立虚拟通道并以SST传输格式传输后，MST DP分支设备必须将SST输入转换为MST输出。

2.5.8

循环处理

虽然应该在没有循环或平行路径的情况下构造DP MST拓扑，但拓扑管理器必须能够处理存在环路或并行路径的情况。

从link_address消息交易请求和查询的DP设备的RAD获得的指南提供了足够的信息，以确定拓扑中是否存在循环或并行路径。选择通过多个路径访问的DP设备的路径是拓扑管理器实现的特定于特定于拓扑管理设备，包括处理具有循环和/或并行路径的拓扑。图2-75显示了带有循环和平行路径的示例拓扑结构，以及循环和并行路径的GUID和RAD。

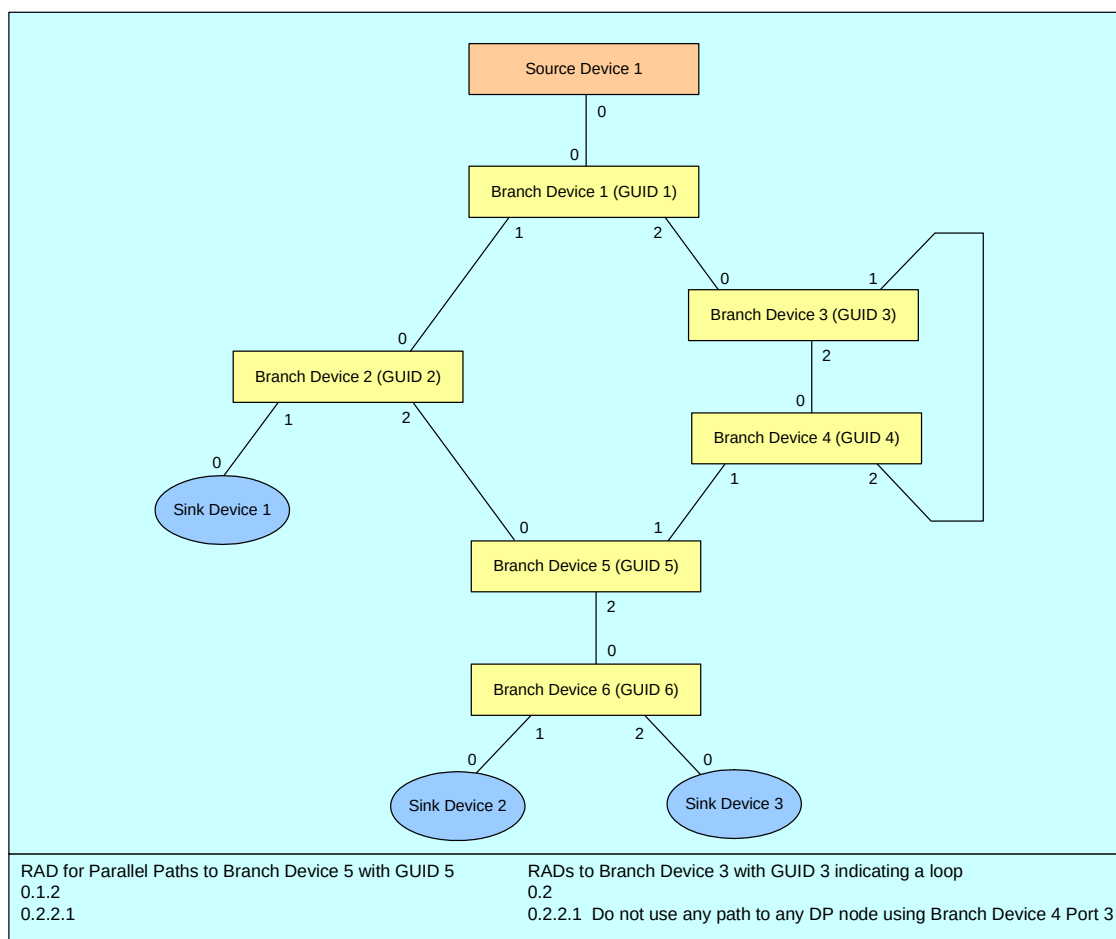


图2-75：带循环和平行路径的MST拓扑

在第2.11节中定义了循环时，消息传递AUX客户端用于处理广播消息事务的过程。

2.6 MST操作

本节中描述的多流传输（MST）扩展规范实现了以下特征：

- 彼此之间异步并从链接正时取消耦合的多个流的运输， 包装上的开销高达1.6%
- 溪流的添加或删除而不影响正在运输的其他流
- DP分支设备在路径中的符号流序列通过操作（除了执行MST和SST符号映射之间的转换的符号序列）是对符号类型， 数据类型/格式和Main-Link Lane Count的不可知论
- 强大的链接； VC有效载荷符号传输中可预测的链路正时和冗余（无论车道计数如何）

DP d支持MST模式必须支持SST模式的EVICES A 很好。

流政策制定者是决定要运输音频和/或视频流的实体。流政策制定者利用有效载荷带宽管理器和拓扑管理器来完成此任务。为了决定要使用的特定流， 流策略制定者（可选）可以根据路径沿途的各种约束和功能来确定可以在当时设置的各种音频和/或视频模式。

本节重点介绍了流策略制造商， 主链接符号管理层， 有效负载带宽管理层和VC有效载荷映射层（图2-76）中路径约束的枚举（图2-76）， 由下面的子段组成。

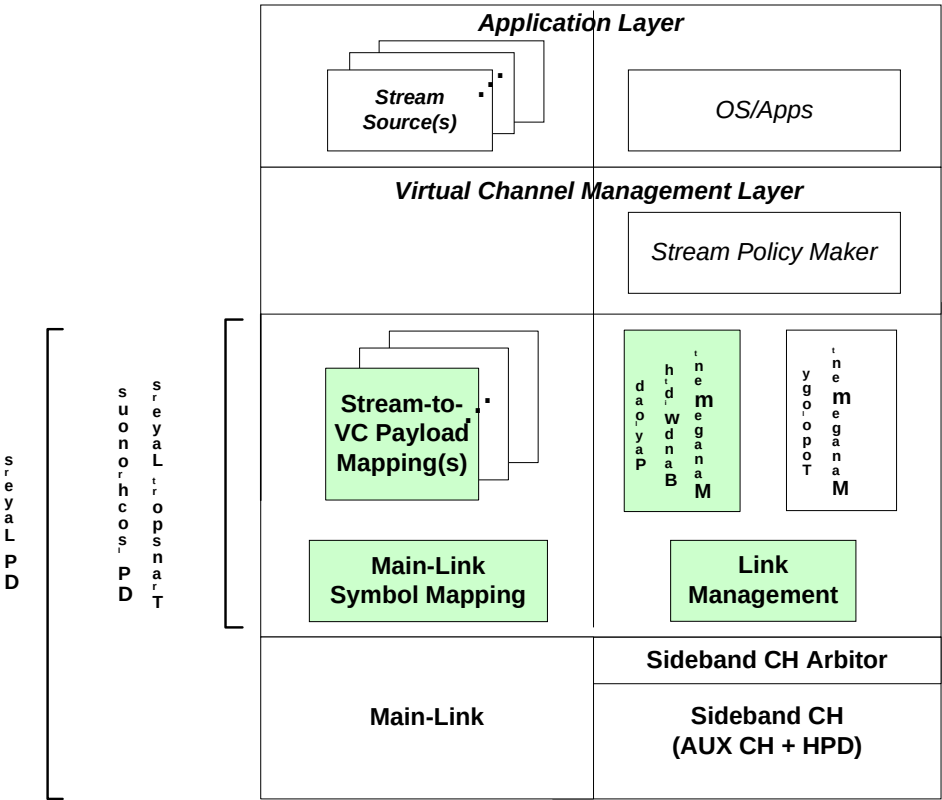


图2-76： 本节涵盖的层

- 第2.6.1节 - 路径约束的枚举
 - 流策略制定者（可选）可以根据路径沿途的各种约束和功能确定目前可以设置的各种音频和/或视频模式。
- 第2.6.2节 - 基于多流运输包的链接定时生成
 - 时机是由主链接符号管理器自我生成的，而不是由运输的流的时机决定。
- 第2.6.3节 - 符号序列映射到VC有效载荷
 - 映射到VC有效载荷中的符号序列由4个符号序列单元组成，而不管主链路计数如何。
 - 只有DP源设备生成流符号序列，而DP分支设备将流符号序列转发。
 - VC有效载荷填充（VCPF）符号序列在没有流符号的情况下由主链接符号管理器插入。通过VC有效载荷映射映射的流符号序列在传输流时取代VCPF符号序列。
 - MST模式下的VC有效载荷符号生成方法可以通过中间DP分支设备通过流符号传递。
- 第2.6.4节 - 时间插槽计数分配给VC有效载荷
 - 源有效载荷带宽管理器和分支有效载荷带宽经理协作，以确保在路径上为流为流的VC有效载荷运输流，而不会导致溢出。源有效载荷带宽管理器计算流的有效负载带宽号（PBN），并将PBN值传递给下游分支设备，以使分支有效载荷带宽经理确定每MTP的VC有效载荷大小。
 - 来源和分支有效负载带宽管理人员确保将VC有效载荷设置为最小的大小，以便可以同时运输流的最大流数。源设备执行管理速率，并通过限制流符号序列插入速率在多个MTP上均匀分布流的符号数。
- 第2.6.5节 - VC有效载荷分配同步管理
 - VC有效负载是通过在DPTX和DPRX之间同步VC有效载荷ID表来管理的，也可以通过将主链接上的VC有效载荷分配同步到表格上。
- 第2.6.6节 - Allocate_Payload定时顺序
 - Allocate_payload消息事务使VC有效载荷通过流源和流源同步之间的多个链接。
- 第2.6.7节 - 各种事件对VC有效载荷ID表的影响
 - 一些事件，例如拔出事件和链接丢失会影响VC有效载荷ID表。
- 第2.6.8节 - 鲁棒性要求
 - DPRX需要某些动作来通过利用自我生成的链接正时和VC有效载荷符号生成MST DPTX的方法来使链接尽可能鲁棒。

- 第2.6.9节 - 控制功能，控制符号和K代码分配
 - 控制符号映射到ANSI 8b/10b k代码。大多数控件符号以及所有数据符号都被扰乱。
- 部分 2.6.10 - MST和SST符号之间的转换 应用
 - 简单的通行操作不适用于从MST映射符号转换为SST映射符号（反之亦然）的DP分支设备。
 - 在MST模式和SST模式之间切换会导致流的传输中断。

图2-77，图2-78和图2-79分别显示了MST DP源设备，DP接收器设备和DP分支设备的逻辑框图。这些图在第2.6.2节和第2.6.3节中进行了缩小和描述。

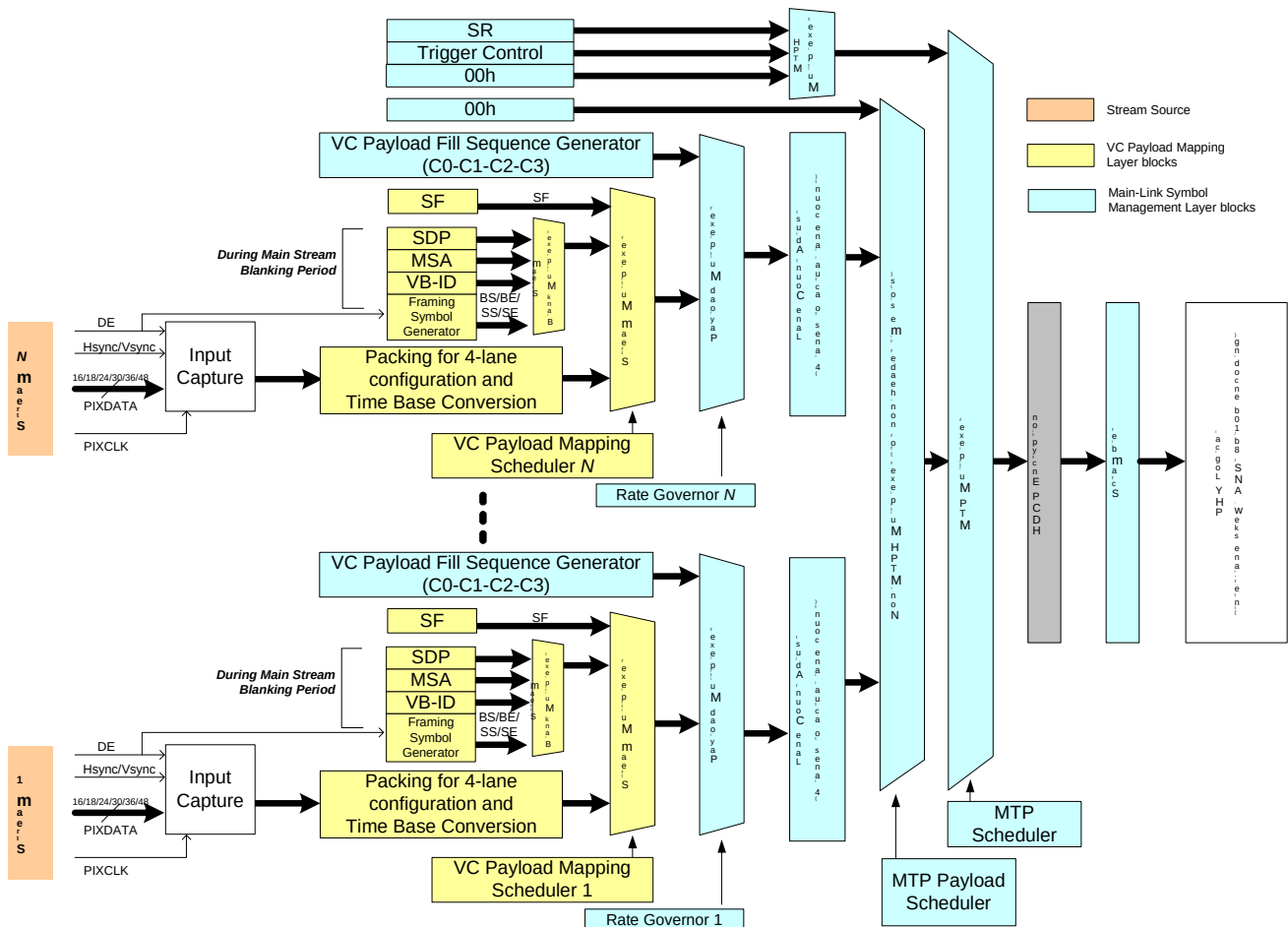


图2-77: MST DP源设备的逻辑框图

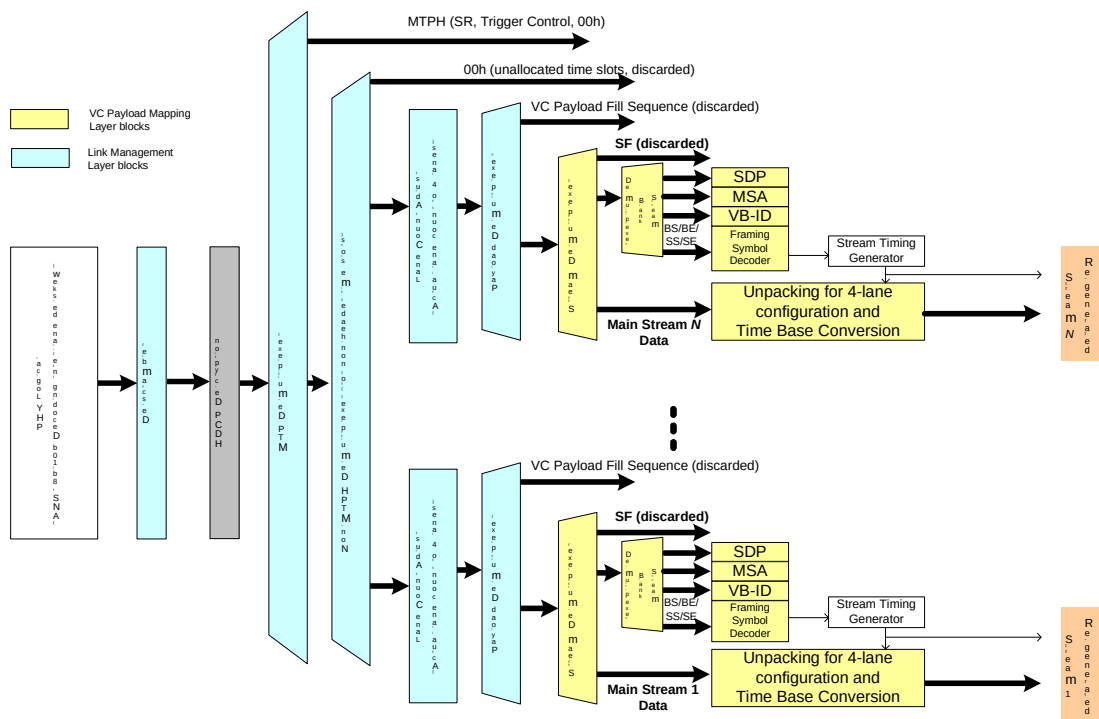


图2-78: MST DP水槽设备的逻辑框图

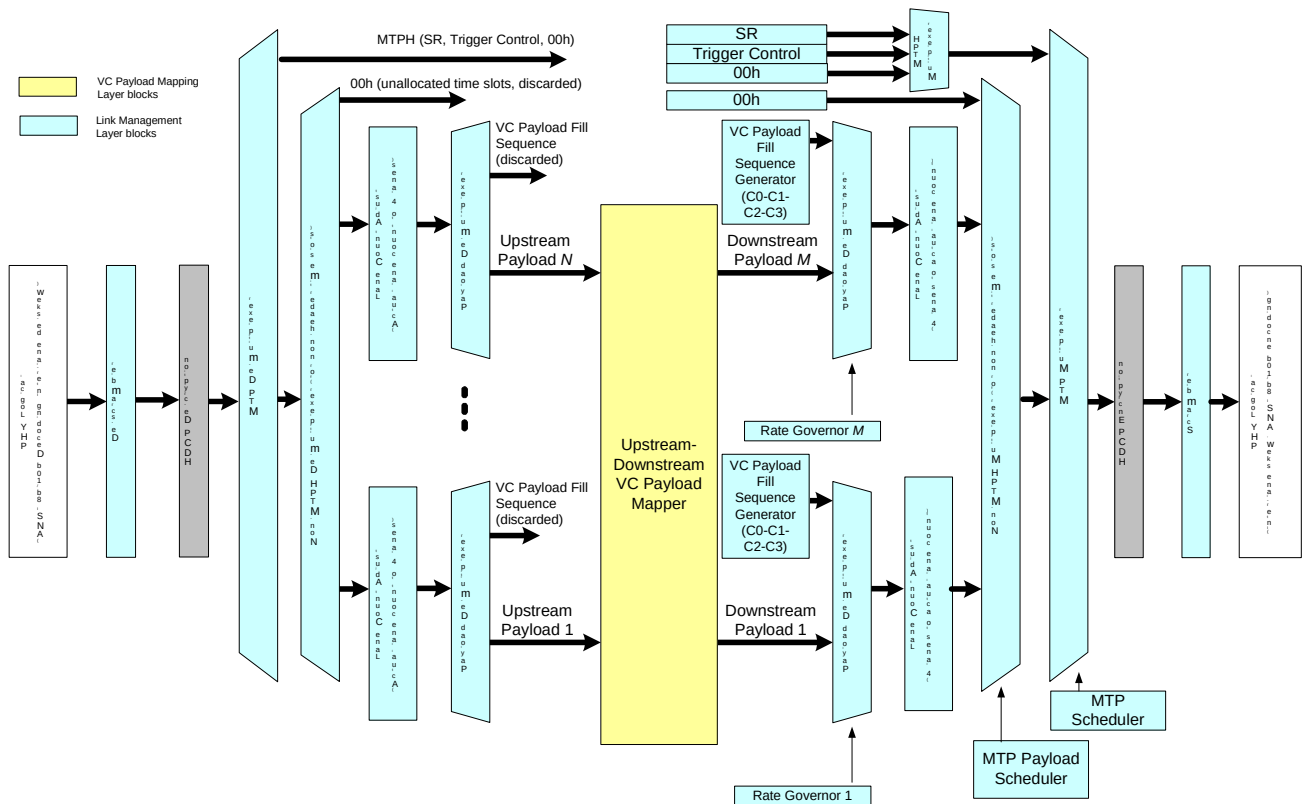


图2-79: MST DP分支设备的逻辑框图

图2-80和图2-81出于参考目的，分别显示了SST DP源和接收器设备的逻辑框图。与图2-77和图2-78相比，这些图表说明了4车道配置和MST之间的SST之间的VC有效载荷层块的相似性。

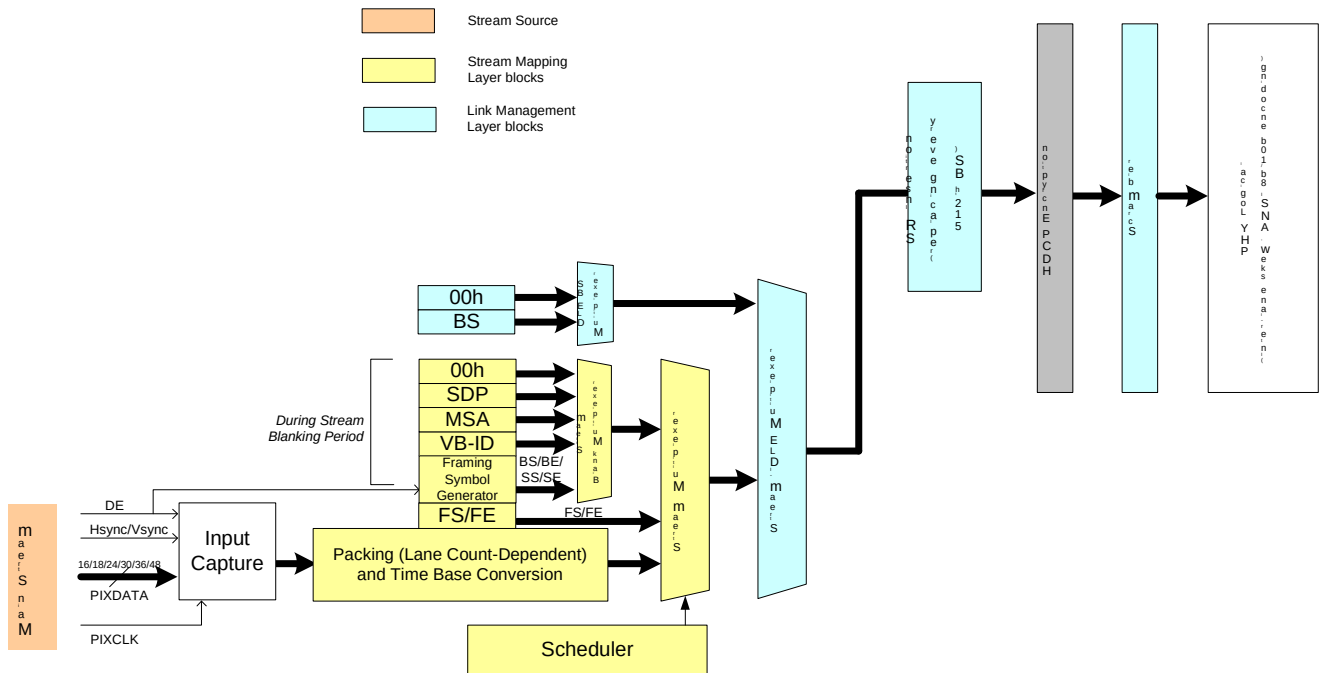


图2-80: SST DP源设备的逻辑框图

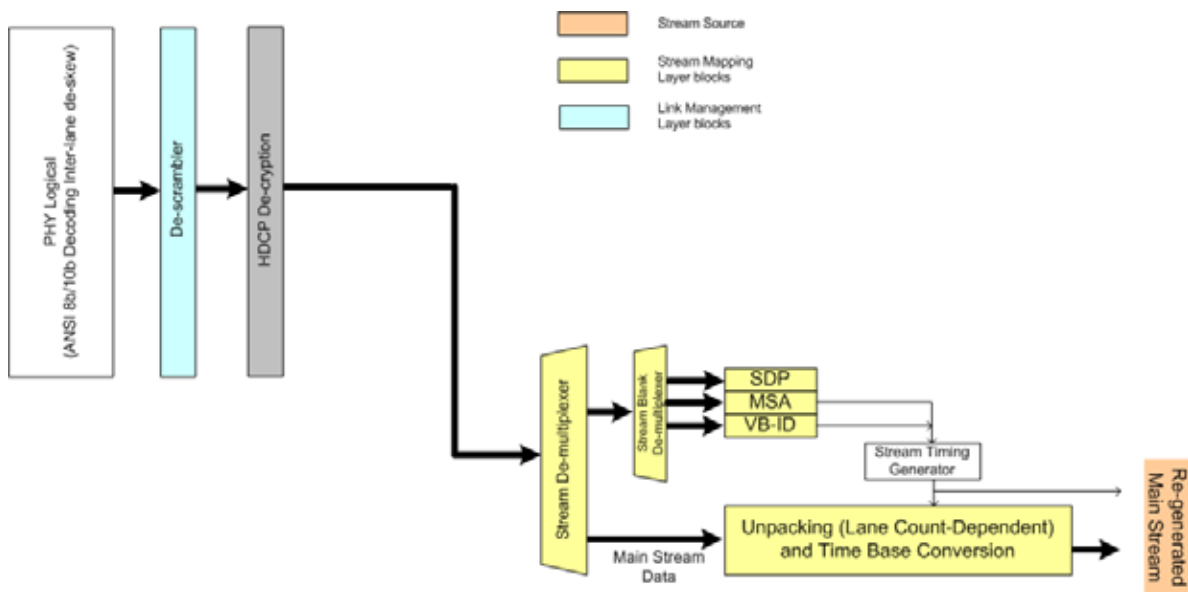


图2-81: SST DP水槽设备的逻辑框图

2.6.1

列举路径约束

MST源设备使用链接地址和枚举路径资源消息交易的组合来确定给定路径上的资源约束。链接地址返回表2-128和表2-129中定义的当前功能结构（CCS），表明静态设备功能。枚举路径资源返回通过可用PBN参数的路径上的动态路径资源（目前仅是可用的链接带宽）。

表2-128：当前功能结构语法

Syntax	# of Bits
Current_Capabilities_Structure	
Max Frame Height	16
Max Frame Width	16
Max Frame Size	24
Max Frame Rate	10
RESERVED	6
Color Depth Supported RGB	8
Color Depth Supported YCbCr	16
Max Pixel Clock	16
S3D Formats Supported	16
Max Streams Supported	7
Other Unspecified Capability Exists	1

表2-129：当前功能结构字段定义

Field	Description
Max Frame Height	Maximum Active Height of the video frame that the device supports.
Max Frame Width	Maximum Active Width of the video frame that the device supports.
Max Frame Size	Maximum Active Frame Size of the video frame that the device supports. Specified in number of MacroBlocks (16 pixels by 16 pixels). This field can further refine the Max Frame Height and Max Frame Width constraints.
Max Frame Rate	Maximum rate at which the device can consume frames. Specified in terms of number of frames per second.
Color Depth Supported RGB	Indicates the color depth value that the device supports for RGB, Luma, and Chroma, The bit field values are defined in Table 2-130. Color Depth Supported RGB uses one instance of Table 2-130,
Color Depth Supported YCbCr	Indicates the color depth value that the device supports for RGB, Luma, and Chroma, The bit field values are defined in Table 2-130. Color Depth Supported YCbCr uses two instances of Table 2-130, with the table for Luma preceding the table for Chroma.
Max Pixel Clock	Maximum pixel clock that the device supports on the DFP used by the input path under characterization. Value is conveyed in units of MHz.
S3D Formats Supported	Indicates support for various S3D formats, as defined in Table 2-131.
Max Streams Supported	Maximum number of streams that the device supports.
Other Unspecified Capability Exists	Indicates presence of a vendor-specific constraint. The Source device discovers this constraint in a vendor-specific manner.

表2-130: RGB, Luma和Chroma的颜色深度指示的位定义

Bitfield	Meaning
1h	6bpc
2h	8bpc
4h	10bpc
8h	12bpc
10h	16bpc
All other values	RESERVED

表2-131: S3D功能的位字段定义

Bitfield	Meaning
0h	No S3D support
1h	Frame/Field Sequential, Value 0x0
2h	Frame/Field Sequential, Value 0x1
4h	Frame/Field Sequential, Value 0x2
8h	RESERVED
10h	Stacked Frame: Left view on top, right on bottom
20h	RESERVED
40h	Pixel Interleaved, Value 0x0
80h	Pixel Interleaved, Value 0x1
100h	Pixel Interleaved, Value 0x2
200h	Pixel Interleaved, Value 0x3
400h	Pixel Interleaved, Value 0x4
800h	RESERVED
1000h	Side by Side, Value 0x0
2000h	Side by Side, Value 0x1
4000h	RESERVED
8000h	RESERVED

2.6.1.1 多功能DP MST分支设备枚举

DP v1.4的新手。

基本的MST分支设备包含一个能够进行以下操作的MST分支单元（BU）：

- DP MST-IN，DP MST-OUT VC有效载荷路由作为中级分支机构设备
- DP MST到DP SST转换是最后一个MST分支设备

作为最后一个MST分支设备，多功能MST分支设备除了上面列出的基本MST分支设备功能之外，还可以执行以下操作的一个或多个操作：

- 运输协议转换
- 视频水平空白扩展
- 忽略MSA处理以进行自适应同步支持
- 像素编码格式转换（例如YCBCR4: 4: 4: 4-to-ycbcr4: 2: 0）
- 显示流压缩（DSC）减压

多功能MST分支可能包含本地流式汇，以构成多功能的MST分支机构设备

2.6.1.1.1 带有DPCD寄存器的虚拟DP对等设备

多功能MST分支或分支链接设备应列举连接到SST设备的DP和非DP传输DFPS的下游朝下端口（DFP），以及配备了带有DPCD寄存器的虚拟DP对等设备的本地流动台。（有关虚拟DP对等设备DPCD寄存器的详细信息，请参见第2.6.1.1.2节。）

图2-82说明了一个多功能的MST分支 - 链接设备的一个示例，该设备具有一个具有MST能力的DPTX端口，两个具有MST的DP ++ TX端口，一个HDMI TX端口和一个本地流式渠道。dp ++ tx端口1在此示例中既没有下游设备，也没有连接的级别移动加密狗。

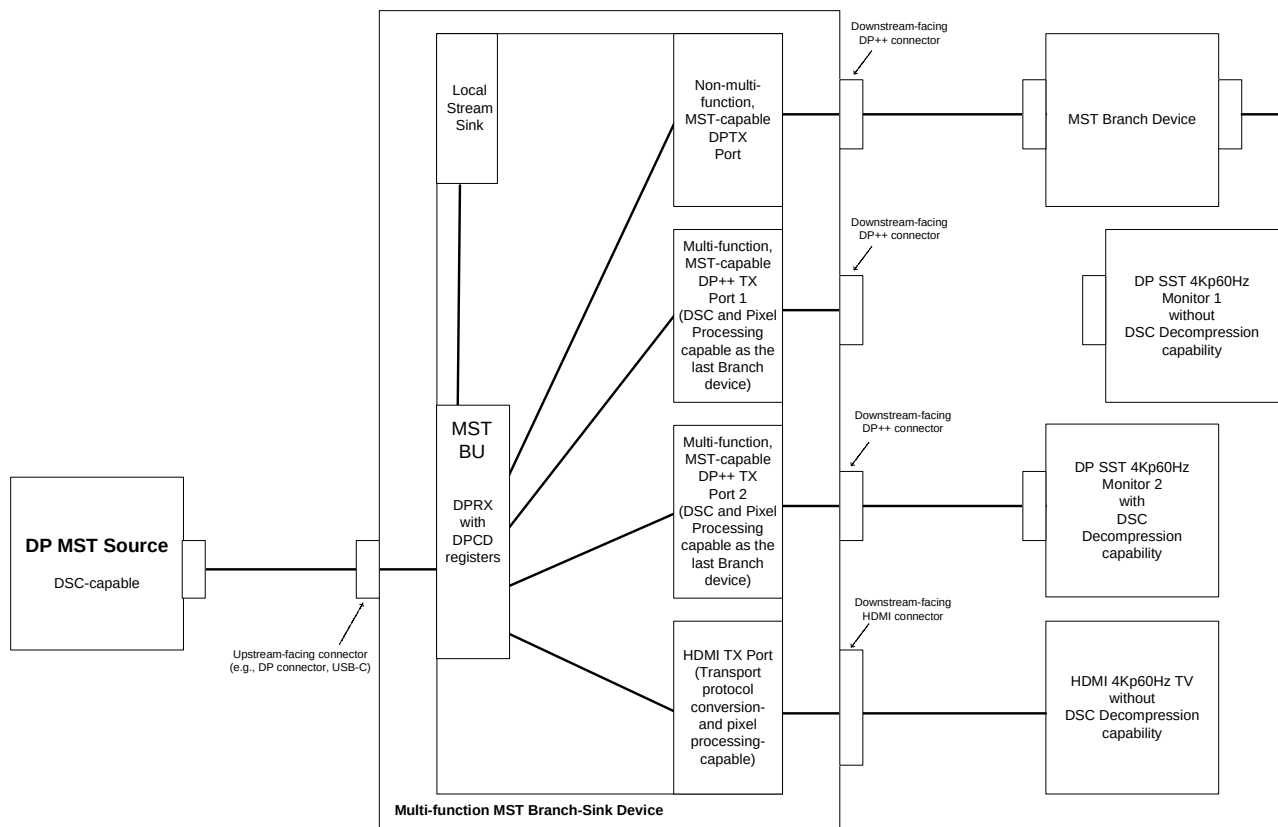


图2-82：多功能分支机构设备示例

图2-83显示了此多功能MST分支链接设备如何列举以下拓扑为DP MST源设备：

- DP ++ TX端口2带有DP SST监视器连接，列举为虚拟DP-TO-DP对等设备，带有虚拟DPCD寄存器设置
- HDMI TX端口列举为虚拟DP-HDMI协议转换器对等设备，带有虚拟DPCD寄存器设置
- 用虚拟DPCD寄存器设置的虚拟DP接管设备列举为本地流汇集

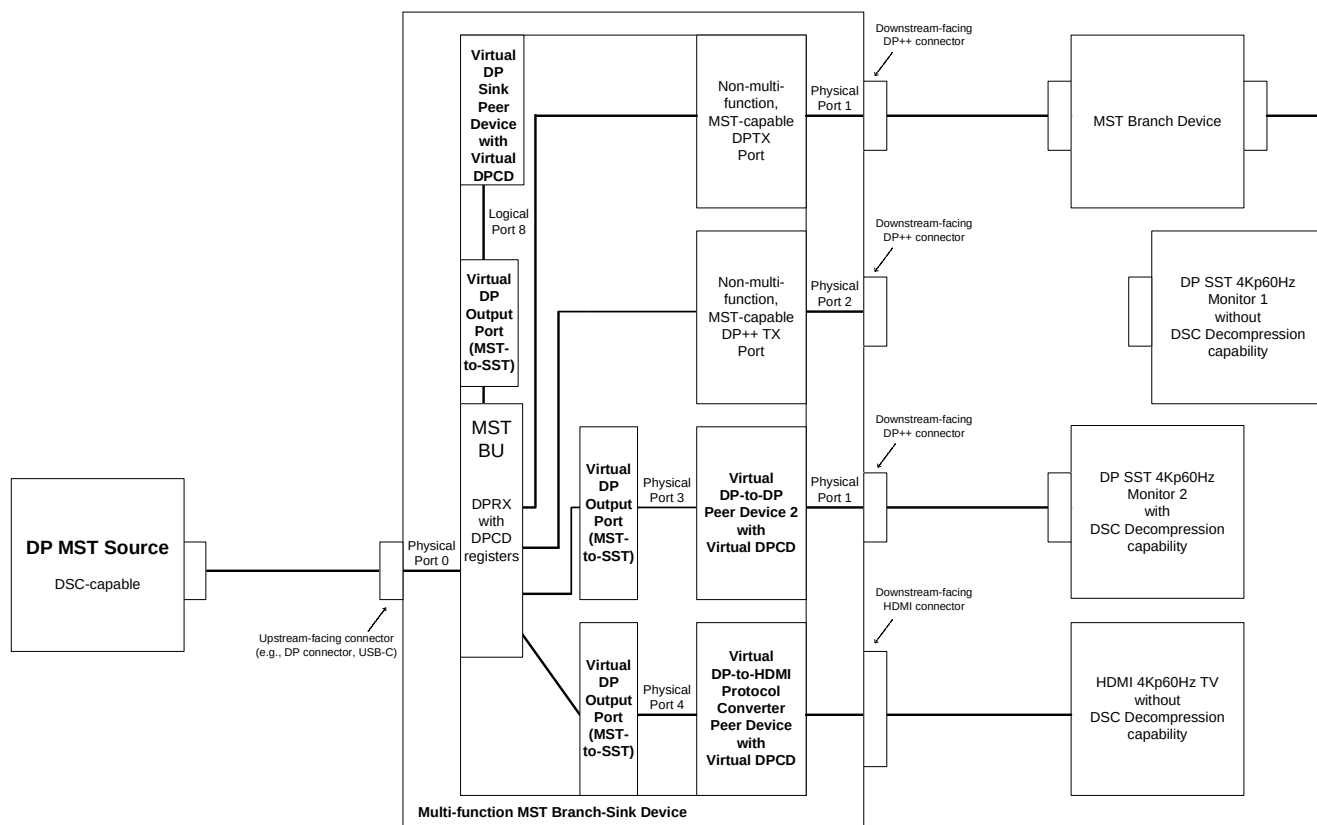


图2-83：示例多功能MST分支机链设备枚举

Figure 2-84 shows the enumeration after DP SST Monitor 1 is plugged to DP++ TX Port 1. After the plugging of a DP SST device, the multi-function MST Branch-Sink device changes DP++ TX Port 1 to a Virtual DP-to-DP peer device with a Physical DPTX Port that has a DP SST peer device, and then issues a Connection Status Notify (CSN) message transaction to DP MST源设备。

如果将级别转移的加密狗插入DP ++ TX端口1，则多功能MST分支链接设备将DP ++ TX端口1更改为虚拟DP-TO-HDMI PEER设备。

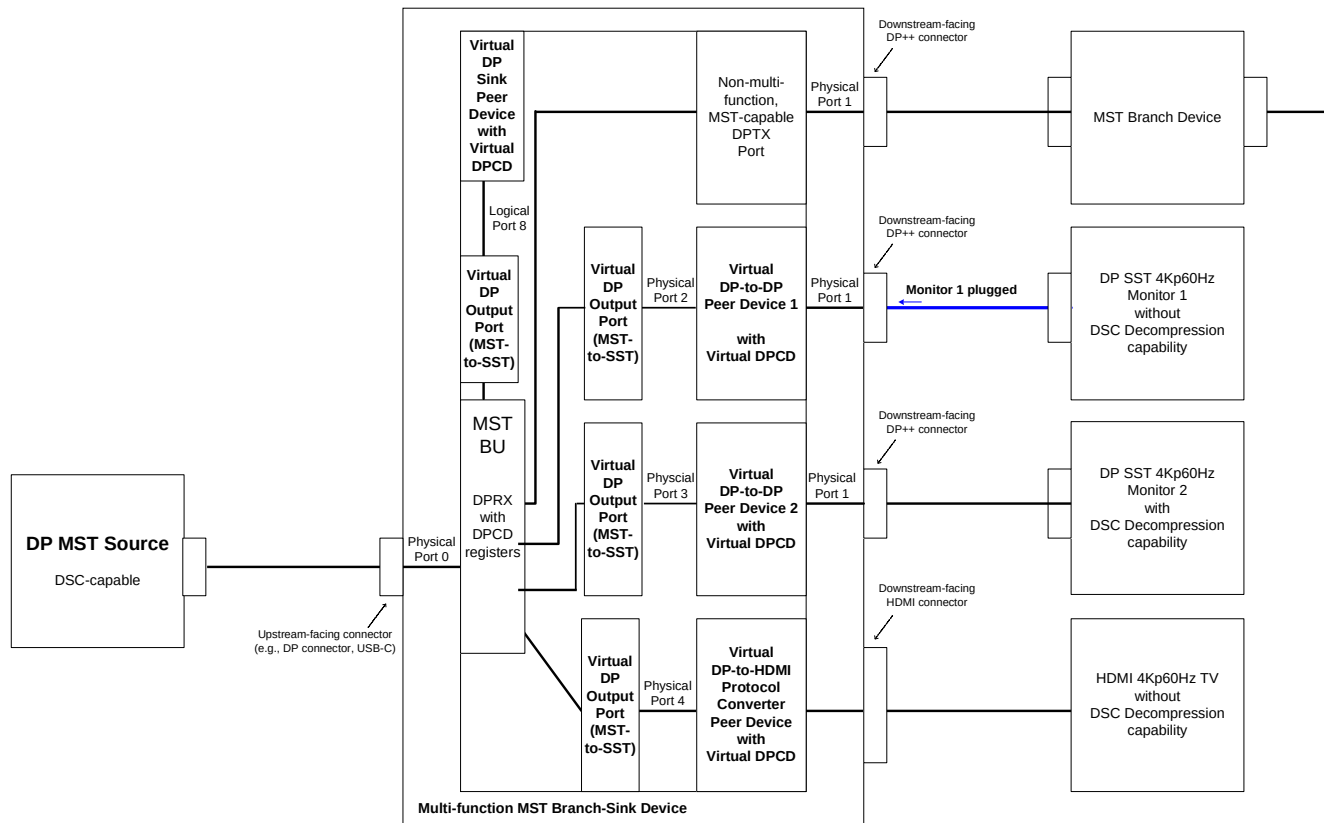


图2-84: DP SST监视器1插入后的枚举

DP MST源介绍了使用RAD的每个虚拟对等设备，并连接到下游DP设备（是物理DP对等设备），如第2.5.3节所示。

例如，DP MST源设备可以同时执行以下操作：

- 启用虚拟DP到DP对等设备1的DSC解压缩功能（因为连接到它的DP SST设备不是DSC dsc Decompression-capable），所以
- 禁用虚拟DP到DP对等设备2的DSC解压缩功能，并且
- 启用其下游DP SST设备的DSC减压功能

通过远程_DPCD_RD和remote_dpcd_wr message Transactions同时设置虚拟和物理DPCD寄存器位，可以通过DP MST源设备进行此类控制粒度，如图2-85所示。

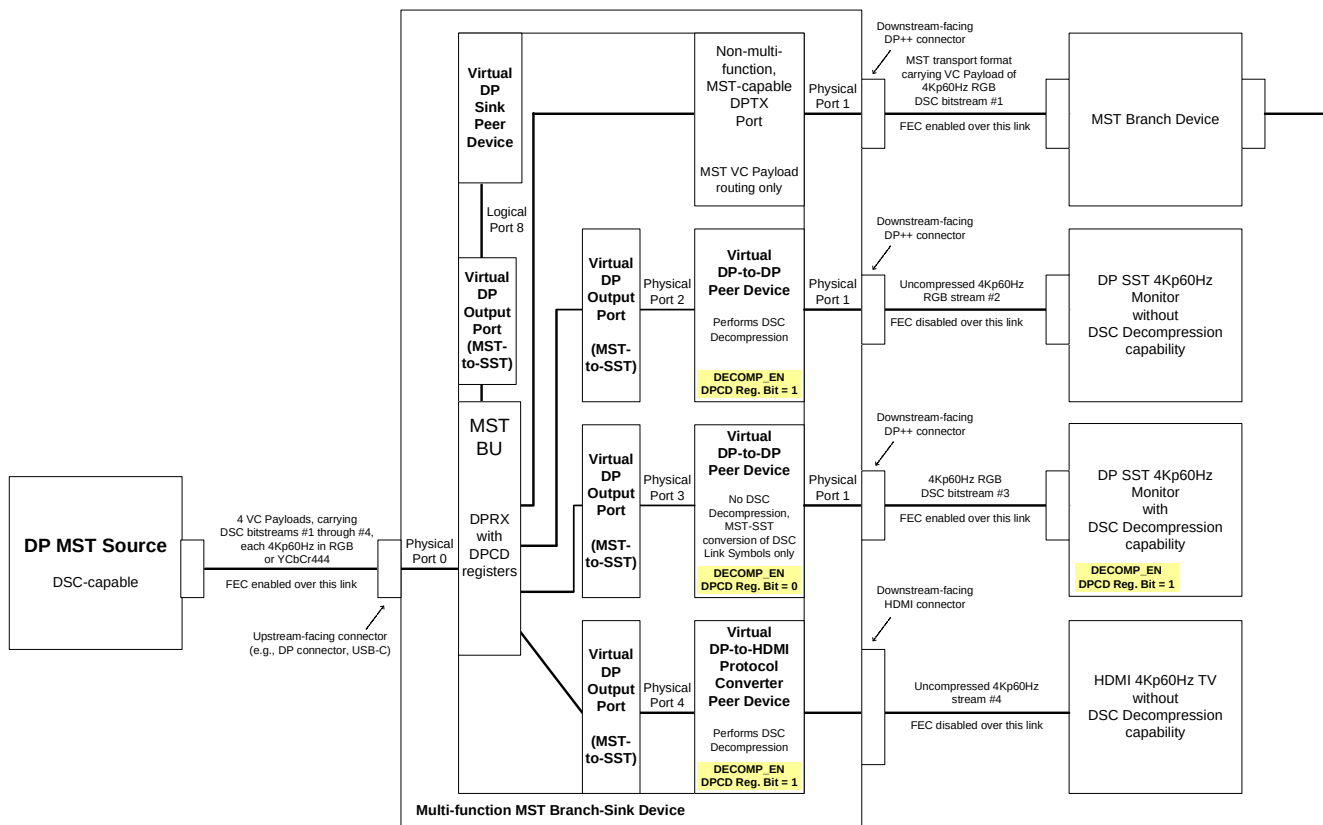


图2-85：DSC减压操作通过虚拟/物理DPCD寄存器设置控制

2.6.1.1.2 DPCD寄存器与虚拟DP对等设备相关

表2-132列出了与虚拟DP对等设备一起使用的DPCD寄存器。至于其余的DPCD寄存器，多功能的MST分支设备应与其MST BU的DPRX的DPCD寄存器值重播。

表2-132： DPCD寄存器与虚拟DP对等设备相关

DPCD Address	Bit #	Definition	AUX CH Read/Write from DPTX
00005h	DOWN_STREAM_PORT_PRESENT		Read Only
	0	DFP_PRESENT 0 = Device is a virtual DP Sink peer device and has DFP(s). 1 = Device is another type of virtual DP peer device and has DFP(s).	
00007h	DOWN_STREAM_PORT_COUNT		Read Only
	3:0	DFP_COUNT 0h for a virtual DP Sink peer device. 1h for other virtual DP peer devices.	
	6	MSA_TIMING_PAR_IGNORED Virtual DP peer devices that support the Ignore MSA option shall set this bit as described in Section 2.2.4.1.1.	
00008h	RECEIVE_PORT0_CAP_0 Virtual DP peer devices that support the MSA Horizontal Blanking Expansion option shall program this register as described in Section 2.2.4.1.2.		Read Only
00009h	RECEIVE_PORT0_CAP_1 Virtual DP peer devices that support the MSA Horizontal Blanking Expansion option shall program this register as described in Section 2.2.4.1.2.		Read Only
00060h through 0006Ch	DSC Capabilities		Read Only
00080h through 00083h	Detailed Capabilities Info Detailed capabilities information for the DFP(s) of the virtual DP peer device.		Read Only
00107h	DOWNSPREAD_CTRL		Read/Write
	7	MSA_TIMING_PAR_IGNORE_EN This bit can be set to 1 only if the MSA_TIMING_PAR_IGNORED bit in the DOWN_STREAM_PORT_COUNT register (DPCD Address 00007h, bit 6) is set to 1.	
00160h	DSC ENABLE		Read/Write
00200h	SINK_COUNT Used by virtual DP-to-non-DP peer device to indicate connection of the non-DP downstream device.		Read Only

表2-132: DPCD寄存器与虚拟DP对等设备相关 (续)

DPCD Address	Bit #	Definition	AUX CH Read/Write from DPTX
0020Fh and 02011h		DSC STATUS	Clearable Read Only
00240h through 00245h		TEST_CRC-related registers	Read Only
03030h through 03034h		Downstream HDMI Link Status Reporting-related registers	Read Only
03050h through 03053h		DVI/HDMI Mode Configuration and Pixel Processing Configuration-related registers	Read/Write
03054h through 03059h		OUTPUT_HTOTAL/_HSTART/_HSP_HSW For Horizontal Blanking Expansion operation as described in Section 2.2.4.1.2.	Read/Write

2.6.1.3

多功能DP MST分支设备可能具有具有DSC解压缩功能的多个虚拟DP对等设备。本节介绍了具有DSC减压功能的多个虚拟DP对等设备之间DSC资源管理的策略。

DSC引擎的功能（由一个或多个DSC解码器单位组成）在以下寄存器中暴露（有关详细信息，请参见第2.7节）：

- dpcd地址的峰值DSC吞吐量0006BH
- DPCD的DSC切片功能地址为00064H和0006DH
- DSC最大切片宽度在DPCD地址0006DH

具有多个虚拟DP对等设备具有DSC功能的多功能DP MST分支机设备应在连接设备连接时揭示固定的DSC功能，并在连接期间持续存在。多功能DP MST分支设备应管理DSC单元资源，并根据其自己的策略连接端口时将DSC单元分配给DSC引擎。

上游DP MST DSC源设备应依赖于DSC功能DPCD DPCD寄存器中列出的多功能DP MST分支设备所公示的DSC功能。

2.6.2

基于多流运输包的链接定时生成

DPTX通过在MSTM_CTRL寄存器（DPCD地址00111H，BIT 0）中设置MST_EN位启用MST模式，通过本机Aux写入验证其下游DPRX在MST_CAP中具有MSTM_CAP寄存器中的MST_CAP位（DPCD地址0000021H，位0）设置。

在SST模式下，主链接正时由主流的时机支配，其传输的链接是BS/SR符号插入间隔由主视频流的水平阶段决定。TU（转移单元）是SST模式下的微型包装的船只，仅在主视频流活动期间运输。在MST模式下，主链路时机是自我生成的，并且不受运输流的时机的控制。微型包装的容器称为MTP（多流运输包）。MTP长为64个链接周期（即64个时间插槽），从首次插槽（或时插槽0）开始从MTP标头开始，并且无论存在/不存在流，都会不断运输。

DPTX的主链接符号管理器将SR控制符号插入MTP标头时插槽，每1024th MTP作为链接框架边界标记，导致SR插入间隔为216个时插槽，如图2-86所示。

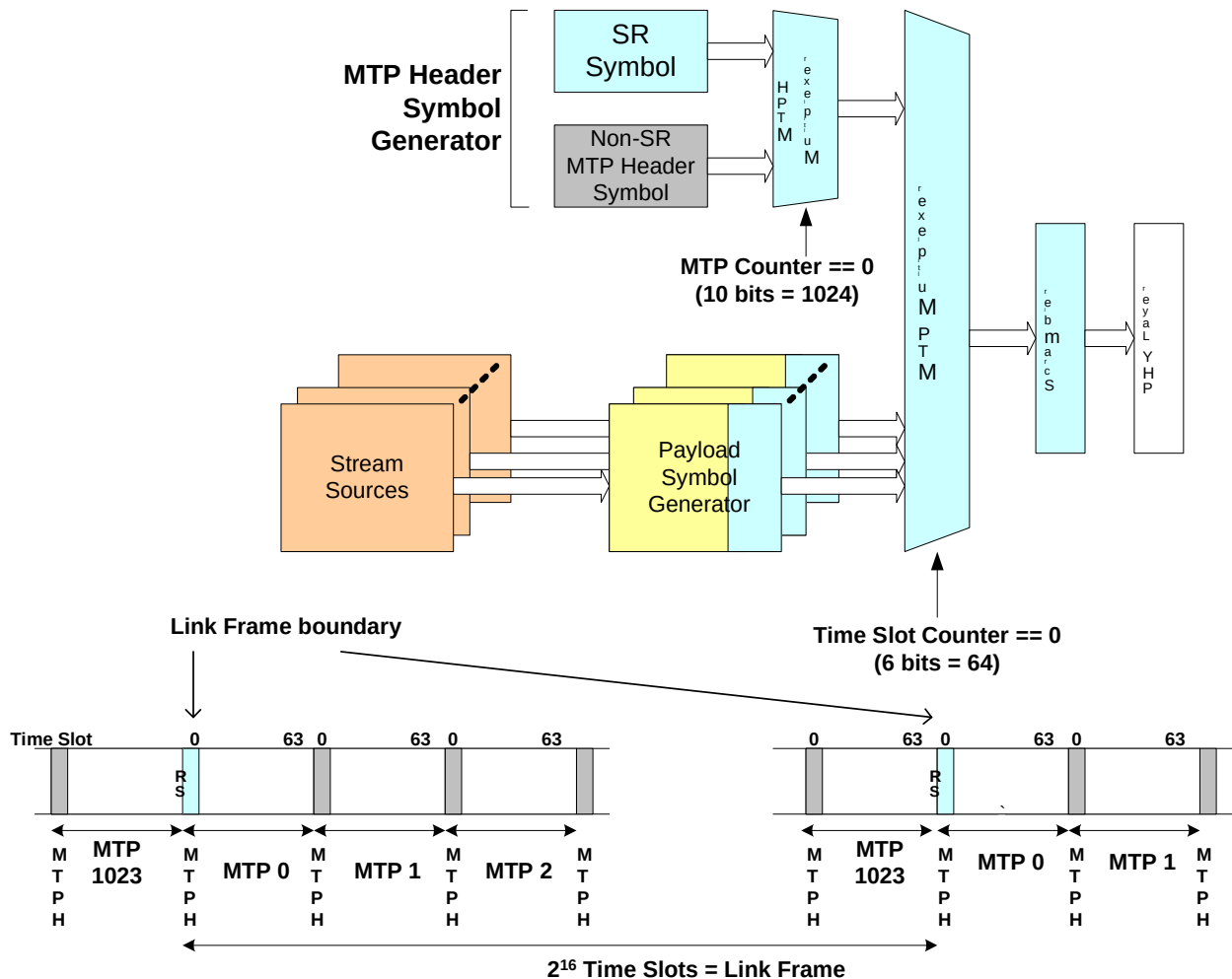


图2-86：MST模式下的链接定时生成

2.6.2 .1 MST链接定时生成使用FEC编码/解码启用

DP v1.4的新手。

当启用FEC编码/解码时（请参见第3.5.1.5节），DPTX链接层应插入FEC Parity Place持有人和奇偶校验标记（分别为FEC_PARITY_PH和FEC_PM）链接符号。FEC_PARITY_PH和FEC_PM链接符号的数量应如下：

- 1车道配置
 - 12 fec_parity_ph链接符号在500之后插入500个链接层链接符号
 - 每128组12 fec_parity_ph链接符号，后跟FEC PM链接符号
- 2-和4车道配置
 - 六个fec_parity_ph链接符号在250之后插入
 - 每256组六个FEC_PARITY_PH链接符号，后跟FEC PM链接符号

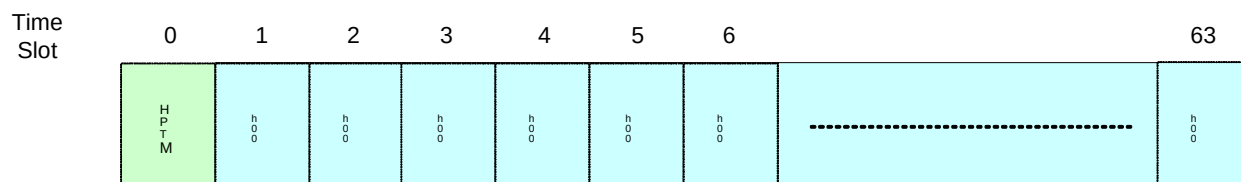
FEC奇偶校验符号的传输严格是周期性的，不可知链路层链接符号传输被插入的FEC奇偶校验符号中断。

链路层链接符号变速箱正时（包括SR符号传输时机）由于FEC_PARITY_PH和FEC_PM链接符号插入而偏斜。

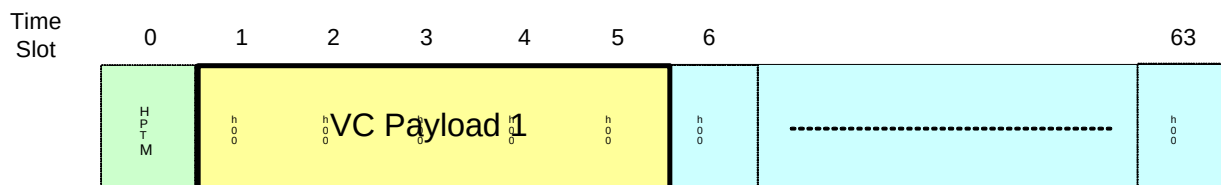
2.6.3符号序列映射到VC有效载荷

从DP源到目标接收器设备的路径中每个DPTX的有效负载带宽管理器将MTP中的时间插槽分配给VC有效载荷，以建立用于运输流的虚拟通道。

当没有分配任何VC有效载荷的时间插槽时，所有63个非MTPH时插槽都填充了数据0x00（在数据扰动之前），如图2-87所示。



没有分配给VC有效载荷的时间插槽



分配给VC有效载荷1的时间插槽1 - 5

图2-87：分配给VC有效载荷的时间插槽

两种类型的符号序列映射到VC有效载荷时间插槽:

- DP源设备的VC有效载荷映射器生成的流符号序列
- VC有效载荷填充 (VCPF) 符号序列由DP源设备和DP分支设备的主链接符号管理器生成

仅在DP源设备中存在流符号序列发生器。DP分支设备生成VCPF符号序列, 但没有流符号序列。相反, DP分支设备转发了从上游DP设备接收到的流符号。当没有流符号序列可以向前时, 分支设备会传输其生成的VCPF符号序列。

如图2-88所示, 这两个符号序列由四个符号的单位组成, 无论车道计数如何。

在建立新的VC有效载荷后, DPTX将VCPF符号序列作为至少16 MTP的默认符号序列发送, 然后开始传输流符号序列。当没有流符号序列要插入时, DPTX将继续传输VCPF符号序列

。

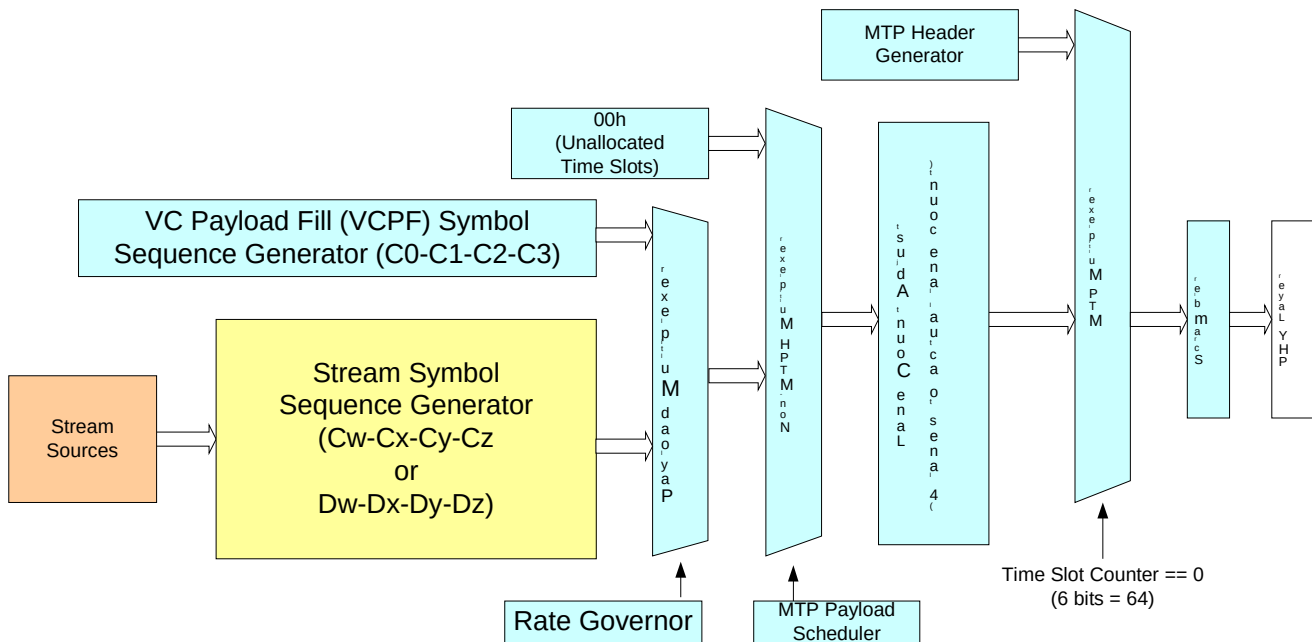


图2-88: DP源设备的VC有效载荷符号生成器

当DPTX驾驶四个车道时, 四符号序列单元 - sym_x, sym_y, sym_z和sym_aa (用于控制符号的sym = c, 以及用于数据符号的d) 被映射到VC有效载荷时间插槽中的单个时间插槽中。对于1和2车道的配置, 如图2-89所示, 将4个符号序列单元顺序映射。

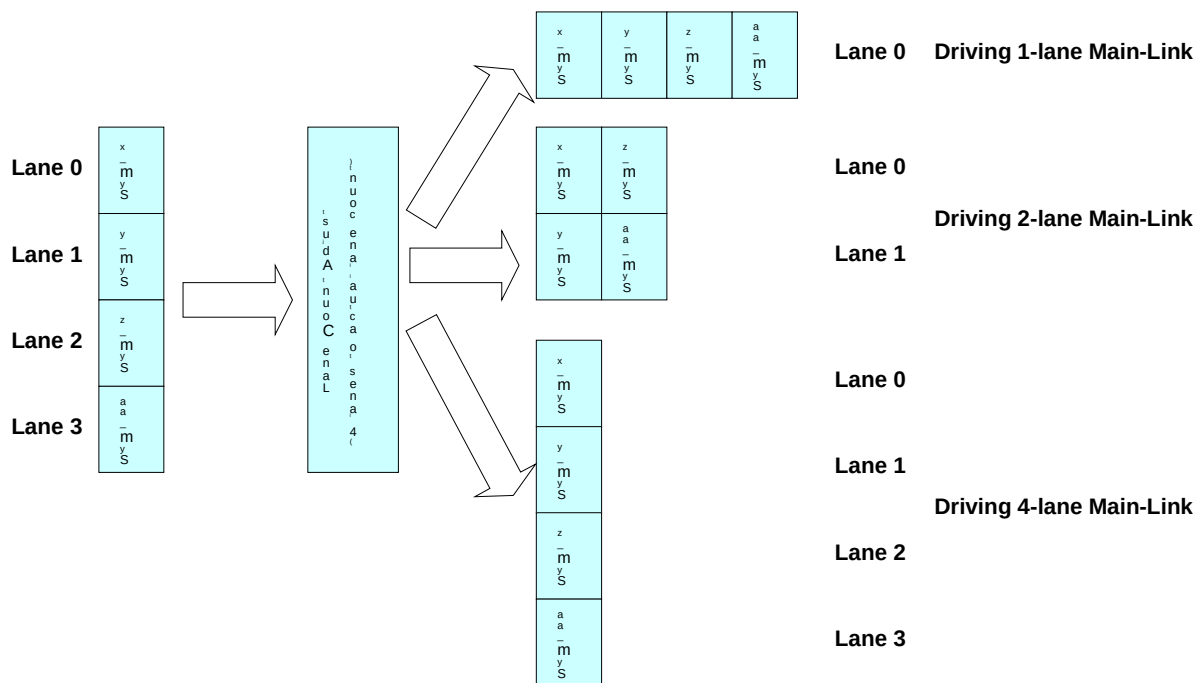


图2-89：4个符号序列单元映射到主链路车道

如图2-90所示，当给定流的VC有效载荷被加成时，4个符号序列单位模式会重复。从图中可以看出，四符号序列单元可能会跨在MTP中给定流的VC有效载荷边界。

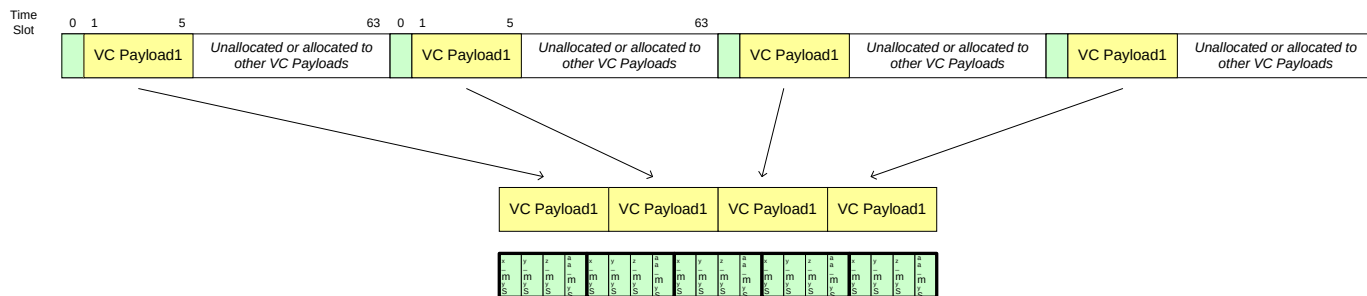


图2-90：1车道主链路的4个符号序列单位示例的重复

表2-133总结了VC有效载荷控制符号序列。

表2-133: VC有效载荷控制符号序列的摘要

VC Payload Control Symbol Sequence ^a	Symbol Name	Control Code Sequence
VC Payload Fill Control	VCPF	C0-C1-C2-C3 ^b
Stream Control		
Stream Framing Control	BS	C0-C0-C0-C0
	BE	C1-C1-C1-C1
	SS	C3-C3-C3-C3
	SE	C6-C6-C6-C6
Stream Fill Control	SF	C4-C4-C4-C4

- a. *VCPF symbols are generated either by a DP Source device for rate governing, or a DP Branch device when there is no stream symbol from the upstream device to forward to the downstream link. Stream symbols are generated by a DP Source device, not a DP Branch device.*
- b. *C0, C1, C2, and C3 correspond to Sym_x, Sym_y, Sym_z, and Sym_aa, respectively, in Figure 2-89.*

主题 Control Code to ANSI 8b/10b K code mapping is described在第2.6.9节中。

2.6.3.1 VC有效载荷填充符号序列

由主链接符号管理器插入的VC有效填充（VCPF）符号序列由四个控件符号组成，如表2-133所示。

当启用链接时没有流符号传输时，DPTX重复发送VCPF符号序列。

VCPF符号序列是唯一旨在存在位误差的情况下允许正确检测正确阶段的控制序列。一个孤立的位错误无法将非VCPF符号序列转换为False VCPF符号序列。使用所有其他控制序列，单个位误差可能会导致相位检测误差。DPRX设备必须仅使用VCPF符号序列来检测1和2车道情况下4个符号序列单元映射到主链路车道的相。DPRX设备必须连续实现相误差校正，以确保从4个符号序列相位锁的任何损失中恢复。

2.6.3.2 流符号序列

流符号由数据符号和控制符号组成。

2.6.3.2.1 控制符号

- 流框架控制符号（即BS，BE，SS和SE）
- 流填充控制符号
 - 当DP源设备中的评分调速器选择流符号时，SF符号将插入有效载荷多路复用器的序列发电机侧（请参见图2-88），但是VC有效映射器没有有意义的流符号序列可以插入。
 - 在主视频流的空白期间，默认情况下，DP源设备插入SF符号，因为没有有意义的流符号序列可以插入。在空白期间的那些SF符号被VB-ID数据包（即VB-ID，MVI D7: 0和MAUD7: 0）替换为BS控制符号序列），MSA SDP和SDP。
 - VB-ID，MSA SDPS和SDP不得包含SF代码 - 即，在这些数据包类型开始之后，必须插入不得插入SF代码，直到完成完整的数据包为止；唯一的例外是在嵌套的SDP数据包传输过程中，在活动视频线路内的SF，因为在BS/VB-ID传输之后，SDP传输才恢复。

表2-133列出了流控制符号的控制代码序列。

在SST模式下，每512次BS被SR替换为SRAMBLER重置。换句话说，BS不仅被用作流框架控制符号（空白启动，对应于启用主视频流的下落边缘），还用作链接正时控制符号（即SR作为链路帧边界，将BS作为链路线边界）。为了增强BS和SR控制符号误差免疫，必须将增强的框架符号序列用于带有SST传输格式的BS和SR，如第2.2.1.2节所述。

在MST模式下，链路框架边界（SR，在216个时间插槽中插入一次）完全从链路运输的流的时间到链接完全耦合。BS符号序列仅用作流构架控制符号，并且永远不会被SR替换。BS符号序列由四个符号组成，无论车道计数如何。

Note: *There is no Control Symbol marking the Link Line boundary in the MST mode. It should be noted, however, that a notion of a Link Line may be established for any upper layer protocol that requires Link Line boundary by setting the Link Line boundaries relative to the Link Frame boundary, which is fixed to 2^{16} time slots. For example, there are 32 Link Lines per Link Frame if the Link Line interval is set to 32 MTPs.*

2.6.3.2.2 数据符号

- 主流数据符号
- VB-ID数据包（VB-ID/MVID7: 0/MAUD7: 0）
- MSA SDP数据符号
- SDP数据符号，包括奇偶校字节符号

MST模式的流数据符号映射与4车道主链接配置中的SST模式相同。

如图2-91在MST模式下所示，AV流被映射到流的VC有效载荷时间插槽中，而不管DPTX驾驶的主链路计数如何。如果车道计数是一两个车道，则泳道计数调整块（图2-88）顺序映射到车道计数，如图2-89所示。

泳道0泳道1车道2车道3

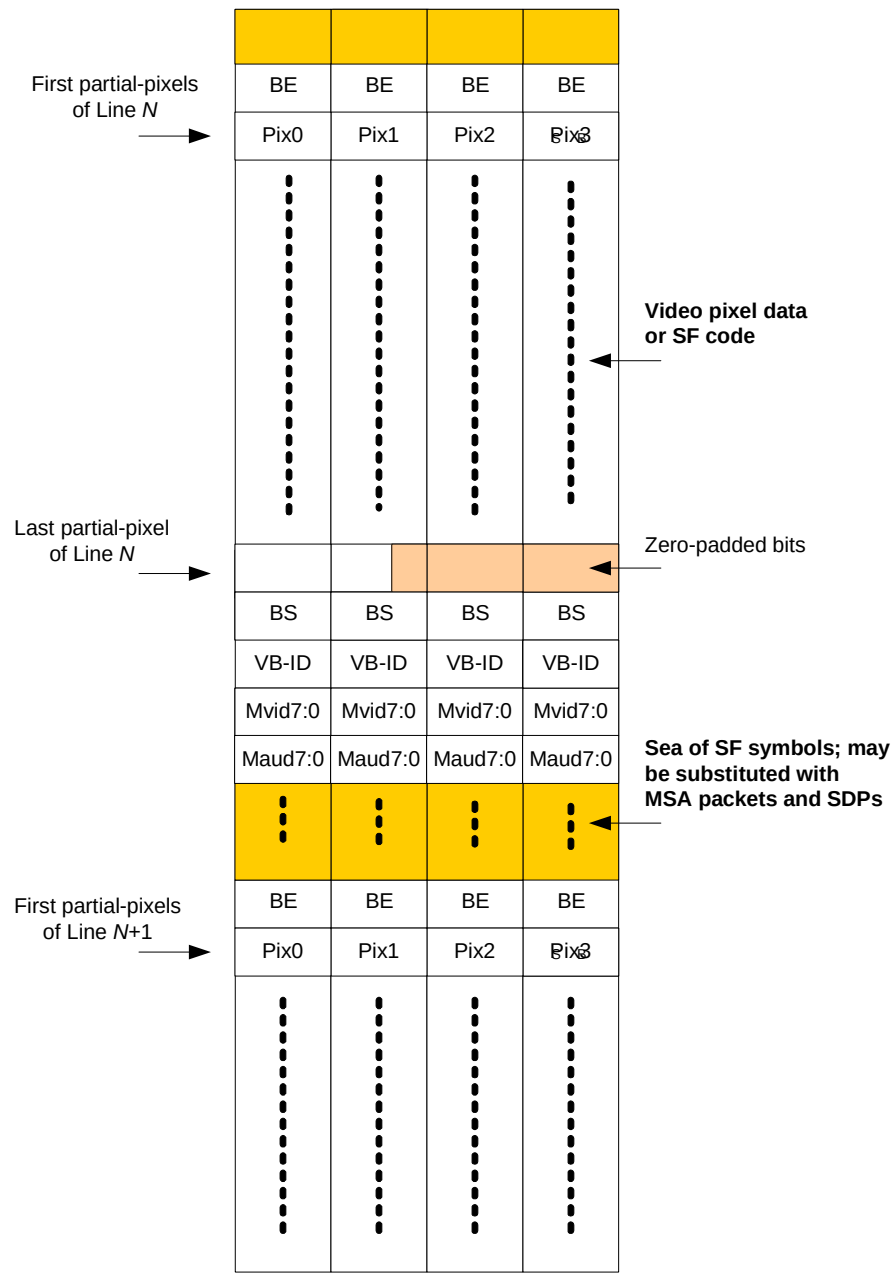


图2-91: 给定主视频流VC有效载荷后，在MST模式下以AV流映射为单位，并删除了VC有效载荷填充符号序列

2.6.3.3 SDP在MST模式下运输

图2-92，图2-93和图2-94分别显示了DP源，水槽和分支设备的流到VC有效载荷层的逻辑框图。

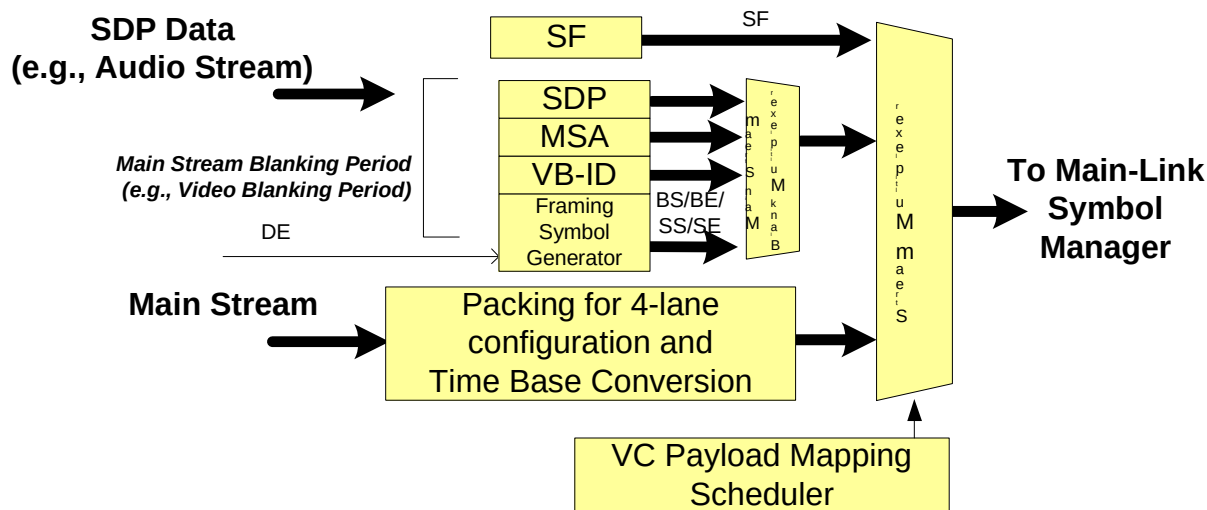


图2-92：DP源设备VC有效载荷逻辑框图

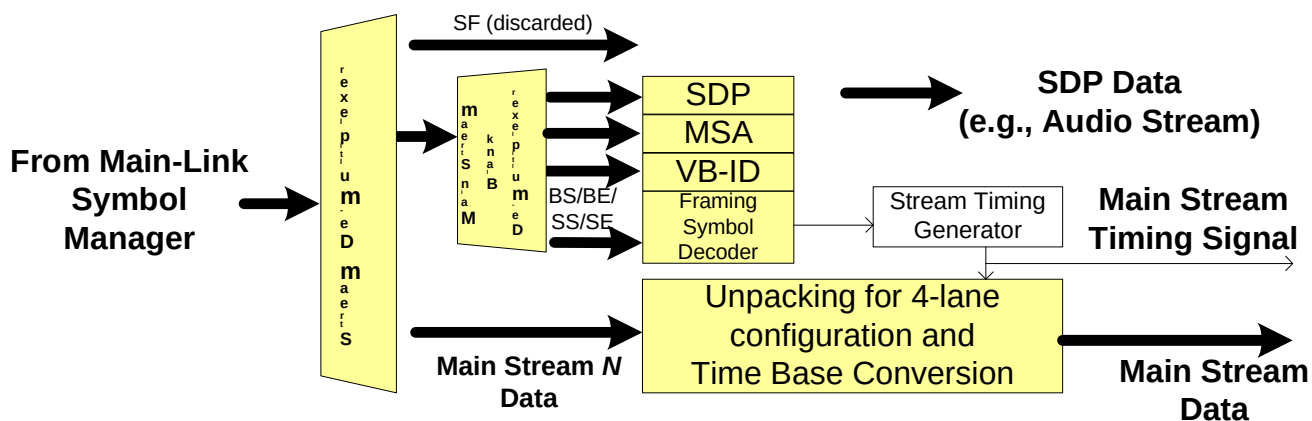


图2-93：DP接收器设备VC有效载荷逻辑框图

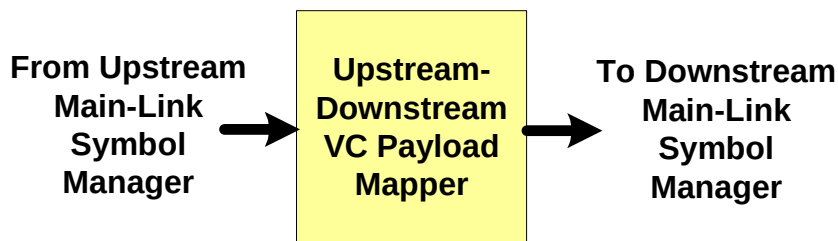


图2-94：通过DP分支设备VC有效载荷逻辑框图

从流接口的角度来看，VC有效载荷映射层类似于SST模式的流到链接符号映射层。MST模式扩展从流生成的传输中，但在SST模式下将流到链接符号映射层结构的一部分重新使用，以允许在实现MST和SST系统时建立通用性。与SST模式下流到链接符号映射层的情况一样，VC有效载荷映射层可以接收主流和一个或多个SDP流。

有三个没有 MST和SST模式之间的有力差异关注 NG SDP运输：

- 可用于SDP运输的时间插槽数量
- 支持SDP拆分 - 具有MST功能的DP分支/水槽设备的规范功能
- 只有SDP的运输而无需主流

2.6.3.3.1

可用于SDP传输的数据符号数量（信息性）

在MST模式下，DPTX的主链接符号映射器在每个链接符号时钟边缘上的DP源设备中的VC有效载荷映射器读取符号，当时速率调速器在VC的VC有效负载时间插槽中选择“流符号序列发电机端”。如果没有主流数据和要传输的VB-ID数据包/MSA数据包，则可以运输SDP。

该小节具有信息，因为要运输的SDP有效载荷数量取决于源设备如何包装SDP。在本节中，显示了示例，其中SDP有效载荷大小固定为32个字节。单个SDP中的有效载荷会减少SDP标头和SE符号插入的时间插槽用法开销，从而增加可用于SDP有效载荷传输的数据符号。

每个主视频流水平封度（MTPCNTPERHBLANK）的MTP数为：

$$MtpCntPerHBlank = \frac{t\_HBlank}{64 * t\_TimeSlot}$$

在哪里：

- t_hblank 是主要视频流水平空白期
- $t\_timeslot$ 是链接时间插槽期（即链接符号时钟周期）

每个 t_hblank （strmsymbblcntperhblank）的流符号数为：

$$StrmSymbblCntPerHBlank = MtpCntPerBlank * Throttled\_VCP\_Size * LaneCnt$$

在哪里：

- LANE CNT是主链路的车道计数

在 t_hblank 期间，必须发送BS，VB-ID数据包和符号序列，导致20个用于这些符号的strmsymbblcntperhblank。因此，可用于SDP的流符号的数量如下：

$$StrmSymbblCntForSdpPerHBlank = StrmSymbblCntPerHBlank - 20$$

SDP数据的开销是SS, SE, 标头和奇偶校验。SDPDATAEFECICY是:

$$SdpDataEfficiency = \frac{SdpDataSize}{SdpDataSize + SdpOverhead}$$

例如, 当SDP数据大小为32个字节时, 总开销为24个字节。因此, SDPDATAEFECITY变为:

$$SdpDataEfficiency = \frac{32}{32 + 24} = \frac{4}{7}$$

每个t_hblank (sdpdatasmbcnt) 可用于SDP数据的符号数量是:

$$SdpDataSmbCnt = StrmSymbCntForSdpPerHBlank * SdpDataEfficiency$$

由此产生的SDPDATARATE是:

$$SdpDataRate = SdpDataSmbCnt / t\_HPeriod$$

SDPDATARATE必须等于或大于包装到SDP的流的峰值数据速率。

2.6.3.3.2在MST模式下SDP分裂

Note: Support for SDP splitting in SST mode is discussed in Section 2.2.5.12.

在MST模式下，DP源设备具有SDP拆分的选项。SDP拆分是用主流拆分SDP的过程，包括BE/BS符号序列，关联数据（VB-ID/MVID7: 0/MAUD7: 0）和MSA数据包，如图2-95所示。

在MST模式下，仅允许使用一个级别的分裂。禁止由另一个SDP拆分的SDP。SDP流可以随时被中断，并且可能会多次中断（例如，在水平空白且次要数据包长度长的情况下）。SDP的中断和恢复必须在4符号序列边界处进行。

MST模式下的DP接收器设备必须能够重新组装嵌套的SDP。

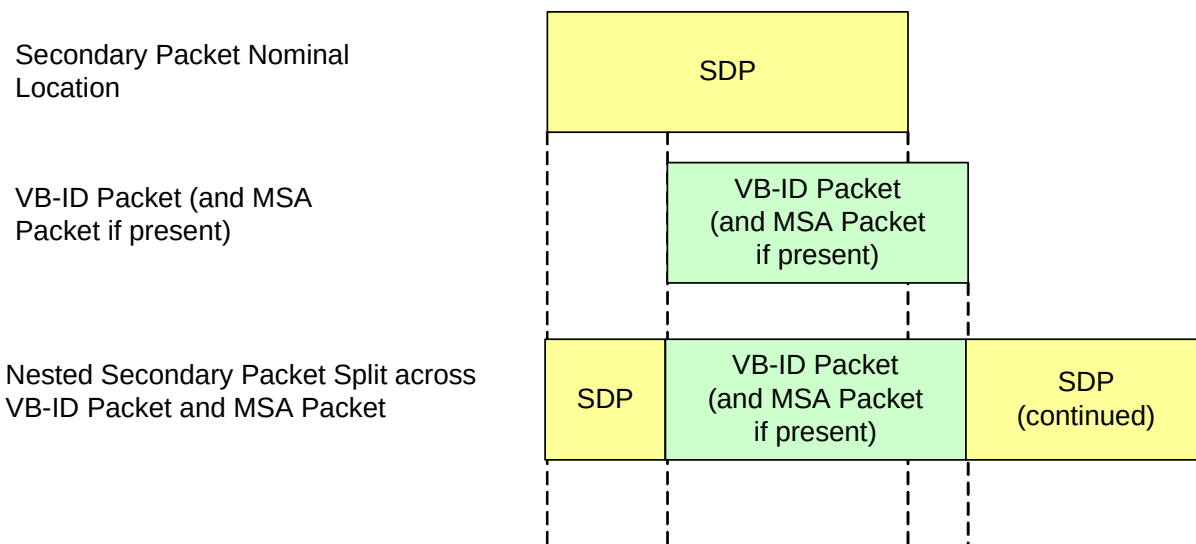


图2-95：SDP在MST模式下分裂

2.6.3.3.3 无主溪流的只有SDP的运输

MST模式与SST模式一样，支持只有SDP的流传输，而无需主流，例如无主视频流的只有音频流。在这种情况下，BS控制符号序列，然后是VB-ID数据包，每1024次插槽VC

有效载荷运输了SDP。

2.6.3.3.4 无SDP/主流

即使发送SDP流或主流都没有发送，只要DP源设备设置了VC源设备以选择VC PorelaLe Mul tinder的流符号生成器端，就会插入VC有效载荷替换SF符号序列的BS控制符号序列，然后将VB-ID数据包插入VC有效载荷替换SF符号序列的第1024个时间插槽。DP源设备可以始终选择VCPF符号序列（这是通过将target_average_streamsymbolsymboltimeslotspermtpermtppmt p设置为0.0）来停止流符号的插入。

2.6.4

时间插槽计数分配给VC有效载荷

除MTP标头时插槽外，MTP的其余63个时间插槽可用于分配给一个或多个VC有效载荷。管理时间插槽为VC有效载荷分配的层是有效载荷带宽管理器。

有效载荷带宽经理有两种类型：

- MST DP源设备中的一个，称为“源有效载荷带宽管理器”
- 一个在MST DP分支设备中，称为“分支有效载荷带宽管理器”

共同努力，来源和分支有效负载带宽管理人员确保以下各项：

- 将足够的带宽分配给VC有效载荷，构成了从源设备到目标接收器设备的虚拟通道，用于传输流，而不会导致路径中的缓冲区的溢出
- 最小化VC有效载荷带宽分配开销，以便可以最大化在DP链接上运输的流数量

源有效负载带宽管理器具有以下职责：

- 确定运输所需的流的峰值带宽
- 从峰值流带宽中，通过Allocate_payload消息消息来计算要传输流的流的有效载荷带宽号（或PBN）值，并将PBN值传递到下游分支设备
- 计算它正在驱动的链接的时间插槽计数中的VC有效载荷大小，并在流中插入流符号序列插入率，以使流符号序列的传输均匀分布在多个MTPS上

分支有效载荷带宽经理承担以下责任：

- 收到PBN值后，计算最小的VC有效载荷大小的时间插槽计数，其驱动的连接计数为PBN值提供了足够的带宽

源有效负载带宽管理器和分支有效载荷带宽管理器之间的相互作用如图2-96所示。

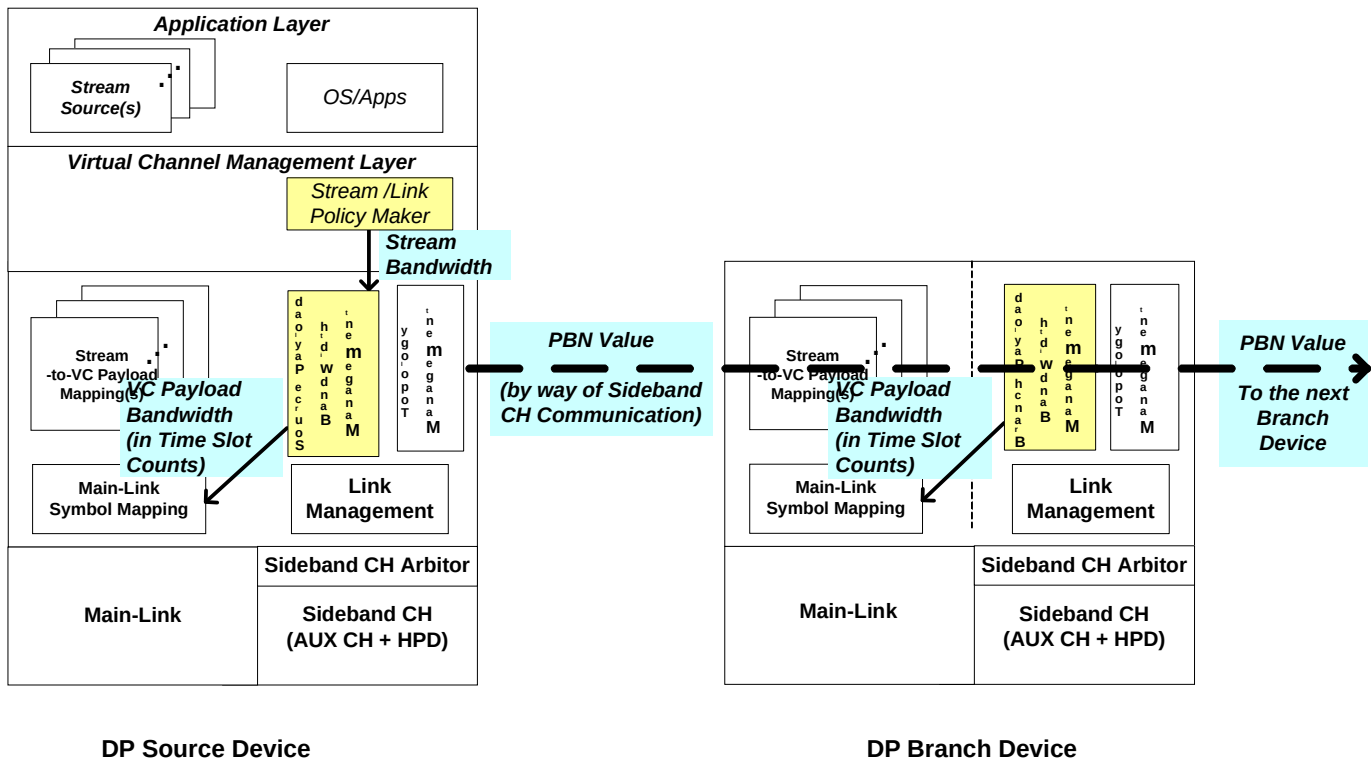


图2-96：有效载荷带宽经理的带宽管理

2.6.4.1

PBN值通过源设备有效载荷带宽管理器计算

PBN是由源设备有效载荷带宽管理器计算得出的整数编号，该管理器代表要在VC有效载荷中运输的流的峰值带宽。PBN值的单位为54/64Mbps。

Note: *The unit of 54/64Mbps is an arbitrary unit chosen based on common multiplier to render an integer PBN for all link rate/lane counts combinations*

源有效载荷带宽管理器使用峰流带宽值计算PBN值。计算值可能具有分数。源有效载荷带宽管理器为计算出的分数PBN值增加了0.6%的保证金，并将其四舍五入到最近的整数。该整数PBN值是源有效载荷带宽管理器传递到下游分支设备的值。

0.6%的保证金均表示由下游DP分支机设备驱动的链路速率的偏差（小于标称链接率负率为5300ppm，或0.53%，包括链路速率下降），以及由DP源设备驱动的链路速率（如DP源设备本身所驱动的链接速率（如标称链接率加上300ppm，或0.03%），或0.03%）。

下面的示例显示了如何确定PBN值的像素流，其像素速率为154mp/s（即Wuxga，1920x1200在60hz的垂直帧速率下，水平掩盖降低）和像素数据尺寸的垂直帧速率和每个像素的30位（OR 3.75 byte by the pixel）。

$$\begin{aligned} & \text{PeakPixelBandwidth} \\ &= 154\text{MHz} * 30\text{BitsPerPixel} / 8\text{BitsPerByte} \\ &= 577.5\text{MBps} \\ &= 577.5\text{MBps} * \frac{1}{54/64\text{Mbps} / \text{PBN}} \\ &= 684.444\text{PBN} \\ & \text{ADDITION\_OF\_0.6\%\_MARGIN} \\ & \text{CEIL}(684.444 * 1.006) = 689\text{PBN} \end{aligned}$$

2.6.4.1.1

启用了FEC编码/解码的PBN值计算

DP v1.4的新事物。

FEC开销为2.3%，倾斜的开销为0.5%，MST分支设备链接参考时钟差异高达0.06%（= 600 ppm），总开销总额约为3%。

在MST模式下的DP源设备应使用以下方程来通过ENUM_PATH_RESOURCES和ALLOCATE_PAYLOAD MESSACTIONS来计算要通信到下游设备的有效PBN值，从像素速率和Pixel位深度深处得出的本机PBN值。

$$\text{PBN\_EFFECITVE} = \text{PBN\_NATIVE} * 100 / (100 - 3)$$

MST模式下的DP源设备应均匀地分布在其VC有效载荷时间插槽上的其他有效像素数据符号，以说明FEC Parity符号传输所占据的时间插槽。

MST模式下的DP源设备可能无法在FEC_CONFIGURATION寄存器（DPCD地址00120H，位0）至1，因为它不启用FEC编码以避免使用2.3%的FEC开销。当DP源设备以MST模式做出选择时，它必须设置FEC_ready位并在启用FEC之前启动链接训练。

2.6.4.2 VC有效载荷大小通过分支有效载荷带宽管理器确定

PBN值的单位简化了确定分支有效负载带宽管理器的VC有效载荷大小的任务。分支有效载荷带宽管理器确定VC有效载荷大小的时间插槽计数，每MTP如下：

$$\begin{aligned} &VC_{Payload\_Size\_Branch} \\ &= CEIL (PBN\_Value / VC_{Payload\_Bandwidth\_for\_OneTimeSlotPer\_MTP\_Allocation}) \end{aligned}$$

例如，RBR（1.62Gbps）的4车道主链接的链路带宽为648Mbps。当分支有效负载带宽管理器每MTP分配一个时间插槽为VC有效载荷时，由此产生的VC有效载荷带宽为648Mbps * 1 时间插槽 / 64个时插槽，等于12 * 54/64Mbps或12 pbn。

对于上述像素流的PBN值为689，分支有效载荷带宽管理器在4个车道上驾驶其下游主链路驾驶其下游主链接设置了VC有效载荷大小，每MTP计数，如下：

$$\begin{aligned} &VC_{Payload\_Size\_Branch} \\ &= CEIL (689 PBN / 12 PBN / TimeSlotPerMTP) = 58 TimeSlots/MTP \end{aligned}$$

分支设备的DPTX可能以低于较低的链接速率（标称最高0.5%）和参考时钟变化（± 300ppm或± 0.03%的0.03%）的链接驱动链接。如前所述，源设备有效载荷带宽管理器计算时增加了0.6%的利润率。

当每个MTP为各种链接配置分配一个时间插槽时，VC有效载荷带宽如表2-134所示。

表2-134: VC有效载荷带宽每MTP分配一次, 用于各种链接配置

Link Type	# of Lanes	Nominal Link Bandwidth (excluding ANSI 8b/10b channel coding overhead) (MBps)	VC Payload Bandwidth when one time slot per every MTP is allocated (PBN)
HBR3	1	810	15
	2	1620	30
	4	3240	60
HBR2	1	540	10
	2	1080	20
	4	2160	40
HBR	1	270	5
	2	540	10
	4	1080	20
RBR	1	162	3
	2	324	6
	4	648	12

2.6.4.3 VC有效载荷大小由源有效载荷带宽管理器确定

如前所述, 它只是生成流符号序列的DP源设备。源有效载荷带宽管理器在其驾驶的链接上计算每个MTP的平均流符号时间插槽 (即, 在源设备和带有分支机构单元的第一个设备之间), 如下:

$$Average\_StreamSymbolTimeSlotsPerMTP = PeakStreamBandwidth / LinkBandwidth * 64$$

源有效载荷带宽管理器将Affer_streamsymboltimeslotspermtp汇总为设置VCPAYLOAD_SIZE_SOURCE, 如下所示:

$$VCPayload\_Size\_Source = CEIL (Average\_StreamSymbolTimeSlotsPerMTP \\ = PeakStreamBandwidth / LinkBandwidth * 64)$$

源有效载荷带宽管理器节流符号插入率, 以便每MTP的平均流量插槽均匀分配到target_average_streamsymboltimeslotspermtp:

$$TARGET\_Average\_StreamSymbolTimeSlotsPerMTP \\ = TS\_INT + TS\_FRAC\_enum / TS\_FRAC\_denom$$

其中TS_INT是一个整数, 而TS_FRAC_ENUM / TS_FRAC_DENOM是简化的分数。

target_average_streamsymbolslotspermtpt值不得小于平均_streamsymbolslotspermtpt。只要满足以下条件：

$$\text{Maximum\_TARGET\_Average\_StreamSymbolTimeSlotsPerMTP} \leq \text{PBN\_Value\_to\_DownstreamBranchDevices} / (\text{LinkBandwidth\_Source} * 54)$$

linkbandwidth_source是链接源设备正在驾驶的带宽。

对于4车道主链接，每MTP的流符号时间插槽的数量在TS_INT和[TS_INT + 1]之间波动。ts_frac_enum mtps具有[ts_int + 1]流符号时间插槽和[TS_FRAC_DENOM - TS_FRAC_ENUM] MTPS具有TS_INT流符号时间插槽。那些带有[TS_INT + 1]流符号时插槽的TS_FRAC_ENUM MTPS必须在TS_FRAC_DENOM MTPS上均匀分布。

对于1和2车道的主链接配置，符号序列是4个符号倍数的事实会影响流符号插入率的限制方式。在[TS_FRAC_DENOM * 4 / LANECOUNT] MTPS上，每MTP的流符号必须均匀分配到target_average_streamsymbolslotspermtpt值。

当峰流式宽度为577.5Mbps，而链接源设备的带宽为1080Mbps（即4车道HBR）：

$$\text{Average\_StreamSymbolTimeSlotsPerMTP} = 577.5\text{Mbps} / 1080\text{Mbps} * 64 = 34.222$$

因此，源有效载荷带宽管理器将VCPAYLOAD_SIZE_SOURCE设置为35个时间插槽。最大允许的target_average_streamsymbolslotspermtpt是：

$$\begin{aligned} \text{Maximum\_TARGET\_Average\_StreamSymbolTimeSlotsPerMTP} \\ = 689 * 64 * (54/64) / 1080 = 34.45 \end{aligned}$$

因此，源有效载荷带宽管理器可能会设置target_average_streamsymbolslotspermtpt到34.25，即ts_int = 34，ts_frac_enum = 1，ts_frac_denom = 4。

四分之一的MTP具有35个流符号时插槽，其中VC有效载荷内有0个VCPF符号时插槽。四分之三的MTP具有34个流符号时间插槽，其中有1个VCPF符号时间插槽。

2.6.4.3 .1 源设备的最大允许率管理偏离目标平均值

DP源设备必须插入流符号插入率，以便在任何MTP开头的传输流符号计数的积累在以下范围内：

$$\begin{aligned} ACTUAL\_AccumulatedSymbolCount &> TARGET\_AccumulatedSymbolCount - 8 \\ ACTUAL\_AccumulatedSymbolCount &\leq TARGET\_AccumulatedSymbolCount \end{aligned}$$

本小节的其余部分描述了上面偏差的最大允许率背后的基本原理，应视为有益的。

对于每个MTP，给定VC有效载荷的传输流符号的目标数为M：

$$M = LaneCount * (TS\_INT + TS\_FRAC\_ENUM / TS\_FRAC\_DENOM)$$

对于每个MTP，传输流符号的实际数量为N：

$$N = \sum_{\substack{TimeSlots \\ inVCPayload}} (LaneCount - RG)$$

其中rg = 4如果时间插槽被第一个VCPF代码（VCPF0或C0）占据，而Rg = 0否则。请注意，VCPF符号占4/LANECOUNT时间段，因此小于4英寸的Lane_count暂时减小的事实表示，在给定时间插槽上引入VCPF0的决定将导致随后的时间插槽会导致其余的VCPF vcpf VCPF编码（c1, c1, c1, c2, c3）。（请注意，在1 MTP中，VCPF符号的插入可能涉及下一个MTP的VC有效载荷，以防1和2车道主链接。）

计算目标和实际传输符号数量之间的三角洲d的积累：

$$D = \sum_{MTPs} (N - M)$$

D值是每MTP，而不是给定MT中的每个时间插槽 P

插入VCPF0（VCPF符号序列的第一个代码），并且仅当D将超过零时。

总结：

$$D = \left(\sum_{MTPs} (LaneCount - RG) - LaneCount * (TS\_INT + TS\_FRAC\_ENUM / TS\_FRAC\_DENOM) \right) \sum_{\substack{TimeSlots \\ inVCPayload}}$$

其中rg = 0或4。

D的变异性限制由以下因素确定：

- 由于符号是在四个组中插入的，并且必须满足约束 $d \leq 0$ ，因此VCPF插入算法必须插入VCPF符号，并且仅当当前时间插槽上的d值少于四个值时，插入了VCPF符号。结果变异性是 $-4 < Delta \leq 0$ 。

—

- 因为将VCPF符号插入四个集合中，因此在1车道的情况下，插入VCPF0的决定将在接下来的三个分配的时间插槽中通过VCPF3导致VCPF1通过VCPF3。结果可变性为 $-3 < \Delta 2 < 0$ 。在2车道情况下，-仅在VCPF符号序列开始之后的下一个分配时间插槽将包含VCPF符号，在4车道情况下，每个VCPF符号序列在单个时段内完全传输。

添加 $\Delta 1$ 和 $\Delta 2$ ， $-7 < \Delta 1 + \Delta 2 < 0$ ，确定D的最小可变性范围D。

$$-8 < D \leq 0$$

因此，由于源设备中的速率率是八个符号，在DPRX上观察到的速率变异性的贡献是八个符号。

2.6.4.3.2 率管理样本伪代码（信息）

提供了以下伪代码，以显示如何使用简单的状态机实现速率管理。

Note: *This example implementation is for reference purposes only.*

RG参数:

D // D的范围为-256至0，因此需要8个整数（无标志）位；分数位的数量等于y值的位数

X.Y // X.Y通过乘法计算

target_average_streamsymbolslotspermtpt by Lane Count。X是范围0到252的8位值，Y是实现依赖性的，但应至少2位，理想情况是

其他参数（不是专门用于管理费用，但以下引用）：

阶段// 2-1位值以表示单车道情况下的四个阶段，或两个车道情况下的两个阶段

lane_count // 2-1位值; 1 = 1车道，2 = 2车道，0 = 4车道

初始条件，没有分配给VC有效载荷的时间插槽:

设置D = 0设置

X.Y = 0设置阶

段= 0

ACT后至少有16个符号进行新的VC有效载荷时间插槽分配，以及任何现有或重新分配的VC有效载荷的时间：

如果mtph time slot {d {d = d -x.y}, 则更新X.Y为非零值（新的X.Y自动对下一个MTPH生效），
 如果Vc Time Slot {如果阶段= 0 // dif seper n MENS n MENS n MENS / n MENS / n MENS n MENS
 / if dif D if d vc} if dif d if d vc} > 0 {read（来自VC有效载荷映射器），然后开始传输四个流符号
 d <= d <= d + 4 //降低d的d降低d的数据，该数据将传输的数据数量（有些可能是在后续时间段中
 可能是在随后的时间段中）} else // note {eSter note depters {启动符号（以前启动了vc），以前
 启动了vc，vc sem vc sem vc and vc sem vc n 4 sempl} vc n 4 sempl（vc）符号 //不要更新d，因为
 = 0案例中d（如果有）的更改已被解释为} phase} phase =阶段+ lane_count}

2.6.5

VC有效载荷分配同步管理

在启动流源到流源的流传输之前，基于拓扑管理器提供的拓扑映射信息的流策略制造商在路径中的DP源和分支设备的有效载荷带宽管理器的帮助下，建立了流源和接收器之间的虚拟通道连接。有效载荷带宽管理器将虚拟通道映射到DP链接上的VC有效载荷。

有效载荷带宽管理器通过管理VC有效载荷ID表来建立并维护正在接收和传输/转发的VC有效载荷。有效载荷带宽经理：

- 保持其VC有效载荷ID表与下游设备的DPRX同步
它正在通过本地辅助交易开车
- 通过ACT触发控制序列插入MTP标头时插槽，可以将VC有效载荷时间插槽分配与VC有效载荷ID表同步的主链接分配

具有MST功能的设备的每个DPTX和DPRX都有VC有效载荷ID表。DPRX中的表被映射到DPCD地址空间，如表2-135所示。应当指出，正常操作不需要上游DPTX的有效载荷带宽管理器读取DPRX的VC有效载荷ID表。何时读取此表（例如，用于调试目的）是针对DP源和分支设备开发人员的实现选择。

尽管上游设备有可能通过远程_DPCD消息事务更新远程下游设备的VC有效载荷ID表，但禁止使用VC有效载荷ID表的远程更新。仅允许即时的上游设备更新下游设备的VC有效载荷ID表，因为只有上游设备才能通过主链接启动ACT触发控制序列。

表2-135：映射到DPCD地址空间的DPRX的VC有效载荷ID表

DPCD Address	Time Slot	VC Payload ID (7-bit value RO) ^a
2C1h	1	1
2C2h	2	1
2C3h	3	1
2C4h	4	1
2C5h	5	1
2C6h	6	3
2C7h	7	3
2C8h	8	3
2C9h	9	3
2CAh	10	3
2CBh	11	3
2CCh	12	3
2CDh	13	3
2CEh	14	4
2CFh	15	4
2D0h	16	4
2D1h	17	4
2D2h	18	4
2D3h	19	4
2D4h	20	4
2D5h	21	4
2D6h	22	5
2D7h	23	5
2D8h	24	5
2D9h	25	5
2DAh	26	5
2DBh	27	0
2DCh	28	0
2DDh	29	0
2DEh	30	0
...	...	...
2FFh	63	0

a. This table shows an example in which VC Payload ID #2 has been deleted. Time slots with VC Payload ID value 0 are not allocated.

VC有效载荷ID分配由带有DPTX的DP设备的每个有效载荷带宽管理器唯一管理。DP分支设备的有效载荷带宽管理器必须将其DPRX的VC有效载荷映射表的映射与DPTX的映射。

DPRX的VC有效载荷ID表由即时上游设备的有效载荷带宽管理器通过本机AUX Transactions到表2-136中所示的DPCD地址进行了更新。

表2-136: VC有效载荷表更新和ACT状态验证的DPCD地址图

DPCD Address	Bit #	Definition	Read/Write over AUX CH
001C0h	PAYLOAD_ALLOCATE_SET Writing 00h, 00h, and 3Fh to DPCD Addresses 001C0h, 001C1h, and 001C2h, respectively, clears the entire VC Payload ID table. The DPRX, upon this, immediately ignores the incoming VC Payloads (if any) without waiting or ACT on the Main-Link.		Write/Read
	6:0	VC Payload ID to Be Allocated ID of 0 indicates that the time slots are unallocated.	
	7	RESERVED	Read 0
001C1h	PAYLOAD_ALLOCATE_START_TIME_SLOT		Write/Read
	5:0	Starting Time Slot of VC Payload ID in DPCD Address 002C0h	Read all 0s
	7:6	RESERVED	
001C2h	PAYLOAD_ALLOCATE_TIME_SLOT_COUNT		Write/Read
	5:0	Time Slot Count of VC Payload ID in DPCD Address 002C0h	Read all 0s
	7:6	RESERVED	
002C0h	PAYLOAD_TABLE_UPDATE_STATUS		Clearable Read Only
	0	VC Payload ID Table Updated 0 = Not updated since the last time that this bit was cleared. 1 = Updated, cleared to 0 when the DP Source device writes 1.	
	1	ACT Handled 0 = ACT is not handled since the last time that this bit was read. 1 = ACT is handled, cleared to 0 when the VC Payload ID Table Updated bit (bit 0) is set to 1.	
	7:2	RESERVED	Read all 0s

a. This table duplicates DPCD Address in information for the registers described here, from Table 2-156 (DPCD Addresses 001C0h through 001C2h) and Table 2-157 (DPCD Address 002C0h).

有效载荷带宽管理器分别通过本机AUX写入交易来编写VC有效载荷ID，其开始位置和大小，分别为DPCD地址001C0H，001C1H和001C2H。

要删除VC有效载荷，有效载荷带宽管理器写入VC有效载荷ID以删除到DPCD地址001C0H，在删除到DPCD地址001C1H之前的起始位置，以及00H的值为00H到DPCD地址001C2H。将ID清除为00H，开始位置为00h，大小为3FH可以清除DPRX的整个VC有效载荷ID表。

After it has verified that the VC Payload ID Table is updated (VC Payload ID Table Updated bit in the PAYLOAD_TABLE_UPDATE_STATUS register (DPCD Address 002C0h, bit 0) is set to 1), the Payload Bandwidth Manager is to trigger the VC Payload allocation over the Main-Link, by inserting an ACT Trigger sequence into four consecutive MCT Header time slots, as shown in Figure 2-97。正如第2.6.11节所述，ACT序列始终先于32 MTPH时插槽加密控制场（ECF）。ACT序列不得在以下MTPH时插槽中插入：

- 链接框架边界sr之前的36至5 mtph时间插槽
- SR的时间插槽
- SR之后的1至34 mtph时间插槽

此外，ACT序列不得跨上述保留MTPH时插槽。

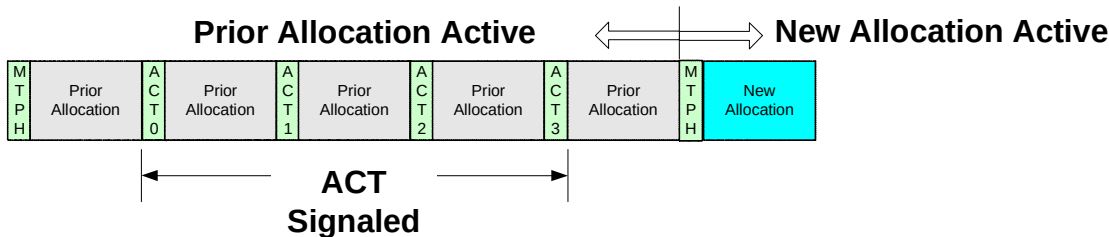


图2-97：ACT分配更改触发序列

然后，有效载荷带宽管理器通过在payload_table_update_status寄存器（DPCD地址002C0H，BIT 1，设置为1）中读取下游DPRX的ACT触发控制序列的成功处理。

使用上述本机AUX Transactions和ACT触发控制顺序，有效载荷带宽管理器可以添加新的VC有效负载（新分配），更改VC有效负载大小（减小/增加）或删除VC有效负载（DE-DE-ALACATION）。无论如何，分支设备的有效载荷带宽管理器必须消除VC有效载荷之间的任何未分配的时间插槽，如图2-98所示。

当DPRX接收ACT触发控制序列而没有对DPCD地址的值进行任何更改001C0H至001C2H的任何更改时，DPRX不得对VC有效载荷分配进行任何更改。

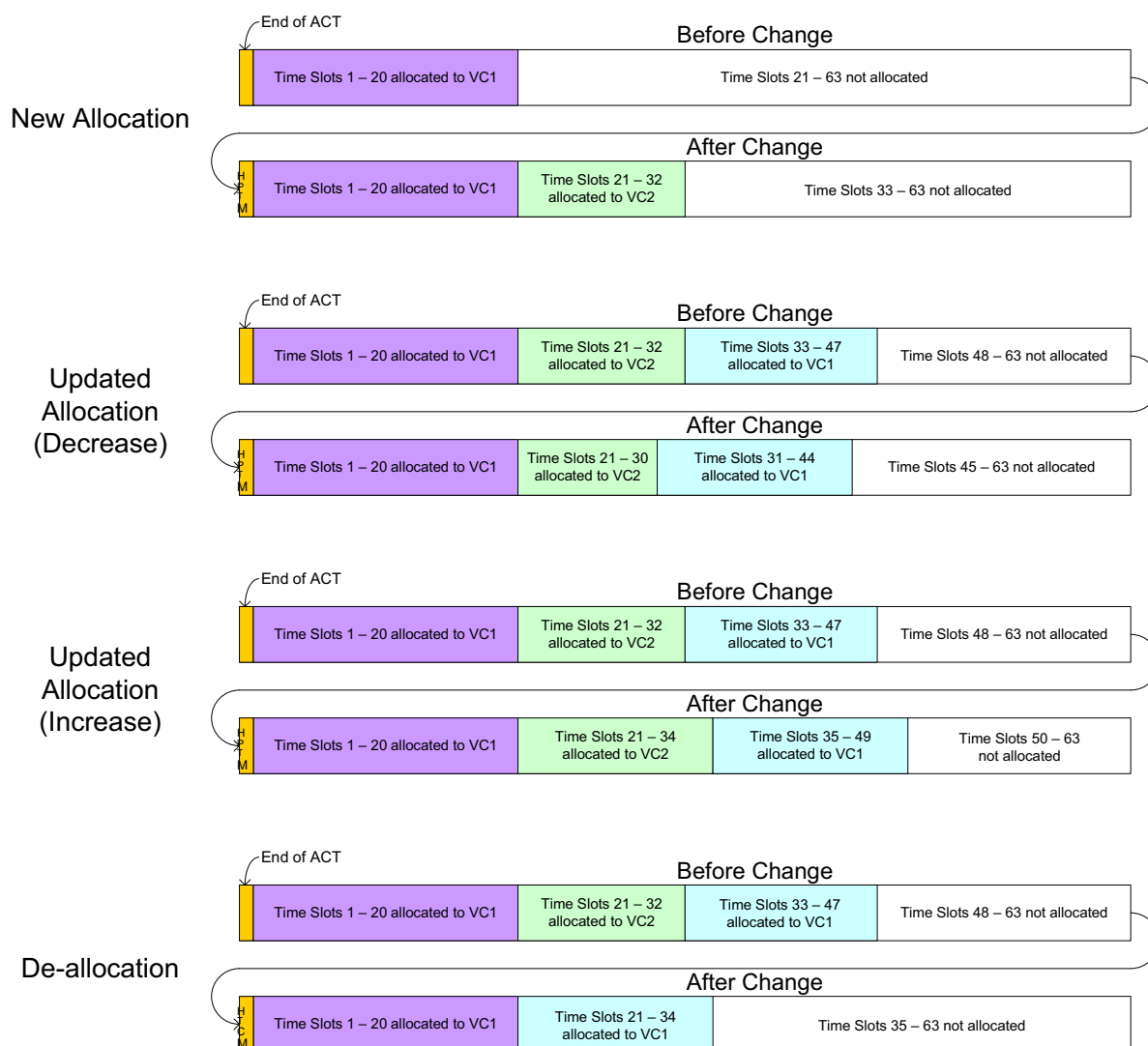


图2-98: VC有效载荷分配更改

2.6.6

Allocate_payload定时序列

要同步VC有效载荷时间插槽分配在路径的多个链接上更改，有效载荷带宽管理器会发出Allocate_Payload消息交易。本节介绍了有效载荷带宽管理器，主链接符号管理器和围绕Allocate_Payload Message Message Transaction的VC有效载荷映射器之间的交互时间顺序。

Allocate_Payload消息交易使用VC有效载荷ID和PBN值作为此事务的变量。选择的是，MST DP源设备可以执行enum_path_resources消息事务，以在执行Allocate_Payload消息交易之前检查路径的可用PBN值。

MST源设备在最后一个MST设备上靶向ENUM_PATH_RESOURCES和ALLOCATE_PAYLOAD，其分支单元驱动流动池。换句话说，DP源设备的有效负载带宽管理器将消息事务的标头的相对地址（RAD）字段设置为带有分支机构的最后一个MST设备。插入水槽设备的分支单元的端口号（物理或逻辑）包含在消息事务正文中。

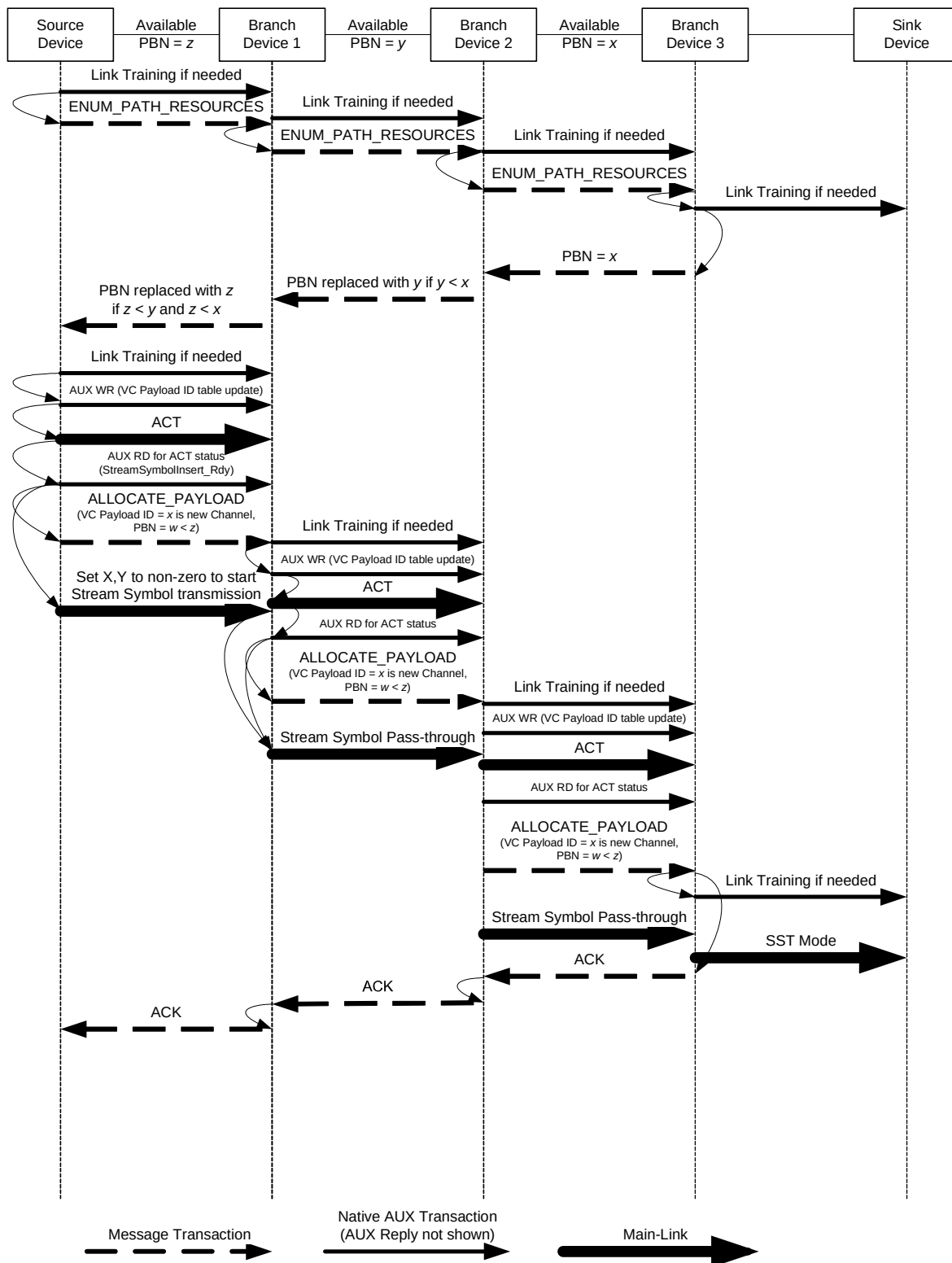
在运输SDP流（例如音频流）时，DP源设备的有效载荷带宽管理器指定了Allocate_Payload Message Message Message Message Transaction中的SDP流式接收器号。

图2-99显示了用于添加新有效载荷的定时顺序。路径中每个DPTX的有效负载带宽管理器，在接收Allocate_Payload消息事务后，使用第2.6.5节中描述的过程更新VC有效载荷ID表和VC有效载荷时间插槽分配。一旦成功，它将消息交易转发到路径中的下游DP设备。

当DP源设备的有效载荷带宽管理器验证ACT触发控制序列已通过下游设备的DPRX成功处理，它可能会将throttled_vcp_size（即X.Y）值设置为非零值，以启动流符号启动流符号序列，至少在16 MTPS之后启动了16 MTPS，该值是新的VC付费。

DP分支设备的有效负载带宽管理器（在验证成功处理ACT触发器）后，在建立新的VC有效负载后等待16 MTP，并开始从上游DP设备转发流符号序列。

图2-100显示了用于添加新有效载荷的定时顺序，该有效载荷导致错误。收到NAK回复消息到Allocate_payload消息事务，其发起的消息是DP源设备的有效载荷带宽管理器，请访问另一个Allocate_Payload，其中pbn值清除为0，以从VC有效载荷分配的链接中删除VC有效负载。



figu RE 2-99: 添加新P的示例时间序列

—y负载

图2-101显示了用于成功删除有效载荷的定时顺序。

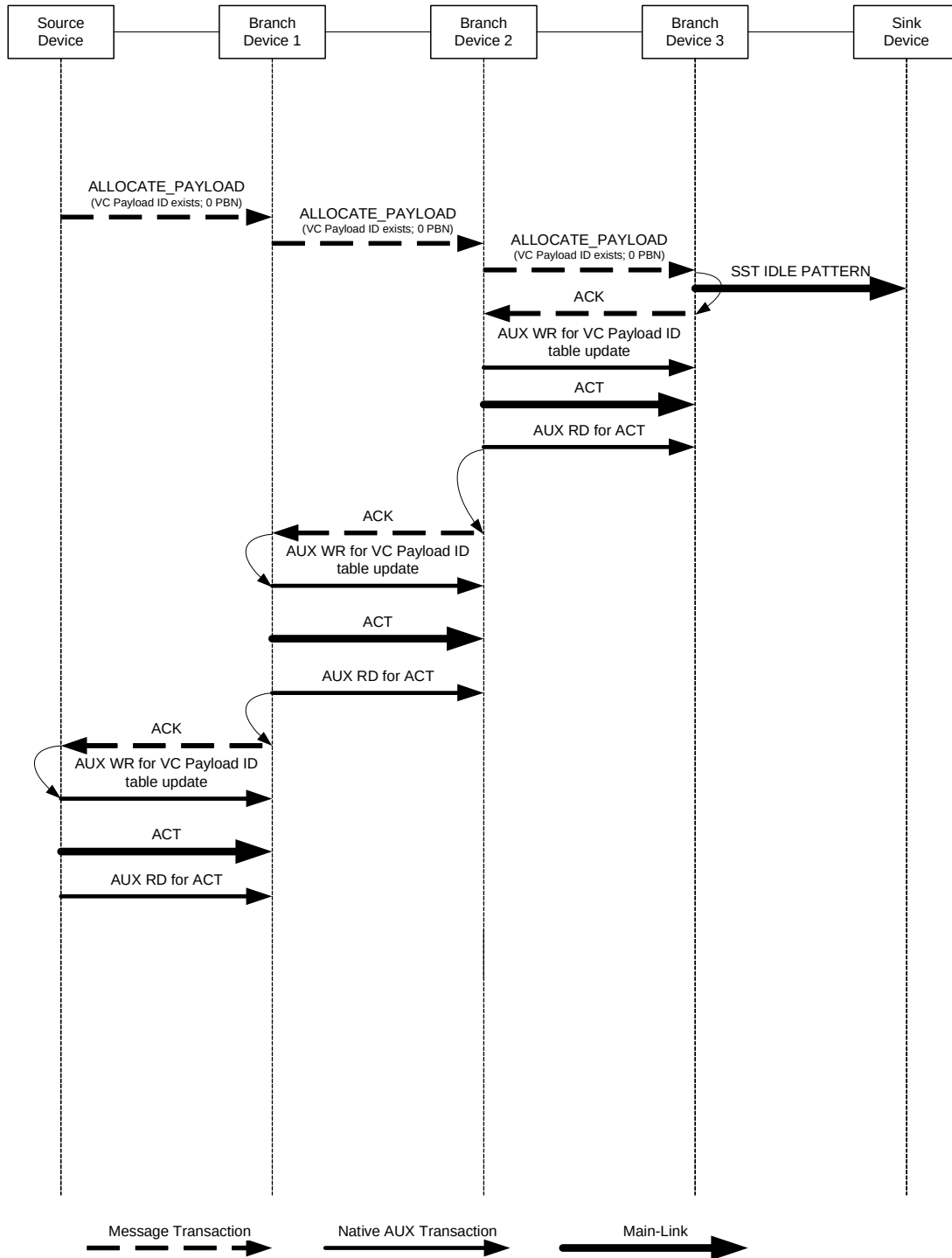


图2-101：删除Paylo的正时顺序

广告

图2-102显示了用于删除具有错误的有效载荷的定时序列。DP分支机构在其驱动的连接上经历了分配更改的错误，必须首先重试以解决误差条件。

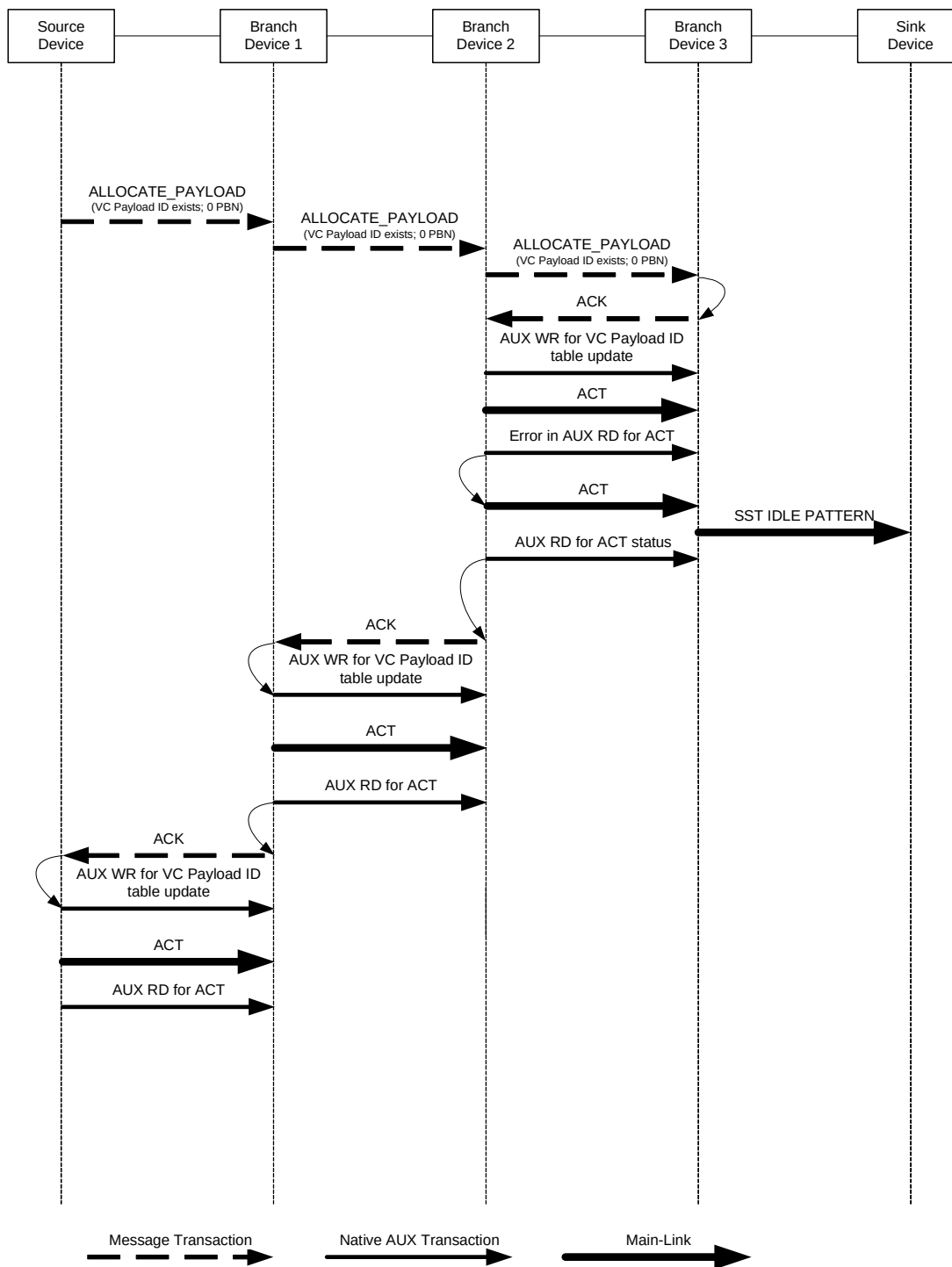


图2-102：用于删除有效载荷的正时顺序

图2-103显示了用于删除DP分支设备无法局部恢复的错误的有效载荷的定时序列。DP分支设备必须清除整个VC有效载荷ID表，然后用NAK回复DP源设备。

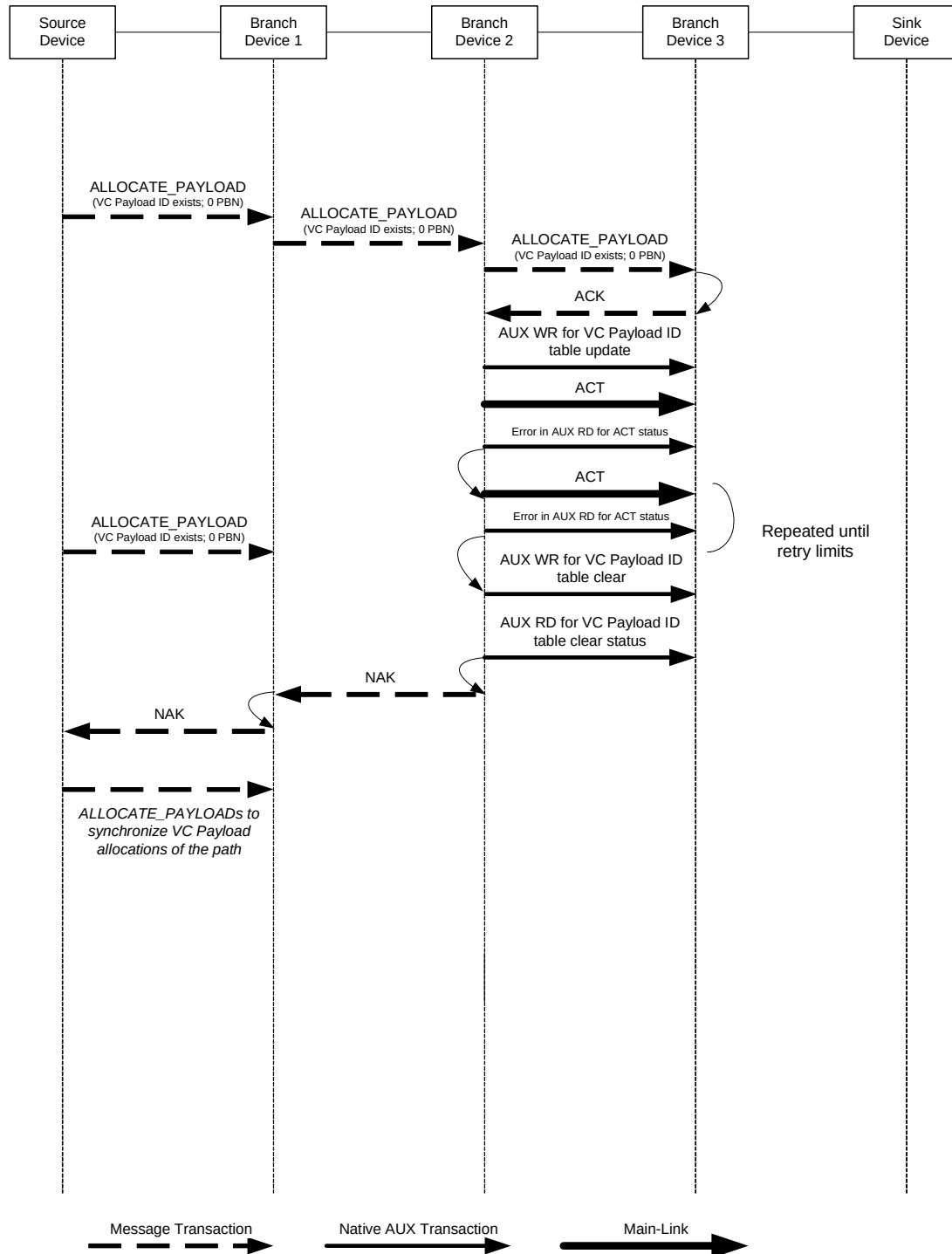


图2-103: 用于删除有效载荷的定时顺序

减少VC有效载荷时间插槽分配的定时顺序如图2-104所示。DP源设备必须在此操作之前降低节点_vcp_size值，以避免路径中的溢出。由于节点_vcp_size还原，VC有效负载最终会传输更多的VCPF符号序列，直到ACT触发控制序列后，直到VC有效载荷大小降低为止。

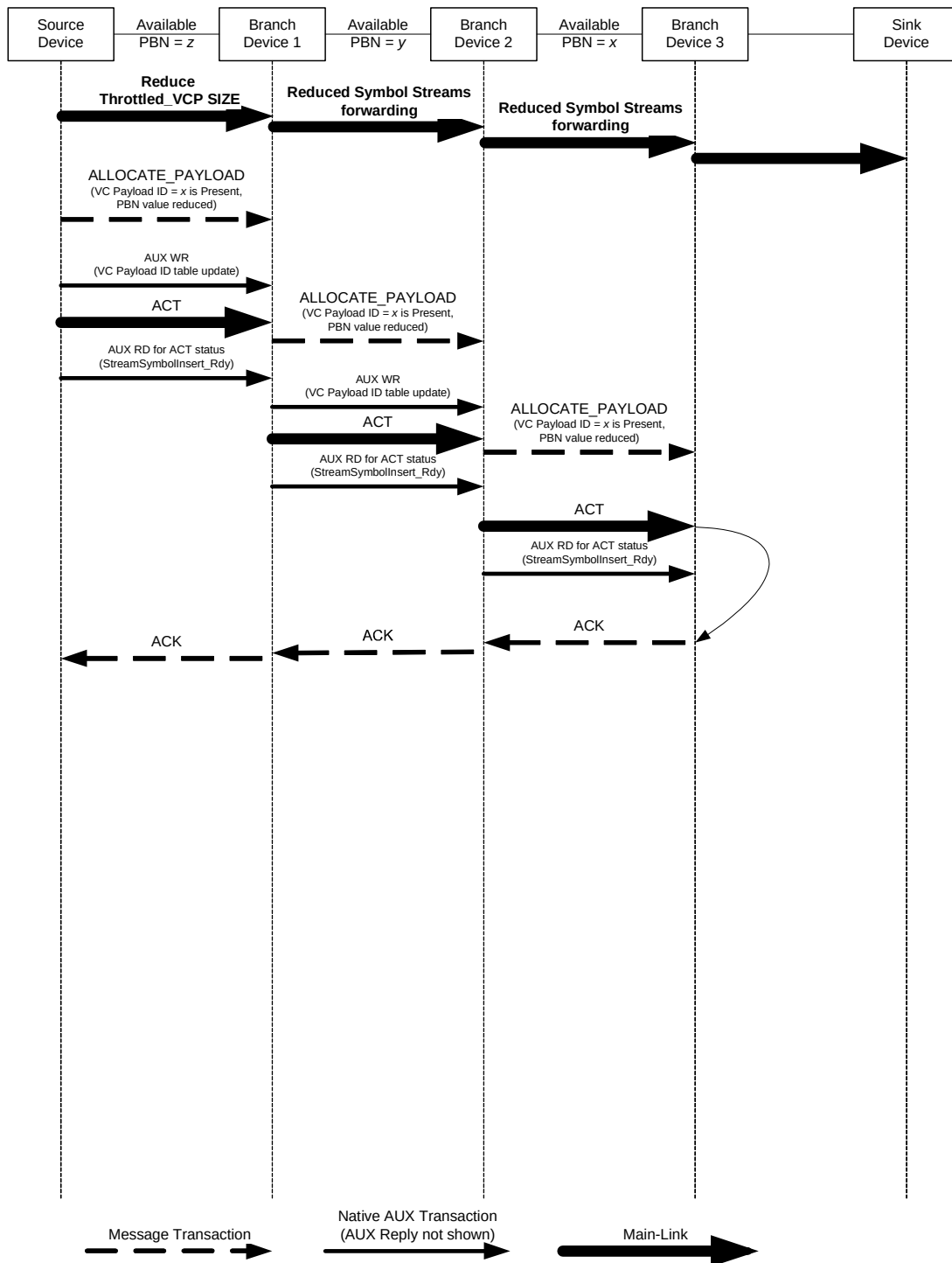


图2-104：减少VC有效载荷分配的时间顺序

图2-105显示了增加VC有效载荷时间插槽分配的定时顺序。 DP源设备必须等待，接收ACK回复消息，然后再增加节点_vcp_size值以避免路径中的溢出。

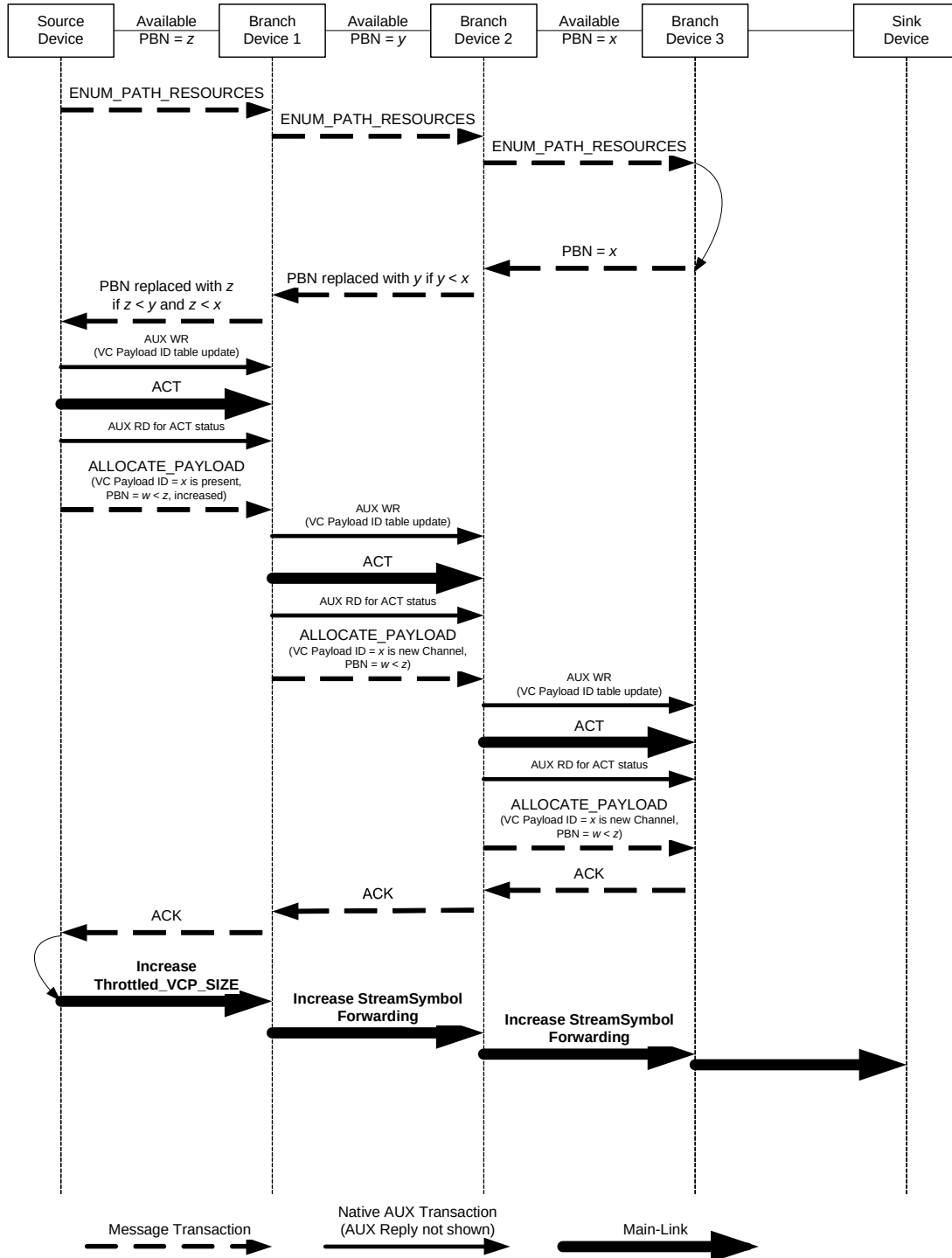


图2-105：增加VC有效载荷分配的时间顺序

2.6.7各种事件对VC有效载荷ID表的影响

各种各样的 TS及其对VC有效载荷ID表的影响是DES 在表2-137中归。

表2-137: VC有效载荷ID表的各种事件和影响

Events	Results
ALLOCATE_PAYLOAD, with a new VC Payload ID	Time slots allocated at the end of VC Payload ID Table to support the requested PBN.
ALLOCATE_PAYLOAD, with an existing VC payload ID and with the same PBN value	No change in Payload Allocation table.
ALLOCATE_PAYLOAD, with an existing VC Payload ID, but with a new, non-zero PBN value	The number of time slots allocated to VC Payload ID is adjusted to support the new PBN value. Higher numbered time slots are moved up to make room if new PBN is larger than original PBN. Higher numbered time slots are moved down to remove the gap of unused time slots after the number of time slots was reduced due to new PBN value.
ALLOCATE_PAYLOAD, with an existing VC Payload ID, but with PBN value cleared to 0	Time slots numbered higher than the last time slot used by the VC Payload ID are moved down to the first time slot used by the VC Payload ID, essentially removing the VC Payload ID from the table.
Loss of Stream within a DP Source device	No change in VC Payload ID table. When the rate governing value X.Y is non-zero, the Main-Link Symbol Mapper sends Stream Fill symbols when the Stream Symbols are selected by VC Payload multiplexer. When Payload Bandwidth Manager sets X.Y to 0.0, sends Rate Governing symbols only.
Loss of incoming Stream Symbols or loss of VC Payload symbol sequence phase lock for a DP Branch device	No change in VC Payload ID table. The DP Branch device sends Rate Governing symbols in these conditions.

表2-137：各种事件和对VC有效载荷ID表的影响（续）

Events	Results
Loss of link followed by link training	The DP device whose DPRX has detected the link loss (Device D) generates IRQ_HPD to notify the upstream DPTX of “link-lost” status and clears the ACT Handled bit in the PAYLOAD_TABLE_UPDATE_STATUS register (DPCD Address 002C0h, bit 1) while keeping the VC Payload ID table intact on the DFP’s DPTX and UFP’s DPRX. On its DFP’s DPTX, Device D fills the VC Payloads that have been affected by the loss of link with Rate Governing symbol sequence. If there is no subsequent link training to recover the link by the upstream DPTX for extended period (e.g., for a few seconds), the DP device: • Clears the VC Payload ID table of the DPRX port, and • Initiates ALLOCATE_PAYLOAD with PBN value cleared to 0, to delete those VC Payloads that were coming from the port. The DP device whose DPTX has conducted the link training for link maintenance (Device U) first reads the registers at DPCD Addresses 002C0h through 002FFh of the downstream device (Device D). If the registers at DPCD Addresses 002C0h through 002CFh are all cleared to 00h, that is an indication that Device D has cleared the VC Payload ID table. Device U notifies its upstream devices of this event by way of a RESOURCE_STATUS_NOTIFY message transaction. Note: Device U does not need to read all the registers at DPCD Addresses 002C0h through 002FFh; reading of DPCD Addresses 002C0h through 002CFh is sufficient. If the registers at DPCD Addresses 002C0h through 002CFh retain the values previously set by Device U, that is an indication that Device D has retained the VC Payload ID table and Device U attempts for a local recovery. For the local recovery, Device U performs Native AUX write transactions to the PAYLOAD_ALLOCATE_SET, PAYLOAD_ALLOCATE_START_TIME_SLOT, and PAYLOAD_ALLOCATE_TIME_SLOT_COUNT registers (DPCD Addresses 001C0h, 001C1h, and 001C2h, respectively), followed by ACT on Main-Link and Native AUX read transaction for ACT status flag verification to restore time slot allocations to VC Payloads in the same order they existed before link training was required. The time slot allocation stops when there is an insufficient number of time slots remaining for any subsequent VC Payloads. Device U initiates ALLOCATE_PAYLOAD with PBN value cleared to 0 to delete those VC Payloads that have lost the time slots as the result of the link training. In case the link cannot be re-established, it deletes all the VC Payloads. After the local recovery, Device U issues RESOURCE_STATUS_NOTIFY message transaction, in case the link bandwidth has changed as the result of the link training.

表2-137: 各种事件和对VC有效载荷ID表的影响 (续)

Events	Results
Unplug event or receipt of CONNECTION_STATUS_NOTIFY	The DP device whose DPRX has detected the disconnect event (Device D) clears the following registers: • MSTM_CTRL (DPCD Address 00111h) • PAYLOAD_ALLOCATE_SET (DPCD Address 001C0h) • PAYLOAD_ALLOCATE_START_TIME_SLOT (DPCD Address 001C1h) • PAYLOAD_ALLOCATE_TIME_SLOT_COUNT (DPCD Address 001C2h) • PAYLOAD_TABLE_UPDATE_STATUS (DPCD Address 002C0h) The DP device also clears the VC Payload ID table of the disconnected DPRX, then initiates ALLOCATE_PAYLOAD with the PBN value cleared to 0 to delete those VC Payloads that were coming from the disconnected port. The DP device whose DFP's DPTX detected the unplug event (Device U) then deletes the VC Payloads that were being transmitted from the unplugged port. Device U deletes those VC Payloads from the VC Payload ID table of the unplugged DPTX port, then, issues CONNECT_STATUS_NOTIFY message transaction to its upstream devices. DP Source devices, upon receiving CONNECT_STATUS_NOTIFY, delete all the VC Payloads transmitted through Device U with ALLOCATE_PAYLOAD with PBN = 0. (CLEAR_VC_PAYLOAD_ID_TABLE may be used in case all the VC Payloads are to be deleted.)
POWER_UP_PHY and POWER_DOWN_PHY	VC Payload ID tables are preserved. Loss of link, when it is preceded by POWER_DOWN_PHY does not result in clearing of VC Payload ID tables.

Notes: *A DP Branch device receiving a POWER_DOWN_PHY executes on it (i.e., write 0x02 to the SET_POWER & SET_DP_PWR_VOLTAGE register (DPCD Address 00600h)) of the downstream DPRX) only when either none of the VC Payloads on its downstream link is carrying Stream Symbols or there is no VC Payloads. Upon receiving ALLOCATE_PAYLOAD for VC Payload allocation through the link on which POWER_DOWN_PHY has been executed, the DP Branch device must execute POWER_UP_PHY (i.e., write 0x01 to the SET_POWER & SET_DP_PWR_VOLTAGE register).*

Power cycling of the DPTX of an upstream DP device is detected by the DPRX of the downstream DP device as a loss of link without preceding POWER_DOWN_PHY and is handled as such.

Power cycling of the DPRX of a downstream DP device is detected by the DPTX of the upstream DP device as an unplug event and is handled as such.

2.6.8

鲁棒性要求

MST mod的鲁棒性有四个方面

E:

- 通过可预测的, 自我生成的链接定时链接正时鲁棒性
- MTP标头时插槽中的触发控制序列鲁棒性
- VC有效载荷4符号序列相位锁定
- 无论车道计数如何

本节介绍了使用上述方面的DPRX实现要求, 以改善链接的鲁棒性。

2.6.8.1

链接正时鲁棒性

通过链接训练建立主链接后, DPTX必须在MST模式下保持SR的216个符号间隔。

DPRX必须在使用SR符号作为链接时间参考点之前确保SR间隔的一致性。此外, DPRX必须在出乎意料的时间插槽上忽略SR符号的外观, 这可能是由于主链接上的间歇性符号误差所致。这

DPRX必须等待四个连续的SR, 具有216个时间段间隔, 然后切换到与原始位置不同的SR位置。

2.6.8.2

MTP标头时插槽中的触发控制序列鲁棒性

由于触发控制序列(例如ACT触发序列)的位置是不可预测的, 除了将其插入MTP标头的时间插槽外, DPTX在四个连续的MTP标头时插槽上每条车道发送4个符号序列。

DPRX必须使用此4符号序列冗余, 即使四个控制符号中的两个有误差, 即使两个中的两个都有误差, 也必须使用触发器控制序列。

2.6.8.3

VC有效载荷4符号序列边界建立

DPRX必须建立4个符号序列边界, 并且必须纠正与流控制符号序列/速率管理符号序列规则不匹配的符号。

2.6.8.4

流框架符号序列鲁棒性

流框架符号序列(即BS, BE, SS和SE中的每个)由四个连续的, 相同的控制代码组成。A NSI 8B/10B解码后的多数投票必须用于鲁棒性。DPRX必须在4个符号序列中选择以两个或多个符号出现的控制代码。

2.6.9控制功能，控制符号和K代码分配

控制功能由定义的控制符号或序列组成，并在主链接符号管理和VC有效载荷映射层中使用。为了提高链接完整性，MST使用4个符号序列来识别所有数据符号和出现在VC有效载荷时间插槽中的所有控制符号。为了最大程度地减少这些4个符号代码的发射效应，使用加扰的索引方案选择了使用的基础K代码。为了最大程度地提高误差鲁棒性，插入到MTP标头时插槽的其余控制函数直接映射到1个符号K-k-codes。

2.6.9.1控制功能

表2-138定义了MTP标头时插槽中使用的控制功能代码。表2-139定义了可能出现在MTP数据有效载荷时间插槽中的控制功能代码。

表2-138：MTP标头控制功能

Control Function	Control Symbol	Code/Control Symbol Sequence ^a	Comment
Scrambler Reset	SR	K28.5	Comma character; Link Frame Indicator.
RESERVED	—	K28.1	Not used.
RESERVED	—	K28.7	Not used to avoid coding complication.
RESERVED	—	K28.4	Not used for EMI reduction purpose.
Allocation Change Trigger	ACT	C0-C1-C1-C0	Trigger to downstream device indicating change in allocation on local link. ACT Control Function sequence is unique from others; its 4-code control symbol sequence spans four consecutive MTP Header time slots).

a. Cx indicates an indexed control symbol, as defined in Section 2.6.9.2.

表2-139：MTP有效载荷控制功能

Control Function	Control Symbol	Control Symbol Sequence (C _x , C _y , C _z , C _{aa})
Rate Governing	RG	C0-C1-C2-C3
Blank Start	BS	C0-C0-C0-C0
Blank End	BE	C1-C1-C1-C1
End of Chunk	EOC	C2-C2-C2-C2
Secondary Start	SS	C3-C3-C3-C3
Stream Fill	SF	C4-C4-C4-C4
RESERVED	—	C5-C5-C5-C5
Secondary End	SE	C6-C6-C6-C6
RESERVED	—	C7-C7-C7-C7

2.6.9.2控制符号索引争夺

在控制符号索引中，对于每个控件符号CX，“X”定义了一个（预缩合的）索引整数值在0到7之间。然后，使用主链接数据的当前内容进行扰动的索引，然后计算出拼凑的索引，如下所示：如下：

$$Scrambled\ Index = Index^{LFSR[13],LFSR[14],LFSR[15]}$$

最后，使用表2-140中提供的映射，该加扰的索引决定了所选的实际k代码。

表2-140：炒索引到K代码地图

Scrambled Index	K-Code
0	K23.7
1	K27.7
2	K28.0
3	K28.2
4	K28.3
5	K28.6
6	K29.7
7	K30.7

2.6.9.3 数据符号争夺

数据符号在MST模式和SST模式之间相同。所有数据符号均被扰乱。

2.6.10 MST和SST符号映射之间的转换

支持MST模式的所有DP设备也必须支持SST模式。此需求确保了MST设备和SST设备之间的互操作。

能够支持MST模式的DPRX在MSTM_CAP寄存器（DPCD地址00021H，位0）中设置MST_CAP位。具有MST的DPTX必须首先验证下游DPRX是否通过本机Aux读取是否具有MST_CAP位设置。如果设置了位，并且如果DPTX选择启用MST模式，则它将通过Downstream DPRX集的本机AUX写入MSTM_CTRL寄存器（DPCD地址00111H，BIT 0）中的MST_EN位。

对于DP源设备和DP接收器设备，是否启用MST模式是一种决策选择。DP分支设备必须始终在其DPRX上将MST_CAP位设置为1，并将下游DP设备DPRX的MSTM_CTRL寄存器（DPCD地址00111H，位0）设置为1，只要下游设备将MST_CAP位设置为1。

对于那些将SST符号映射转换为MST符号映射或MST符号映射到SST符号映射的DP分支设备，第2.6.3.3节中描述的简单通行操作不适用。

2.6.10.1最后一个分支设备

接收MST映射符号并驾驶仅使用SST模式DPRX的最后一个分支设备应首先再生接收流，然后将再生流映射到SST映射的符号中，包括MVID/NVID，MAUD/NAUD和ECC PARITY生成。由于最后一个分支设备的参考时钟和DP源设备采购流的参考时钟相互异步，因此异步时钟模式必须用于MVID/NVID和MAUD/NAUD。也就是说，NVID和NAUD值必须设置为8000h。最后需要使用 $\pm 0.1\%$ 精度生成MVID和MAUD。

从最后一个分支设备接收流的DP接收器设备必须使用MVID和MAUD作为流时钟再生的提示，就像流时钟再生一样，在SST模式下启用了链接速率下降。

Note: *Intermediate DP Branch devices pass through the Stream Symbols Sequence without parsing the contents. Therefore, those intermediate DP Branch devices pass through Mvid/Nvid, Maud/Naud, and SDP ECC parity as is.*

可能有一些方法可以简化从MST符号映射到SST符号映射的转换，但它是一种特定于实现的选择，并且超出了此标准的范围。

2.6.10.1.1 通过最后一个分支设备启用增强的框架符号序列

只要下游设备支持序列，就必须在SST模式下驱动下游设备的最后一个分支设备必须启用增强的框架符号序列。

2.6.10.2 第一分支设备

从SST模式源设备接收SST映射符号的第一个分支设备必须将流到SST传输格式的下游链接，并具有与上游链接相同的链接配置。

当上游源设备具有MST功能，但选择以SST格式传输时，MST源设备必须启动Allocate_Payload Message Message Transaction，以将虚拟通道建立到目标接收器设备。在这种情况下，第一个分支设备将传入的SST映射符号转换为MST映射的符号，包括MVID/NVID，MAUD/NAUD和ECC PRICE生成。由于最后一个分支设备的参考时钟以及DP源设备采购流的参考时钟相互异步，因此必须将异步时钟模式用于MVID/NVID和MAUD/NAUD。

可能有一些方法可以简化这种转换，但这是一种特定于实现的选择，并且超出了该标准的范围。

2.6.10.2.1第一个分支设备增强的框架符号序列支持

第一个布朗 H设备必须支持增强的框架符号SE

在SST模式下进行问题。

2.6.10.3模式在MST模式和SST模式之间切换

能够使用MST模式的DPTX和DPRX必须支持SST模式与仅SST模式DP设备互操作。

在MST模式和SST模式之间切换会导致流的传输中断，因为DPTX必须在此模式开关之前停止流传输。有两个选择：

- DPTX重新开启链接培训，并在SST模式下以空闲模式或在MST模式下以空闲模式（即空MTP）模式出来。
- DPTX停止流的传输（在SST模式下导致闲置模式，或在MST模式下没有VC有效载荷（空MTP）模式），在MSTM_CTRL寄存器（DPCD地址00111H，位，位，位0）中设置/清除MST_EN位，使用AUX的方向或Switch switter and Switt and Switt and Switch At and S with and Switch and Switt and Switch and Switch At an SR（用于MST到SST模式开关）。启动流传输或VC有效载荷分配必须至少等待四个BS间隔（切换到SST模式后）或四个SR间隔（切换到MST模式后）。

2.6.11 MST MOD中CP扩展的MTPH使用情况 e

在MST模式下为CP扩展定义了MTPH时插槽的另外两个用法 - 加密控制字段和链接验证模式（LVP）。

2.6.11.1加密控制字段

加密控制场（ECF）由一个跨越八个连续MTPH的8-DATA符号序列组成。无论车道计数如何，数据符号序列都是相同的每个车道。ECF连续四次重复，导致总序列长度为32 mtps。DPRX需要对重复的ECF进行多数投票进行错误纠正。

如何使用ECF特定于移植到MST DP链接的内容保护系统，因此超出了该标准的范围。

DPTX必须在每个链路框架中至少至少传输四个连续的ECF，在链接框架边界SR信号之前正好从36 mtpH开始。ECF可以由DPTX传输，以外的任何地方。从SR之前的36 mTPH时间插槽开始在固定位置之外发送时，必须立即进行ACT序列。

除了这个固定位置外，DPTX还可以在ACT序列之前的任何地方发送四个连续的ECF，该ECF跨越四个连续的MTPH时插槽。

连续四个ECF和ACT序列都不得跨SR和链接验证模式（在第2.6.11.2节中进行了描述）。

DPRX必须在ACT序列之前同时监视固定的四个连续ECF的位置和32 mTPH的时间插槽，并采取适当的加密操作。

链路框架边界情况的这些字段的时序关系如图2-106所示。

四个连续的ECF和ACT序列的定时关系如图2-107所示。请注意，图2-107中的MTP $N + 4$ 可能出现在MTP # 0（链接框架边界），在这种情况下，MTPH $N + + 5$ 和MTPH $N + + 6$ 将包含LVP，如图2-106所示。另外，MTP $N - 32$ 可以选择出现在链接框架边界后的MTP # 3上，在这种情况下，包含第一幕序列的MTPH N 在图2-106所示的保留时间插槽后立即在MTP # 36上开始。

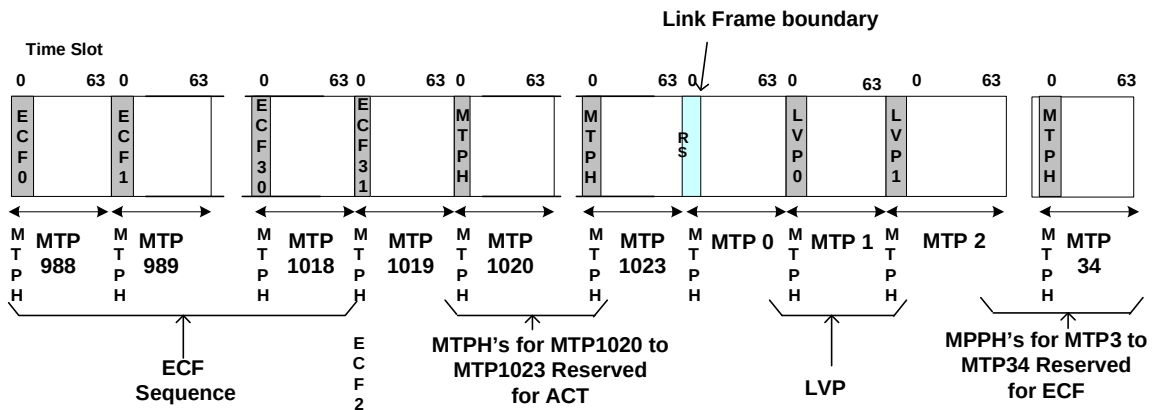


图2-1 06: 链路框架bou处的MSTM ECF和LVP信号传导 ndary

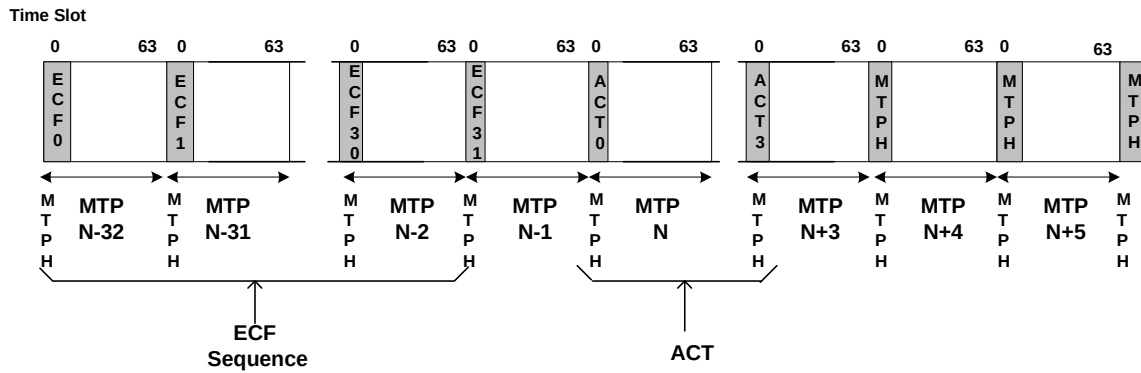


图2-107: ACT序列之前的ECF

2.6.11.2 链接验证模式

链路框架边界SR信号紧随其后的两个连续MTPH时插槽用于运输16位链路验证模式（LVP），这是最不重要的字节（位7：0）首先传输的，并且最后是最重要的字节（位15：8）。

在SST模式下，VB-ID中的HDCP同步检测位（位5）用于顺序传输16位链路验证模式。在MST模式下，位5变成“不在乎”。

2.6.11.3 MTPH时插槽的加密

不得加密在ECF的那些MTPH时插槽中运输的数据符号。LVP必须加密。是否要加密其他MTPH时间插槽取决于通过MST DP链接运行的内容保护系统的策略。

2.7 压缩显示流传输服务

DisplayPort可以按照DSC v1.2运输BITSTREAM。对DSC的支持是DP源，分支和水槽设备的可选。启用DSC后，应启用FEC。

DP显示流压缩（DSC）映射到一个新的流压缩层，逻辑位于流层下方和DP层体系结构模型中的传输层上方，如图2-108所示。DSC v1.2中描述的DSC算法在逻辑上与传输服务分开。请注意，这种逻辑分离既不是要暗示也不限制实现。

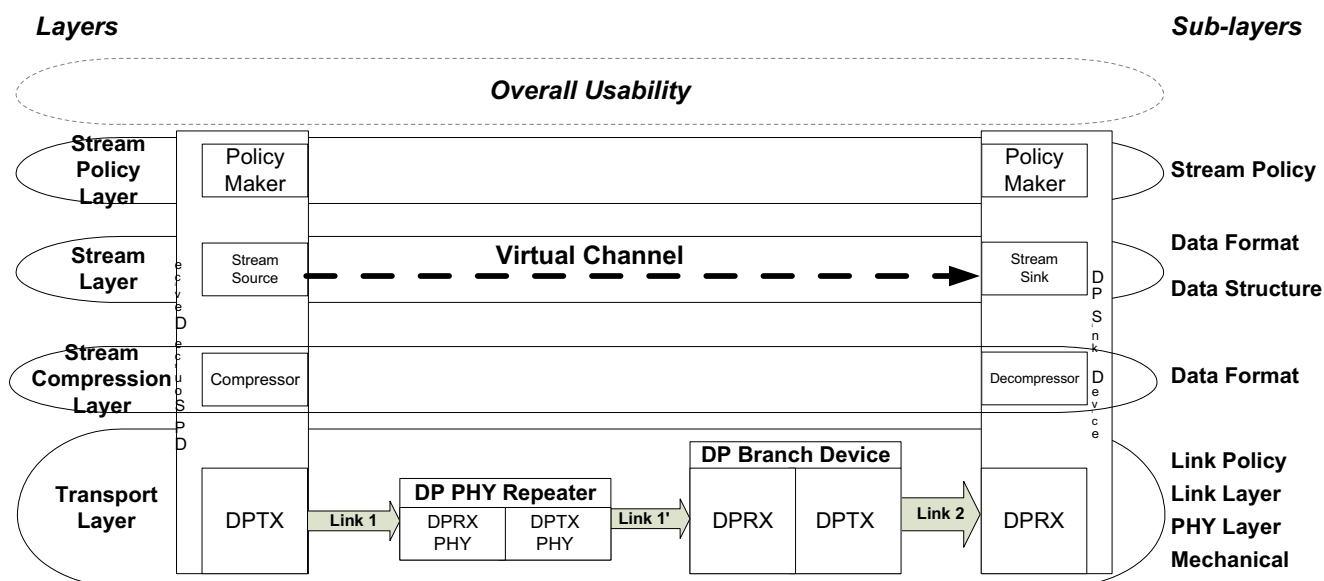


图2-108：带压缩的DisplayPort层体系结构模型

2.7.1 传输缓冲区模型

图2-109说明了压缩元件和传输缓冲区的建筑视图。下游帧缓冲区可以选择包含在解压缩器前的压缩数据中，或者在解压缩器后的重建数据中包含。系统设计人员应参考DSC v1.2，以获取速率缓冲区大小的要求，以便像素流和Bitstream速率的任何组合。

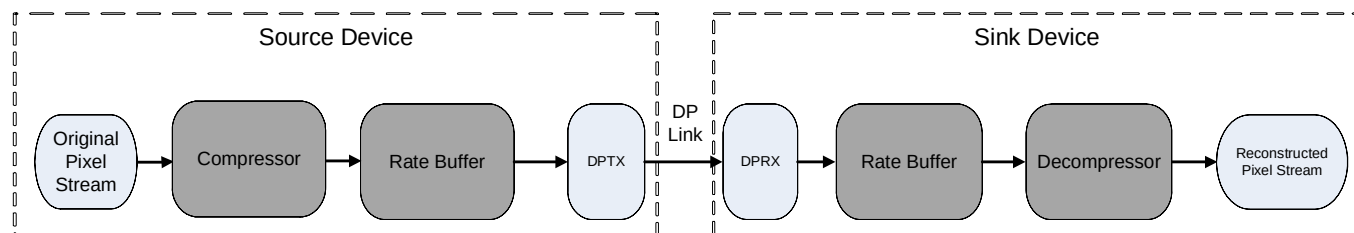


图2-109：高级压缩架构元素

2.7.2

配置 - 发现, 启用和禁用

能够进行DSC解压缩的DP设备称为“DP DSC接收器设备”。DP DSC接收器设备可以是具有DSC解压缩功能的DP接收器设备或DP分支设备。该设备应在DSC功能DPCD寄存器中宣布其解压缩能力, 以00060H至0006CH地址。具有DSC功能的DP源设备称为“DP DSC源设备”。DP DSC源设备应在DPCD上读取DSC功能DPCD寄存器地址为00060H至0006CH, 以确认水槽设备是否能够支持解压缩。

DP DSC接收器设备的DSC数据结构在DSC DPCD寄存器位置中保存在DPCD地址00060H至0006CH地址通过本机Aux Transactions访问。对于MST设备, DSC数据结构将通过远程_DPCD_RD消息交易访问到虚拟DP对等设备(请参阅第2.6.1.1节)。

图2-110说明了DSC的初始发现, 设置和启用。

具有较高DSC *v1.sub-version number* (例如, 1.2) 的DSC能力的设备应能够使用相同或更低DSC *v1.sub-version number*的任何其他可DSC能力的设备(例如版本1.2)操作。有关子交换之间的互操作性的更多信息, 请参见适当的DSC *v1.x*。

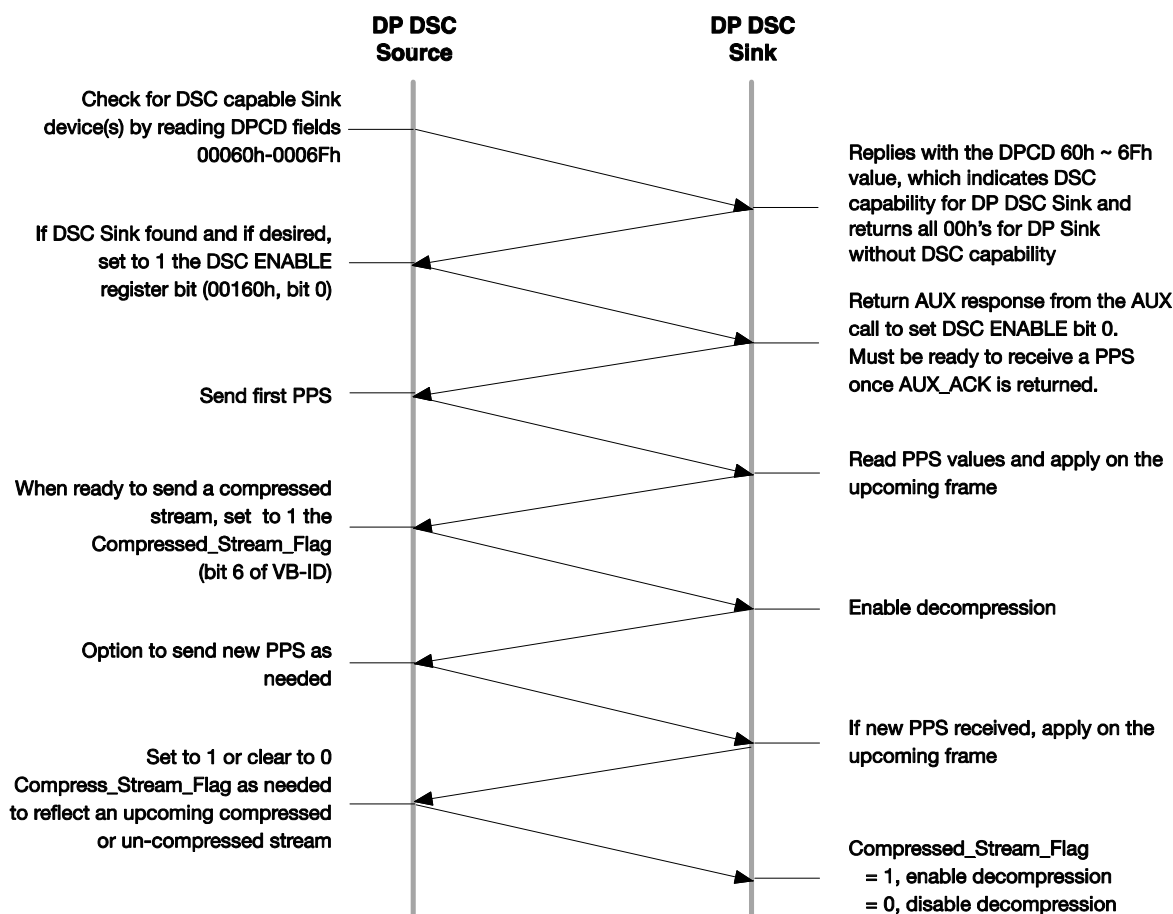


图2-110: DSC压缩的初始发现, 设置和启用

2.7.2.1

DP DSC源设备

If a DP DSC Sink device is discovered downstream, a DP DSC Source device may enable compression by setting the Decompression Enable bit in the DSC ENABLE register (DPCD Address 00160h, bit 0) to 1. After the bit is set, the DP DSC Source device shall not clear Decompression Enable bit to 0 while the CompressedStream_Flag bit in the VB-ID (bit 6) is set to 1.

DP DSC源设备从其解压缩启用位置接收ACK之后，DP DSC源设备应发送图片参数集（PPS），如第2.2.5.9节所述。只有在发送PPS之后，源设备应在VB-ID中设置CompressedStream_flag位（位6），以指示在VB-ID之后的每个单独的视频框架上，是否启用了压缩（1）还是禁用（标志为0）（标志为0）。PPS值应在压缩stream_flag转换上持续存在。需要发送PPS，如下所示：

- 解压缩启用位后，设置了
- 如果PPS参数更改

有关更多详细信息，请参见DSC v1.2。

如果启用了框架上的压缩，DP DSC源设备应在活动区域启动之前的一条扫描线时将CompressedStream_flag设置为1。如果禁用帧上的压缩，DP DSC源设备应在活动区域启动之前的一条扫描线之前将CompressedStream_flag清除为0。这些时序要求如图2-111所示，该时间相对于DPRX可见的事件定义了这些时间。

2.7.2.2 DP DSC水槽设备

在向AUX写入交易（DP SST DSC接收器设备）或远程_DPCD_WR消息事务（DP MST DSC接收器设备）发送ACK响应之后由DP DSC源设备。

DP DSC接收器设备应仅在设置DP DSC源设备中发送的任何PPS设置。当未设置解压缩启用位时，该设备应忽略任何PPS。

DP DSC接收器设备应监视VB-ID（位6）中的CompressedStream_flag位，该位置指示在每个单独的视频框架上指示压缩是启用（1）还是禁用（标志为0）（0的标志状态）。

DP DSC接收器设备应在活动区域期间忽略此标志状态。这些时间要求如图2-111所示，该时间与DP链接上可见的事件定义了这些时间。

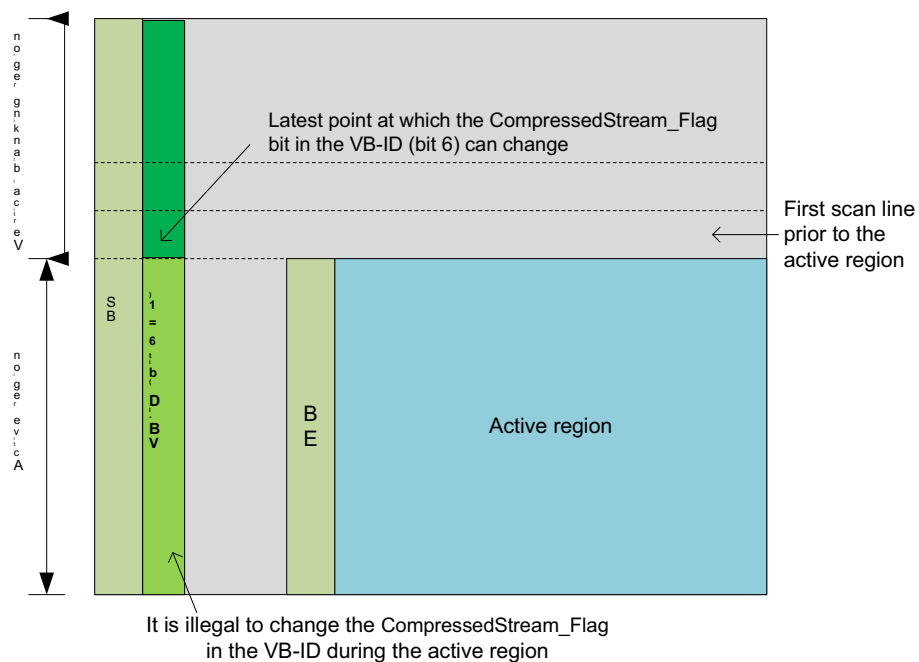


图2-111：VB-ID中的压缩/未压缩流指示

2.7.3每行要求最小切片

DP DSC接收器设备应至少支持每个显示线的特定数量切片，以确定显示为分辨率和刷新率组合的每个显示的显示模式。表2-141列出了给定显示模式的像素吞吐量率所需的每个显示行所需的切片。如果显示由多个MST流驱动，则像素吞吐量率是所有用于显示的MST流的累积像素吞吐量率。

表2-141：每次显示linea所需的切片计数

Display Peak Pixel Rate (ppr) (MP/s)	Slice per Display Line Requirement ^b	Alternative Slice per Display Line Requirement ^c
ppr ≤ 340	1	1
340 < ppr ≤ 680	2	1
680 < ppr ≤ 1360	4	2
1360 < ppr ≤ 3200 ^d	8 ^d	4
3200 < ppr ≤ 4800	12	8
4800 < ppr ≤ 6400	16	8
6400 < ppr ≤ 8000	20	12
8000 < ppr ≤ 9600	24	12

- a. Table values are subject to different restrictions and/or limits. See the text within this section for rules specific to handling maximum slice width.
- b. This column has requirements based on a DP DSC Source device at 1 pixel per clock (DP DSC Sink device at 3 pixels per clock) throughput rate. The third (“Alternative”) column addresses a DP DSC Source device at 2 pixels per clock (DP DSC Sink device at 6 pixels per clock) only throughput rate modes. See the text within this section for further details.
- c. **DSC v1.2 (or higher) native 4:2:0 mode only** – This column applies to a display mode that is available only as a 4:2:0 sub-sampled pixel stream when DSC v1.2 (or higher) native 4:2:0 mode is used.
- d. The ppr values in MP/s units that are greater than 2720 assume a DSC throughput capability of 400MP/s. The ppr values in MP/s units that are less than or equal to 2720 assume a DSC throughput capability of 340MP/s.

如果显示模式（分辨率和刷新率）符合下面列出的要求，则可能支持该模式的替代切片/显示行/显示行列，用于DSC v1.2（或更高）：

- 显示模式仅可用4：2：0子采样像素流
- DSC编码器和解码器过程使用DSC本机4：2：0模式编码

如果表格的切片大小需要大于MaxSliceWidth（每块像素的数量，则由DSC Max Max Slice宽度宽度在DSC最大切片宽度寄存器（DPCD地址0006CH，位7：0）中所指定的，下一个较高允许的Slice计数值应在表格supplied值中使用。此调整重复，直到切片宽度小于或等于MaxSliceWidth。

有关更多详细信息和用法示例，请参见附录L。

DP DSC源设备应能够支持表2-141中列出的所有每行组合的所有切片，直到源设备支持的最高显示模式。

DP DSC源设备只要切片宽度小于或等于MaxSliceWidth，DP DSC DSC设备支持的每行计数都可以设置任何切片。

2.7.3.1 每个显示行选项的其他切片

DP DSC接收器设备可以支持每个显示行配置的其他切片。每个显示线路配置的所有受支持的切片应在DSC切片功能1和峰值DSC吞吐量（DSC接收器）寄存器中声明（DPCD地址分别为00064H和0006BH）。

DP链接可能携带多个独立的bitstreams。DSC切片功能1寄存器集包含DP DSC接收器设备可以支持的BITSTREAM数量的声明。系统设计人员应参考DSC v1.2以确保基于每个显示行的切片数和携带显示数据的DSC Bitstreams的数量，确保对BITSTREAM正确编码或解码。（有关详细信息，请参见附录L。）

2.7.3.2 额外的DP DSC接收DSC功能

如果DP DSC接收器设备可以支撑大于默认值（340和400mp/s的吞吐量，则每个时钟模式的3像素中的340和400mp/s；请参见第2.7.3节）或宽度大于2560像素的默认宽度，则该设备可以声明其在峰值dsc dsclite（dsc sind sinc the 000）中（DSC sinds 000 000）在peakite tthe 000 cli pter（DSC sinds 000）较大的功能 分别）。DP DSC源设备可以使用此信息来确定可能的其他支持配置。

例如，在90Hz刷新速率下使用CVT v1.2时间模式减少的4K（3840像素范围）显示，需要最大的峰值速率为811.44mp/s。按照表2-141，每个显示线需要四个切片。如果DP DSC接收器设备在吞吐量模式0（吞吐量模式0字段（位3：0）中宣传较高的吞吐量能力（在峰值DSC吞吐量（DSC sink）寄存器中的位置为3：0），则DP DSC源设备的选项只能使用每次显示线路使用两个片（（811.44mp/s/s/s/s/s/600mp/s）。2），假设它也可以支持该吞吐量。DP DSC源设备还需要检查1920像素（3840像素 / 2片）的切片宽度并不太大。在这种情况下，每个设备都可以支持至少2560像素的切片；因此，两个切片将是有效的配置。如果切片宽度大于2560默认值，则DP DSC源设备可以检查DSC最大切片宽度寄存器，以查看DP DSC DSC接收器设备的MaxSliceWidth是否大于默认的2560。如果该值大于计算出的像素宽度，则可以使用计算的Slice宽度。

2.7.3.3 框架和压缩流映射

本节介绍了在DP主链接上运输压缩流的规则。

当源设备启用DSC时，DP DSC源设备应在活动视频周期内通过链接发送DSC编码的Bitstream，而不是未压缩的RAW PIXEL数据。源设备应维护视频框架格式。MSA的定义保持不变。链路带宽管理按照第2.2.1.4节的规定进行。

为了链接带宽的目的，分配每个切片的位数的数量被计算为 $\text{CEIL}(\text{bits\_per\_pixel} \times \text{slice\_width slice\_width} / 8) \times \text{slice\_height}$ ，每个块的大小被计算为 $\text{CEIL}(\text{bits\_per\_pixel} \times \text{slice\_width} / 8)$ 。

切片高度应受到限制，以使主动视频高度是该值的整数倍数。压缩显示流数据以块的单位运输。源设备应在每个块传输后插入块（EOC）的末端。EOC应在同一LS_CLK（DP主链接符号时钟）周期中插入所有车道中。图2-112说明了EOC放置。

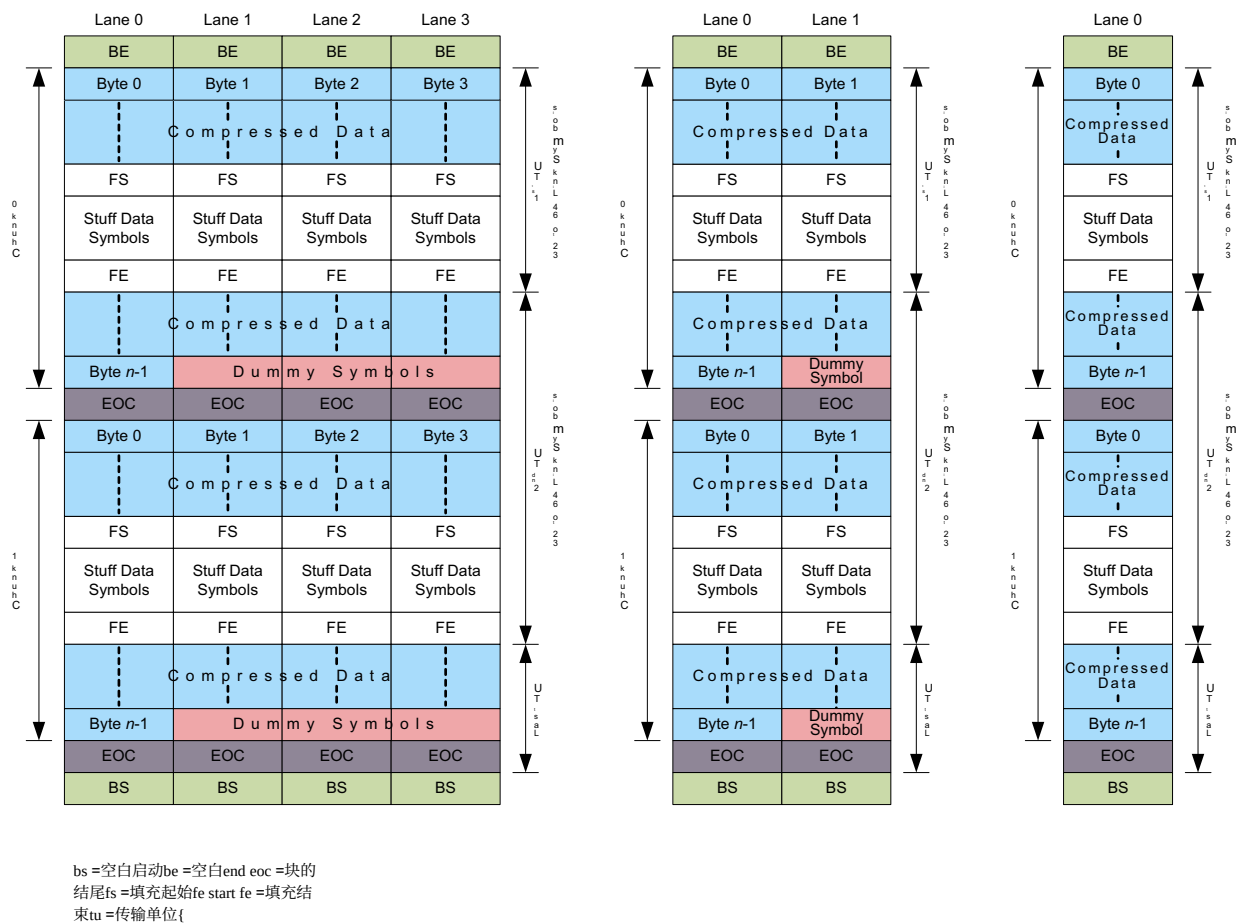


图2-112：视频框架中包装DSC数据字节的示例

DSC BITSTREAM的字节分布在启用的车道上，从泳道0上的字节0开始。如果块中的字节不是车道数量的倍数，则将虚拟数据作为填充插入以使其成为车道的倍数。用于填充的虚拟数据的内容是特定于TX实现的。请注意，应选择普通数据，而不是特殊的K代码。然后将块和任何必需的填充物进行EOC。表3-7（SST格式）和表2-139（MST格式）定义了8B/ 10B特殊字符映射的EOC控制链接符号。

在SST和MST格式中，源设备应按照第2.2.1.2节中的要求和EOC传输扫描线和EOC的最后一块后发送BS符号序列。压缩数据传输应立即在下一个符号之后立即恢复。在MST格式中，EOC控制链路符号是四次插入的，无论车道计数如何（即，在1车道配置中连续四个连续的时间插槽，在2型车道配置中的两个车道上连续两个时间插槽，一个时间段和一个时间段的一个时间插槽，四个车道配置中的四个车道），是4车道配置中的四个车道），因为未压缩的视频流中，是在MST上的未压缩形式的2.6。

如果通过在DSC状态寄存器中设置块长度错误位（DPCD地址0020FH和02011H，BIT 2）中的块长度错误位，则DP DSC接收器设备应报告错误，然后通过PPS中指定的块大小与PPS中指定的块大小相匹配，然后生成IRQ_HPD，则应报告。然后，接收器设备应通过在DSC状态寄存器（DPCD地址0020FH和02011H，分别为1: 0）中设置RC缓冲区溢出和RC缓冲区下的RC缓冲区底部和溢出误差，然后在RC Buffer Offlun underun underun或Overflow错误（S）上生成IRQ_HPD。源设备以特定于实现的方式处理误差。

DSC算法限制了由于接收到的bitstream中的错误而导致的伪像到发生错误的切片。标准的DP压缩流传输服务DO *not*提供了超出所需FEC的其他错误弹性功能，以减轻位错误诱导的工件的潜在影响。在DP系统设计期间，应注意这一点。

2.8 曼彻斯特交易格式的AUX交易语法

本节中描述了用于曼彻斯特交易格式的各种AUX交易的语法。如第3.4节所述，曼彻斯特交易格式以1Mbps的名义比率使用曼彻斯特-II编码。

解释了以下两个类别：

- 天然AUX交易语法
- 语法用于将I2C交易映射到AUX交易中，称为I2C-Ever-Aux Transaction

本节介绍了适用于半双链双向辅助层的DP AUX交易语法。总线周转的数量减少，以最大程度地减少半双链的头顶。

Aux Ch Phy层由一个带有自锁数据的单个微分对组成。所有交易都必须以序言“同步”开头，以同步请求者（DPTX）和Replier（DPRX），并且必须以“停止”条件结束。

在序言后必须传输4位命令，Comm3: 0，然后是20位地址，ADDR19: 0。DisplayPort功能，状态和控制功能直接映射到20位地址空间。此外，DisplayPort使用这20位访问I2C设备。

在传输命令和地址后，必须传输数据字节，除了I2C-Over-AUX交易的仅通话交易。支持爆发数据传输。爆发数据大小必须限于最大16个字节。

请求命令字段的位3（MSB）指示事务是本地AUX事务还是I2C-Ever-aux事务。

表2-142：辅助交易语法的各种数据类型的位/字节大小

Data Type	Bit Width
Command	4 bits
Address	Request transaction – 20 bits.
	Reply transaction – None (0000b must be padded to Command, to form a byte).
Data	Request transaction: - For read – 1 byte (Length byte) - For write – 1 byte (Length byte) + N Data bytes - Length byte (“LEN”) defines the number of bytes to be written to or to be read from the AUX Replier (DPRX) by the AUX Requester (DPTX) N = Integer value from 1 to 16 (i.e., a DPTX is required to limit the burst data size to 16 or fewer bytes)
	Reply transaction: - For read = N Data bytes N = Integer value from 1 to 16, the number of bytes ready to be sent - For write = 0 or 1 Data byte - When AUX Replier NACKs the write request transaction, it must indicate how many bytes have been written - For an I²C write over the AUX CH, the AUX Replier, following the ACK, must indicate how many bytes have been written to the I²C slave

Note: *In this Standard, “►” is attached to a signal name that is driven by the Requester, while “◄” is attached to a signal driven by the Replier.*

2.8.1 命令定义
请求和答复 描述了AUX交易的命令定义 在这个部分。

2.8.1.1请求命令定义

表2-143: 请求命令定义, 位3

Bit #	Value	Description
3	0	I²C-over-AUX Transaction Functions as an I ² C-over-AUX transaction, and: • Bit 2 = MOT (Middle-of-Transaction) bit • Bits 1:0 = I2C Command • 00 = Write • 01 = Read • 10 = Write_Status_Update_Request • 11 = RESERVED Note: For further details regarding the MOT bit and I²C Write Status Request, see Section 2.8.5, and Section 2.8.7. See also see Table 2-145, which provides further detail regarding bits 2:0 when bit 3 is cleared to 0.
	1	DisplayPort Transaction Functions as a Native AUX transaction, and: • Bits 2:0 = Request type • 000 = Write • 001 = Read

2.8.1.2回复命令定义

4位回复命令字段分为本机AUX回复字段（位1: 0）和I2C- Over-Aux回复字段（位3: 2）。仅当本机AUX回复字段为AUX_ACK（已清除为00）时，I2C-over-aux回复字段才有效。当本机AUX回复字段不是00时，I2C-over-aux回复字段必须为00并忽略。

表2-144: 回复命令定义, 位3: 0

Bit #	Value	Description
1:0		Native AUX Reply field
	00	AUX_ACK For write transactions: - All the data bytes have been written. For read transactions: - Ready to reply to Read request with data following. - A DPRX (Replier) may assert a <u>STOP</u> condition before transmitting the total number of requested data bytes when not all the bytes are available.
	01	AUX NACK For write transactions: - AUX NACK must be followed by a data byte “M”, where “M” indicates the number of data bytes successfully written. - When a DPTX is writing a DPCD address not supported by the DPRX, the DPRX shall reply with AUX NACK and “M” equal to zero. For read transactions: - A DPRX receiving a Native AUX read request for an unsupported DPCD address must reply with an AUX ACK and read data set equal to zero instead of replying with AUX NACK.
	10	AUX DEFER For write and read transactions: Not ready for the write/read request. A DPTX may retry later.
	11	RESERVED

表2-144: 回复命令定义, 位3: 0 (续)

Bit #	Value	Description
3:2		I²C-over-AUX Reply field A DPRX must not forward an I²C transaction to an I²C slave unless the AUX CH has received all the data bytes. When the DPTX fails to receive all the data bytes it either AUX NACKs (with “M” set equal to the number of received data bytes) or AUX DEFERs (not ready to receive the request transaction). The DPTX may either abort the I²C-over-AUX transaction or retry at a later time. I²C-over-AUX Reply field is only valid when paired with AUX ACK.
	00	I2C ACK For I²C write transactions: - I2C ACK must be followed by the data byte “M”, where “M” is the number of bytes the DPRX has written to its I²C slave without NACK. The data byte “M” must be omitted when all the data bytes have been written. See Section 2.8.5.2 for examples. For I²C read transactions: - The I²C slave has ACKed the I²C address and the DPRX is ready to reply with data following. - The DPRX may assert a <u>STOP</u> condition before transmitting the total number of requested data bytes when not all the bytes are available.
	01	I2C NACK For I²C write transactions: - I2C NACK must be followed by a data byte “M”, except when the I²C slave has NACKed the I²C address, in which case the reply transaction shall end with I2C NACK without the data byte “M”. Data byte “M” indicates the number of bytes the DPRX has successfully written to its I²C slave before receiving the NACK. The byte on which the NACK occurred is excluded from the number. For I²C read transactions: - The I²C slave has NACKed the I²C address.
	10	I2C DEFER For I²C write and read transactions: The I²C slave has yet to ACK or NACK the I²C transaction.
	11	RESERVED

2.8.2 AUX交易响应/回复超时

AUX REPLIER (DPRX) 必须在300US响应期内开始将答复发送回AUX请求者 (DPTX)。响应超时计时器在DPRX完成接收AUX请求交易的AUX停止条件后开始滴答作响。

当响应超时周期经过时，或者DPRX已开始发送AUX同步模式（遵循10至16个活动的活动前脉冲脉冲）以进行回复事务时，将重置计时器。

如果DPTX未从DPRX收到答复，则必须等待400US的回复超时期，才能启动下一个AUX请求交易。DPTX完成AUX停止条件后，回复超时计时器开始滴答作响。

当回复超时期通过或DPTX检测到曼彻斯特-II代码中的第一个0时，该计时器是重置的，该代码中的第一个0是在主动预电脉冲和回复事务的AUX同步模式中。

2.8.3 本机AUX请求交易语法

Sync comm3: 0 | addr19: 16 ADDR15: 8 addr7: 0 len7: 0 (data0_7: 0 ...) 停止

2.8.3.1 写请求交易

对于写入交易 (COMM3: 0 = 1000)，请求事务必须在字节数 (1至16 = len7: 0值+ 1时，所有其他值都是无效的)。

2.8.3.2 阅读请求交易

对于读取事务 (COMM3: 0 = 1001)，请求事务必须在LEN7: 0之后停止 (即，必须不得传输数据)。请求者期望重试用数据 (+ 1]字节 (= 1至16个字节) 数据的回复元素。

2.8.4 本机AUX回复交易语法

同步comm3: 0 |0000 (data0_7: 0 ...) 停止

2.8.4.1回复交易以写请求

对书面请求的答复交易必须在以下三个条件之一中结束：

- 重试已经收到写作请求，并完成了写作。重试必须通过发送AUX ACK来回复交易。
 - 同步00 | aux ack |0000 STOP
- 重试已经收到写作请求，但尚未完成写作。重试必须通过将AUX NACK作为第一个Comm3: 0发送来结束交易，然后，书面字节M的数量为Data0_7: 0。
 - sync 00 | nack |0000 数据0_7: 0 STOP 其中data0_7: 0显示了书面字节的数量，M。
- Replier已收到写作请求，但尚未准备好接受写请求。 Replier必须使用AUX_DEFER回复。
 - Sync 00 | aux_defer |0000 STOP

2.8.4.2回复交易对阅读请求

对阅读请求的答复交易必须在以下四个条件之一中结束：

- Replier已收到读取请求，但尚未准备好使用读取数据回复。必须通过将AUX延期作为第一个comm3: 0发送辅助术来结束交易。
 - 同步00 | aux defer |0000 STOP
- Replier已收到读取请求并准备就绪。必须通过发送AUX ACK作为第一个命令来回复，将请求字节的数量传输，断言停止条件，然后释放Aux CH。
 - sync 00 | aux ack |0000 stop
- Replier已收到读取请求，并准备好使用一些（M + 1个字节），但不是全部，请求的数据字节。必须通过发送AUX ACK作为第一个命令来回复，将可以回复的字节数传递，断言停止条件并释放AUX CH。
 - Sync 00 | aux ack |0000 data0_7: 0 ..datam_7: 0 停止
- Replier已收到N字节的读取请求，并且已经准备就绪。必须以Aux ACK为第一个命令回复，返回请求的字节数，断言停止条件，然后释放AUX CH。
 - Sync 00 | aux ack |0000 data0_7: 0 ..datan-1_7: 0 STOP

2.8.5

I2C总线交易映射到AUX语法

该标准中定义的I2C事务上的I2C交易对I2C跨AUX交易的映射对I2C数据字节的应用特定用法不可知。DPTX和DPRX都不知道I2C事务中的每个数据字节如何用于特定的I2C应用程序。

单个I2C事务可以映射到一个或多个I2C跨AUX事务上，以适应I2C和AUX CH之间的比特率差。将I2C交易分为多个I2C-AUX-AUX交易是如何（或是否）将DPTX实施特异性分配给多个I2C交易。对于I2C-AUX事务，DPTX可以启动“仅址”请求事务，其中DPTX在发送请求命令字段和20位地址之后而不会发送长度字节/数据字节。

2.8.5.1 i2c-over-aux请求交易命令

当将请求命令的位3（MSB）清除为0时（请参阅表2-143），请求的事务必须是I2C-over-aux事务。单个I2C事务可以分为多个I2C-Over-aux事务，每个交易都设置为0。

在I2C总线交易中，请求命令的其余三个位2：0定义如表2-145所示。

表2-145：请求命令定义，位2：0，当位3 = 0时

Bit #	Value	Description
1:0		I²C Command
	00	Write
	01	Read
	10	Write_Status_Update_Request When the last I ² C write transaction resulted in a reply of either I2C_DEFER or ACK followed by a data byte “M”, where “M” is the number of bytes written to the I ² C slave, AUX Requester (DPTX) may issue the following special request to inquire the status of the last I ² C write: <u>SYNC</u> ► COM3:0 (= 0110) 0000► 0000 0000► 0 7-bit I ² C address (the same as the last)► 0000 0000 (Length byte)► STOP► To this request, AUX Replier (DPRX) must reply with the latest status.
	11	RESERVED
2	1	MOT (Middle-of-Transaction) bit This bit must be set when the I ² C transaction does not end (or STOP) with the current AUX transaction. The I ² C master in the DPRX must send the 7-bit I ² C address and read or write command only when: • This bit is set to 1 for the first time (i.e., in the first AUX transaction for the START of an I²C transaction), –or– • RepeatedStart is issued, which results in either a new I²C address or the same I²C address but with the read/write command opposite of the previous command.

2.8.5.2 I2C写入交易

在本节中，使用一个示例描述了I2C写入事务对AUX事务的映射，其中写了三个数据字节。源设备中的I2C主机将通过源设备中的DPTX和接收器设备中DPRX之间的AUX CH启动I2C写入事务，如图2-113所示。显示了操作的三种变体，展示了实现I2C写入交易目标的多种方法。

在以下描述中，接收器设备中的I2C从设备确认I2C写入。当i2c从属非actnods i2c写入（不支持I2C地址或不接受写入数据字节）时，要采取的纠正措施取决于源设备中的I2C主机，并且超出了本标准的范围。

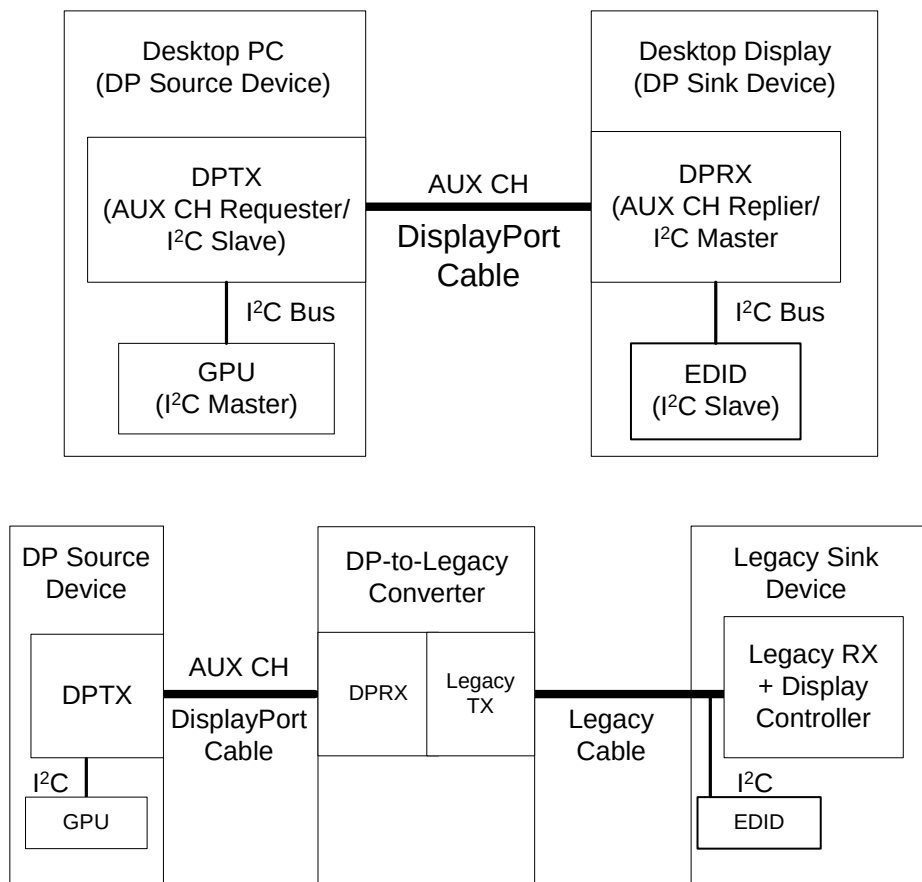


图2-113： Aux CH桥接两辆I2C总线的示例

i2c写示例1:

START► *1001000|0*► *ACK*◄ *Data0*► *ACK*◄ *Data1*► *ACK*◄ *Data2*►
ACK◄ *STOP*►

- I2C写映射方法1

I2C地址字节传输和每个数据字节写入映射到单独的AUX交易中。在表2-146中所示的示例中，接收器设备中的I2C总线的比特速率设置为100kHz (= 10us每位)。以此比率，水槽设备中的I2C从属可以在响应超时周期的300US中确认每个字节。

表2-146: I2C写入交易示例1

#	I ² C Transaction in the Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in the Sink Device
1	START► 1001000 0► (I ² C Write with I ² C address = 1001000; I ² C clock stretched by DPTX before ACK)			
2		SYNC► 0100 0000► 00000000► 0 1001000► STOP► (Address-only transaction, with MOT = 1 and I ² C address = 1001000)		
3			Wait up to 300us	START► 1001000 0► ACK◄
4			SYNC◄ 0000 0000◄ STOP◄ (I2C ACK/AUX ACK)	
5	ACK◄ Data0► (I ² C clock stretched by DPTX before ACK to Data0)			
6		SYNC► 0100 0000► 00000000► 0 1001000► 0000 0000► Data0► STOP► (MOT = 1, the same I ² C address, Length = 1 byte)		
7			Wait up to 300us	Data0► ACK◄
8			SYNC◄ 0000 0000◄ STOP◄ (I2C ACK/AUX ACK)	

表2-146: I2C写入交易示例1 (续)

#	I ² C Transaction in the Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in the Sink Device
9	ACK ◀ Data1 ▶ (I ² C clock stretched by DPTX before ACK to Data1)			
10		SYNC ▶ 0100 0000 ▶ 00000000 ▶ 0 1001000 ▶ 0000 0000 ▶ Data1 ▶ STOP ▶ (MOT = 1, the same I ² C address, Length = 1 byte)		
11			Wait up to 300us	Data1 ▶ ACK ◀
12			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	
13	ACK ◀ Data2 ▶ (I ² C clock stretched by DPTX before ACK to Data2)			
14		SYNC ▶ 0100 0000 ▶ 00000000 ▶ 0 1001000 ▶ 0000 0000 ▶ Data2 ▶ STOP ▶ (MOT = 1, the same I ² C address, Length = 1 byte)		
15			Wait up to 300us	Data2 ▶ ACK ◀
16			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	
17	ACK ◀ STOP ▶			
18		SYNC ▶ 0000 0000 ▶ 00000000 ▶ 0 1001000 ▶ STOP ▶ (Address-only transaction with MOT = 0 and the same I ² C address, indicating I ² C STOP to DPRX)		
19			Wait up to 300us	STOP ▶
20			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	

- I2C在接收器设备中使用较慢的I2C总线编写映射方法1:

在表2-147中所示的版本中，接收器设备中的I2C总线的比特速率设置为25kHz (= 40U S每位)。以此比率，接收器设备中的I2C从属也无法确认响应超时周期300U的单个字节。DP TX必须发出I2C状态更新请求，以便使用水槽设备中的如此慢的I2C总线。

表2-147: I2C写入交易方法1，在水槽设备中使用慢速I2C总线

#	I ² C Transaction in the Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in the Sink Device
1	START► 1001000 0► (I ² C Write with I ² C address = 1001000; I ² C clock stretched by DPTX before ACK)			
2		SYNC► 0100 0000► 00000000► 0 1001000► STOP► (Address-only transaction, with MOT = 1 and I ² C address = 1001000)		
3			Wait up to 300us	START► 1001000 0► (DPRX does not get ACK to I ² C address before Reply Timeout expires)
4			SYNC◄ 1000 0000◄ STOP◄ (I2C DEFER/AUX ACK)	
5		SYNC► 0110 0000► 00000000► 0 1001000► STOP► (Write_Status_Update_Request with MOT = 1 and the same I ² C address)		
6			Wait up to 300us	ACK◄ (DPRX gets ACK to I ² C address)
7			SYNC◄ 0000 0000◄ STOP◄ (I2C ACK/AUX ACK)	
8	ACK◄ Data0► (I ² C clock stretched by DPTX before ACK to Data0)			

表2-147: I²C写入交易方法1, 在水槽设备中使用慢速I²C总线 (续)

#	I ² C Transaction in the Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in the Sink Device
9		SYNC ► 0100 0000 ► 00000000 ► 0 1001000 ► 0000 0000 ► Data0 ► STOP ► (MOT = 1, the same I ² C address, Length = 1 byte)		
10			Wait up to 300us	Data0 ► (DPRX does not get ACK for Data 0 write before Reply Timeout expires)
11			SYNC ◄ 1000 0000 ◄ STOP ◄ (I2C DEFER/AUX ACK)	
12		SYNC ► 0110 0000 ► 00000000 ► 0 1001000 ► STOP ► (Write_Status_Update_Request with MOT = 1 and the same I ² C address)		
13			Wait up to 300us	ACK ◄ (DPRX gets ACK to Data0 write)
14			SYNC ◄ 0000 0000 ◄ STOP ◄ (I2C ACK/AUX ACK)	
15	ACK ◄ Data1 ► (I ² C clock stretched by DPTX before ACK to Data1)			
16		SYNC ► 0100 0000 ► 00000000 ► 0 1001000 ► 0000 0000 ► Data1 ► STOP ► (MOT = 1, the same I ² C address, Length = 1 byte)		
17			Wait up to 300us	Data1 ► (DPRX does not get ACK for Data1 write before Reply Timeout expires)
18			SYNC ◄ 1000 0000 ◄ STOP ◄ (I2C DEFER/AUX ACK)	

表2-147: I2C写入交易方法1, 在水槽设备中使用慢速I2C总线 (续)

#	I ² C Transaction in the Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in the Sink Device
19		SYNC ► 0110 0000 ► 00000000 ► 0 1001000 ► STOP ► (Write_Status_Update_Request with MOT = 1 and the same I ² C address)		
20			Wait up to 300us	ACK ◀ (DPRX gets ACK to Data1 write)
21			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	
22	ACK ◀ Data2 ► (I ² C clock stretched by DPTX before ACK to Data2)			
23		SYNC ► 0100 0000 ► 00000000 ► 0 1001000 ► 0000 0000 ► Data2 ► STOP ► (MOT = 1, the same I ² C address, Length = 1 byte)		
24			Wait up to 300us	Data2 ► (DPRX does not get ACK for Data2 write before Reply Timeout expires)
25			SYNC ◀ 1000 0000 ◀ STOP ◀ (I2C DEFER/AUX ACK)	
26		SYNC ► 0110 0000 ► 00000000 ► 0 1001000 ► STOP ► (Write_Status_Update_Request with MOT = 1 and the same I ² C address)		
27			Wait up to 300us	ACK ◀ (DPRX gets ACK to Data2 write)
28			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	
29	ACK ◀ STOP ►			

表2-147: I2C写入交易方法1, 在水槽设备中使用慢速I2C总线 (续)

#	I ² C Transaction in the Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in the Sink Device
30		SYNC ► 0000 0000 ► 00000000 ► 0 1001000 ► STOP ► (Address-only transaction with MOT = 0 and the same I ² C address, indicating I ² C STOP to DPRX)		
31			Wait up to 300us	STOP ►
32			SYNC ◄ 0000 0000 ◄ STOP ◄ (I2C ACK/AUX ACK)	

- I2C写映射方法2:

I2C地址字节传输映射到仅环地AUX事务中, 而多个数据字节的写入映射到单个AUX事务中 (只要字节的数量等于或小于16个字节, 这是AUX交易的最大爆发数据字节大小)。

作为方法2的变体, DP TX可以将整个交易 (I2C地址传输和数据字节写入) 结合到单个AUX交易中。

方法2比方法1要快。但是, 如果接收器中的i2c从非actnovers not-acknove the Write数据字节, 则源中的i2c主体将不知道哪个字节是非被划分的。

在表2-148中所示的示例中, 编写了四个数据 (数据0到数据3)。接收器设备中的I2C总线的比特率设置为100kHz (= 10US)。以此比率, 在响应超时期间的300US中, 水槽设备中的I2C从属最多可以确认三个字节。

表2-148: I2C写入交易方法2

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
1	START ► 1001000 0 ► (I ² C Write with I ² C address = 1001000; I ² C clock stretched by DPTX before ACK)			
2		SYNC ► 0100 0000 ► 00000000 ► 0 1001000 ► STOP ► (Address-only transaction, with MOT = 1 and I ² C address = 1001000)		
3			Wait up to 300us	START ► 1001000 0 ► ACK ◀
4			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	
5	ACK ◀ Data0 ► ACK ◀ Data1 ► ACK ◀ Data2 ► ACK ◀ Data3 ► ACK ◀ STOP ►			
6		SYNC ► 0000 0000 ► 00000000 ► 0 1001000 ► 0000 0011 ► Data0 ► Data1 ► Data2 ► Data3 ► STOP ► (MOT = 0, the same I ² C address, Length = 4 bytes, indicating I2C STOP to DPRX after 4 bytes of Write)		
7			Wait up to 300us	Data0 ► ACK ◀ Data1 ► ACK ◀ Data2 ► ACK ◀

表2-148: I2C写入交易方法2 (续)

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
8			SYNC ◀ 0000 0000 ◀ 0000 0011 ◀ STOP ◀ (I2C ACK/AUX ACK, three bytes written to I ² C slave)	Data3 ▶ ACK ◀ STOP ▶ (DPRX gets ACK to Data3 write while sending AUX Reply to DPTX)
9		SYNC ▶ 0010 0000 ▶ 00000000 ▶ 0 1001000 ▶ STOP ▶ (Write_Status_Update_Re quest with MOT = 0 and the same I ² C address)		
10			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK, indicating the Requester (DPTX) of the completion of the 4-byte Write to I ² C Slave in the Sink device)	

2.8.5.3 I2C阅读交易

在本节中，使用两个示例，其中第一个示例2字节和第二个示例10字节读取了i2c读取事务上的i2c读取事务上的映射。源设备中的I2C主机将通过DPTX（在源设备中）和DPRX（在接收器设备中）之间的AUX CH启动I2C读取事务到水槽设备中的I2C从属。

在本节中显示的示例中，接收器设备中的i2c从属确认I2C读取。当i2c从属非actnods I2C读取（不支持I2C地址）时，要采取的纠正措施取决于源设备中的I2C主机，并且超出了该标准的范围。

示例1: I2C阅读两个数据字节

START ▶ 1001000|1 ▶ ACK ◀ Data0 ◀ ACK ▶ Data1 ◀ NACK ▶ STOP ▶

- i2c阅读映射方法1

在方法1中，I2C地址字节传输以及每个数据字节读取都映射到单独的AUX交易中。在表2-149中所示的示例中，接收器设备中的I2C总线的比特速率设置为100kHz（= 10US每位）。以此比率，接收器设备中的I2C从属可以在响应超时周期的300US内发送每个字节。

表2-149: I2C阅读交易方法1

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
1	START► 1001000 1► (I ² C read with I ² C address = 1001000; I ² C Clock stretched by DPTX before ACK)			
2		SYNC► 0101 0000► 00000000► 0 1001000► STOP► (Address-only I ² C read with MOT = 1 and I ² C address = 100100)		
3			Wait up to 300us	START► 1001000 1► ACK◄
4			SYNC◄ 0000 0000◄ STOP◄ (I2C ACK/AUX ACK, I ² C address is acknowledged)	
5	ACK◄ (I ² C clock stretched by DPTX after ACK)			
6		SYNC► 0101 0000► 00000000► 0 1001000► 0000 0000► STOP► (I ² C read with MOT = 1, the same I ² C address, and Length = 1 byte)		
7			Wait up to 300us	Data0◄
8			SYNC◄ 0000 0000◄ Data0◄ STOP◄ (I2C ACK/AUX ACK, sends Data0)	
9	Data0◄ ACK► (I ² C clock stretched by DPTX after ACK)			

表2-149: I2C阅读交易方法1 (续)

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
10		SYNC► 0101 0000► 00000000► 0 1001000► 0000 0000► STOP► (I ² C read with MOT = 1, the same I ² C address, and Length = 1 byte)		
11				ACK► Data1◄
12			SYNC◄ 0000 0000◄ Data1◄ STOP◄ (I2C ACK/AUX ACK, sends Data1)	
13	Data1◄ NACK► STOP►			
14		SYNC► 0001 0000► 00000000► 0 1001000► STOP► (Address-only I ² C read with MOT = 0 and the same I ² C address, indicating the I2C STOP to DPRX)		
15			SYNC◄ 0000 0000◄ STOP◄ (I2C ACK/AUX ACK)	NACK► STOP►

I2C阅读示例2

START► 1001000|1► ACK◄ Data0◄ ACK► Data1◄ ACK► Data2◄ ACK►
 Data3◄ ACK► Data4◄ ACK► Data5◄ ACK► Data6◄ ACK► Data7◄ ACK►
 Data8◄ ACK► Data9◄ NACK► STOP►

- i2c阅读映射方法2

在方法2中, dptx预先提取通过DPRX从水槽设备中的i2c从站读取数据, 以加快读取操作。
 如上一个示例, 接收器设备中的I2C总线的比特速率设置为100kHz (= 10US每位)。
 以此比率, 水槽设备中的I2C从属可以在响应超时周期的300US中发出最多3个字节。

表2-150: I2C阅读交易示例2

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
1	START► 1001000 1► (I ² C read with I ² C address = 1001000; I ² C clock stretched by DPTX before ACK)			
2		SYNC► 0101 0000► 00000000► 0 1001000► 0000 1111► STOP► (I ² C read with MOT = 1, I ² C address = 100100, and Length = 16 bytes)		
3			Wait up to 300us	START► 1001000 1► ACK◄ (DPRX gets ACK to I ² C address and Data0)
4			SYNC◄ 0000 0000◄ STOP◄ (I2C ACK/AUX ACK, I ² C address is acknowledged, but no data available yet)	
5	ACK◄ (I ² C clock stretched by DPTX after ACK)	SYNC► 0101 0000► 00000000► 0 1001000► 0000 1111► STOP► (I ² C read with MOT = 1, the same I ² C address, and Length = 16 bytes)		Data0◄ ACK►
6			Wait up to 300us	Data1◄ ACK► Data2◄ ACK► Data3◄ ACK►
7			SYNC◄ 0000 0000◄ Data0◄ Data1◄ Data2◄ Data3◄ STOP◄ (I2C ACK/AUX ACK, sends Data0 to Data3)	
8	Data0◄ ACK►	SYNC► 0101 0000► 00000000► 0 1001000► 0000 1111► STOP► (I ² C Read with MOT = 1, the same I ² C address, and Length = 16 bytes)		Data4◄ ACK►

表2-150: I2C阅读交易示例2 (续)

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
9	Data1 ◀ ACK ▶ Data2 ◀ ACK ▶		Wait up to 300us	Data5 ◀ ACK ▶ Data6 ◀ ACK ▶ Data7 ◀ ACK ▶
10	Data3 ◀ ACK ▶ (I ² C clock stretched by DPTX after the last ACK, as needed)		SYNC ◀ 0000 0000 ◀ Data4 ◀ Data5 ◀ Data6 ◀ Data7 ◀ STOP ◀ (I2C ACK/AUX ACK, sends Data4 to Data7)	
11	Data4 ◀ ACK ▶	SYNC ▶ 0101 0000 ▶ 00000000 ▶ 0 1001000 ▶ 0000 1111 ▶ STOP ▶ (I ² C Read with MOT = 1, the same I ² C address, and Length = 16 bytes)		Data8 ◀ ACK ▶
12	Data5 ◀ ACK ▶ Data6 ◀ ACK ▶		Wait up to 300us	Data9 ◀ ACK ▶ Data10 ◀ ACK ▶ Data11 ◀ ACK ▶
13	Data7 ◀ ACK ▶ (I ² C clock stretched by DPTX after the last ACK, as needed)		SYNC ◀ 0000 0000 ◀ Data8 ◀ Data9 ◀ Data10 ◀ Data11 ◀ STOP ◀ (I2C ACK/AUX ACK, sends Data8 to Data11)	
14	Data8 ◀ ACK ▶	SYNC ▶ 0101 0000 ▶ 00000000 ▶ 0 1001000 ▶ 0000 1111 ▶ STOP ▶ (I ² C Read with MOT = 1, the same I ² C address, and Length = 16 bytes)		Data12 ◀ ACK ▶
15	Data9 ◀ NACK ▶ STOP ▶		Wait up to 300us	Data13 ◀ ACK ▶ Data14 ◀ ACK ▶ Data15 ◀ ACK ▶

表2-150: I2C阅读交易示例2 (续)

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
16			SYNC ◀ 0000 0000 ◀ Data12 ◀ Data13 ◀ Data14 ◀ Data15 ◀ STOP ◀ (I2C ACK/AUX ACK, sends Data12 to Data15)	
17		SYNC ▶ 0001 0000 ▶ 00000000 ▶ 0 1001000 ▶ STOP ▶ (Address-only I ² C read with MOT = 0 and the same I ² C address, indicating the I2C STOP to DPRX)		Data16 ◀ ACK ▶
18			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	Data17 ◀ NACK ▶ STOP ▶

应当指出的是，I2C奴隶对其I2C主人想要阅读的字节没有先验知识。I2C从属将不断发送读取数据字节，直到其主发行I2C NACK为止。i2c-over-aux语法支持此范式。DPTX可能是其主人（例如，GPU软件驱动程序）的I2C从属的DPTX将发布I2C-over-aux读取请求交易，而LEN已清算为0（即请求一个字节），将MOT设置为1。当其主nacks的主nacks时，DPTX将发送dptx将发送i2c-over-aux Read请求，并将MOT读取为0。

但是，在某些实现中，DPTX可能确切地了解了它要通过I2C-over-aux读取事务读取多少个字节。当具有集成DPTX的GPU通过DDC/CI传输机构发送MCCS命令时，可能是这种情况；在这种情况下，GPU软件驱动程序可能synthesize i2c-over-aux交易，而不是dptx translating i2c进入i2c-over-aux交易。

如果要读取的字节的数量已知，并且等于或少于16个，则DPTX可能会启动I2C超过Aux读取请求交易，其中LEN设置为Bytes负1的数量，而MOT已清除为0。DPRX将在其读取I2C Slove的I2C停止条件下，仅读取dre con fortes fore for len case for len can for len} v3} v3} v3}时。少于[Len + 1]，DPTX可能会重复相同的请求事务。即使在这种情况下，DPRX也将在读取等于LEN + 1的字节数后向其I2C从属发出I2C停止条件。

如果要读取的字节数大于16，则DPTX可能会启动I2C读取请求交易，其中LEN设置为15（= 16字节），然后将MOT位设置为1。从下一次交易开始，DPTX将DPTX降低LEN值将LEN值降低到DPRX的数量，而DPRX的数量可以通过dprx byt byt by-a单i2c-a ix a ix-a a单a2c-a-a a i x-a a ix-a a ix-a a ix-a a ix-a a ix-a a ix-a a ix-a a。DPRX从其I2C从属匹配中读取了DPTX从DPRX接收的。当剩余的字节数等于或少于16个字节时，DPTX可能会请求确切的剩余字节数，其中MOT位清除为0。

2.8.5.4 i2c写作，然后是I2C阅读

当I2C写入后，I2C通过重复的启动条件读取，如I2C规范所定义时，请求命令字段的MOT位必须留在= 1时，而事务从I2C切换到I2C读取。在检测到这种情况后，DPRX必须生成I2C重复的启动条件，并从I2C写入为I2C读取。

在本节中，使用一个示例描述了I2C写入事务的映射，然后将I2C读取事务读取到AUX Transactions上，其中写入一个数据字节以在256字节I2C数据块中设置一个地址偏移，并读取两个数据字节。

I2C写映射方法1和I2C读取方法1在此示例中使用。DP TX可以使用前面部分中所述的其他方法。

在下面的描述中，水槽设备中的I2C从设备确认I2C事务。当I2C从非actnownowne对其进行进行了纠正，要采取的纠正措施取决于源设备中的I2C主机，并且超出了该标准的范围。

I2C写入示例，然后是I2C阅读：

START► 1001000|0► ACK◄ Data0► ACK◄ REPEATED_START► 1001000|1► ACK◄ Data0'◄ ACK► Data1'◄ NACK► STOP►

表2-151： i2c写作，然后是I2C阅读

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
1	START► 1001000 0► (I ² C write with I ² C address = 1001000; I ² C clock stretched by DPTX before ACK)			
2		SYNC► 0100 0000► 00000000► 0 1001000► STOP► (Address-only transaction, with MOT = 1 and I ² C address = 1001000)		
3			Wait up to 300us	START► 1001000 0► ACK◄

表2-151: i2c写作, 然后是I2C读取 (续)

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
4			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	
5	ACK ◀ Data0 ▶ (I ² C clock stretched by DPTX before ACK to Data0)			
6		SYNC ▶ 0100 0000 ▶ 00000000 ▶ 0 1001000 ▶ 0000 0000 ▶ Data0 ▶ STOP ▶ (MOT = 1, the same I ² C address, Length = 1 byte)		
7			Wait up to 300us	Data0 ▶ ACK ◀
8			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK)	
9	ACK ◀ REPEATED_START ▶ 1001000 1 ▶ (Switches to I ² C read after issuing REPEATED_START condition with the same I ² C address. I ² C clock stretched by DPTX before ACK to I ² C read address)			
10		SYNC ▶ 0101 0000 ▶ 00000000 ▶ 0 1001000 ▶ STOP ▶ (Address-only I ² C read with MOT = 1 and the same I ² C address, indicated I ² C REPEATED_START condition to DPRX)		
11			Wait up to 300us	REPEATED_START ▶ 1001000 1 ▶ ACK ◀

表2-151: i2c写作, 然后是I2C读取 (续)

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
12			SYNC ◀ 0000 0000 ◀ STOP ◀ (I2C ACK/AUX ACK, I ² C address is acknowledged)	
13	ACK ◀ (I ² C clock stretched by DPTX after ACK)			
14		SYNC ▶ 0101 0000 ▶ 00000000 ▶ 0 1001000 ▶ 0000 0000 ▶ STOP ▶ (I ² C read with MOT = 1, the same I ² C address, and Length = 1 byte)		
15			Wait up to 300us	Data0' ◀
16			SYNC ◀ 0000 0000 ◀ Data0' ◀ STOP ◀ (I2C ACK/AUX ACK, sends Data0')	
17	Data0' ◀ ACK ▶ (I ² C clock stretched by DPTX after ACK)			
18		SYNC ▶ 0101 0000 ▶ 00000000 ▶ 0 1001000 ▶ 0000 0000 ▶ STOP ▶ (I ² C read with MOT = 1, the same I ² C address, and Length = 1 byte)		
19				ACK ▶ Data1' ◀
20			SYNC ◀ 0000 0000 ◀ Data1' ◀ STOP ◀ (I2C ACK/AUX ACK, sends Data1')	

表2-151: i2c写作, 然后是I2C读取 (续)

#	I ² C Transaction in Source Device	AUX Request Transaction by DPTX	AUX Reply Transaction by DPRX	I ² C Transaction in Sink Device
21	Data1'◀ NACK▶ STOP▶			
22		SYNC▶ 0001 0000▶ 00000000▶ 0 1001000▶ STOP▶ (Address-only I ² C read with MOT = 0 and the same I ² C address, indicating the I ² C STOP to DPRX)		
23			SYNC◀ 0000 0000◀ STOP◀ (I2C ACK/AUX ACK)	NACK▶ STOP▶

2.8.6 将I2C交易转换为本机AUX交易（信息性）

通过DPTX将I2C交易转换为本机AUX交易是特定于该标准的范围。

当在AUX CH上的I2C交易的映射时，DPTX将I2C转换为DPTX和AUX的AUX交易的翻译必须相互同意。因此，在此标准中定义了翻译机制。

DPTX将I2C事务转换为本机AUX交易，与DPRX透明。无论是从I2C事务转换，DPRX都会接收相同的本机AUX事务。出于这个原因，由DPTX转换为本机AUX交易，超出了该标准的范围。

应该注意的是，接收器设备是在不准备接收AUX交易的情况下回复带有AUX延期的I2C-over-aux请求事务（就像本机请求交易一样）。当源设备收到AUX延期回复时，如果要重试，它必须重复相同的请求事务。

2.8.7 I2C跨越交易澄清和实施规则

本节为I2C-Over-AUX实施提供了澄清。目的是消除因规范的解释而导致的互操作性问题。

单个I2C交易可能（或可能是）分为多个I2C跨AUX交易。这是因为每个I2C-AUX交易的最大数据字节数量限制为16个字节，而I2C规范也不会禁止无限数量的爆发写入/读取操作。

源设备可能会在给定的I2C事务的I2C-Over-AUX交易之间启动本机AUX交易。但是，源设备不得与多个I2C交易的I2C跨AUX交易交流：在开始进行I2C交易的I2C交易之前，它必须完成或终止一个I2C事务。应该注意的是，每个AUX事务，无论是本机事务还是I2C-over-aux事务，都由由源设备启动的请求交易和水槽设备的回复事务组成。在收到当前请求事务的回复事务之前，源设备不得启动其他请求事务。

I2C交易的语法非常取决于实现。语法规则不假定任何固定的I2C事务语法，以使其适用于任何I2C实现。DPRX在接收器设备中的I2C大师将“模仿”源设备中DPTX的I2C从接收到的I2C_SCL/I2C_SDA波形（除了第2.8.7.7.6.6.8节和2.8.7.7.7.2.6中所述的I2C时钟的时间安排（除了I2C时钟的时间安排外）。

源设备中充当I2C从属和AUX请求者的DPTX可能不知道其I2C Master打算在I2C交易中写或阅读多少数据。除非它知道I2C事务开始时的数据字节数量，否则建议使用DPTX生成i2c-over-aux事务，其LEN值等于0，等于0与一个数据字节相对应。这样，DPTX就不会比其I2C主的预期编写或读取字节更多。

就比特率而言，I2C规范列出了某些比特率（100k-/400k-/3.4m-----/sec或bps）和VESA E-DDC标准（基于I2C作为PHY层）指出了比特率100kbps的比特率。但是，实际上，I2C比特率非常依赖于实现和“渠道”质量。例如，在长距离的VGA电缆上，DDC Master必须将比特率降低到1K ~ 10Kbps是常见的。相比之下，AUX CH比特率严格要求在1Mbps $\pm$ 范围内，每个曼彻斯特格式AUX交易规范20%。I2C跨AUX规范理解了I2C和AUX CH之间比特率的固有差异（以及差异的变化）。DPCD场的扩展为Sink设备声明其I2C比特率功能以及源设备设置I2C比特速率在由接收器设备支撑的速率之间设置的I2C比特速率，进一步增加了I2C越过AUX规范的鲁棒性，以弥合位率差距。

2.8.7.1 来源设备的澄清

本节介绍了源设备的澄清。

2.8.7.1.1 下游I2C比特率检测/配置

DPRX的DPCD字段的扩展名称其I2C比特率功能以及DPTX在DPRX支持的率中设置I2C比特率的扩展。另外，DPTX和DPRX可能以供应商特定方式设置I2C比特率。

以较低的比率，与DPRX中的I2C主相接口的I2C从接口需要很长时间才能接受/发送字节。例如，在1kbps处，包括ACK/NACK在内的1个字节的传输大约需要10毫秒。因此，如果下游I2C比特率较低，则DPTX必须扩展连续I2C-AUX交易的间隔。

当MST源设备通过多个MST分支设备访问连接到DP设备的I2C从设备时，MST源设备必须使用I2C从Slave获得DP设备的I2C比特速率，并通过将远程ejection_i2c_i2c_i2c_i2c_i2c_i2c_write消息传输启动到最后MST分支机构设备来设置所需的比特速率。设置I2C比特速率后，MST源设备将远程_I2C消息事务启动到生成相应的I2C-over-aux Transactions的最后一个MST分支设备。

2.8.7.1.2 提示终止I2C交易

仅在0提示到0提示，即使在当前的I2C交易完成之前，只有地址为0的i2c-over-aux（写或读取），将接收器设备清除为0提示，以向其I2C停止条件发布。

如果没有正在进行的I2C跨AUX交易，则不得发出仅i2c的i2c越过aux。如果源设备想启动I2C事务到某个I2C设备地址，然后终止它，则必须使用以下I2C-AUX交易：

- 仅MOT设置为1的地址交易
- 仅清除为0的地址交易，仅MOT

2.8.7.1.3 Mot位

清除到0的MOT提示，在完成当前的I2C越过AUX交易后，接收器设备将I2C停止条件发布给其I2C从属。如上所述，源设备可能会在任何时间终止当前I2C交易的时间终止当前I2C交易的源设备，仅在其完成之前终止当前的I2C交易。

2.8.7.1.4提示重复I2C启动条件

源设备可能会将MOT设置为1的I2C-Over-AUX发布，然后向相同的I2C设备地址发布另一个I2C-Over-AUX，但另一个命令（即写入或读取或阅读，然后写入写）。源设备的此操作提示接收器设备在重复I2C启动后而不是I2C停止后启动第二次I2C事务。

源设备还可以将MOT设置为1发出I2C-Over-AUX，然后将另一个I2C-Over-aux与其他命令或其他命令一起向其他I2C设备地址发布。此操作还促使接收器设备在重复启动条件后而不是I2C停止条件后启动第二次I2C事务。

2.8.7.1.5 i2c-write-over-aux

源设备可以启动I2C-Write-aux请求事务的启动:

- 仅MOT设置为1或
- 地址+ len +数据字节I2C-Write-over-aux, MOT位清除为0或设置为1

本节的其余部分介绍了允许的I2C越过AUX交易, 这些交易是在接收器设备的各种答复之后进行的。源设备甚至可以在给定的I2C事务完成/终止之前, 也可以在I2C-Over-AUX交易之间发出本机AUX事务。

2.8.7.1.5.1收到i2c_ack | aux_ack的答复后, 然后没有“m”值对MOT的请求交易, bit bit已清除为0

I2C交易已完成。源设备可能会启动另一个AUX事务, 无论是本机AUX事务还是I2C-AUX交易到相同或不同的I2C设备地址。

2.8.7.1.5.2收到I2C_ACK | aux_ack的答复后, 然后对MOT BIT设置为1的请求交易没有“m”值

源设备必须发布以下两项I2C-Over-aux交易之一:

- 继续使用相同或不同的I2C设备地址进行下一个I2C-AUX交易。该交易可以是I2C-Write-over-aux或I2C读取的AUX。
 - 如果随后的I2C跨AUX请求交易要么是读取的或其他I2C设备地址, 则DPRX中的I2C主机必须向其I2C设备地址发布重复的启动条件。
- 发出一个仅在地址的i2c跨度AUX, 将MOT清除到0, 以提示I2C停止以终止当前的I2C-Write-over-aux交易。

2.8.7.1.5.3在i2c_defer | aux_ack上回复, 请求交易中的mot bit已清除为0或设置为1

源设备必须:

- 发出i2c_write_status_update命令或
- 发出一个仅在地址的i2c跨度AUX, 将MOT清除到0, 以提示I2C停止以终止当前的I2C-Write-over-aux交易。有关如何中止给定的AUX_DEFERS, 请参见第2.8.7.1.5.6节。这类类似于收到出乎意料的重复I2C_DEFER响应的意外。

2.8.7.1.5.4在i2c_ack | aux_ack的答复后, 对I2C-Write-over-aux的“M”值, 对带有MOT的请求交易的MOT bit已清除为0或设置为1的请求交易必须:

- 问题i2c_write_status_update命令或
- 发出一个仅在地址的i2c跨度AUX, 将MOT清除到0, 以提示I2C停止以终止当前的I2C-Write-over-aux交易。

2.8.7.1.5.5接收到I2C_NACK | aux_ack回复，然后是“m”值或没有“m”值，to MOT已清除为0或设置为1

通过以清除为0的MOT发出仅i2c-over-aux交易来停止当前I2C事务后，源设备可能会启动另一个AUX事务。作为可能的交易之一，它可能会尝试将I2C-Write-Aux交易转到相同的I2C设备地址，以确保接收器设备始终如一地I2C_NACK。

2.8.7.1.5.6接收AUX_DEFER回复对MOT的请求交易的答复，该请求交易已清除为0或设置为1

源设备必须：

- 重复相同的i2c-write-over-aux事务，保持相同的LEN值和数据字节，或
- 发出一个仅位置的i2c-over-aux等于0等于0，以提示i2c停止以终止当前的i2c-write-over-aux交易。有关更多信息，请参见第2.8.7.1.5.6.1节。在中止转移之前，源必须在假设存在错误条件之前几次重试事务，这证明了流产是合理的。

2.8.7.1.5.6.1源在AUX_DEFER响应之前的源试图在中止转移之前进行DP源设备，才能在放弃AUX交易之前接收AUX_DEFER时至少重试七次。

如果DP源设备有一种了解下游设备的I2C比特率能力选项并通过特定于供应商的方法或通过I2C速度控制功能位图和I2C速度控制/状态位映射登记板（DPCD）（DPCD）（DPCD解决000CH和00109H）的dpc rev.或dpc rev。请求数据字节基于I2C比特率。

还建议来源考虑来自I2C-Over-aux爆发写入交易的水槽设备的各种可能实现。例如，接收器设备可能会发出AUX_DEFER，直到写入中的所有数据都写入I2C从属。然后它可能会以一个I2C ACK响应。在各种I2C总线速度和爆发尺寸下，这会导致各种重试限制。例如，表2-152列出了各种I2C总线速度和各种突发尺寸。假设下沉的实现会发出AUX_DEFERS，直到所有数据都写入，我们提出了最坏的情况重试限制。此示例仅用于参考目的；它没有考虑到影响整体响应时间的许多因素。它没有考虑到I2C从属时钟拉伸，DP源重试间隔（假设源重复源在DP接收器Aux Aux defer响应后立即重复请求），或变化的DP接收器响应时间（假设300US AUX响应超时，然后是Sink设备的AUX DEFER响应）。

计算基于以下假设：

- AUX请求周期由I2C-Over-Aux请求+ 300US AUX响应超时+ AUX响应。AUX请求为66个Aux Channel位倍（Precharge + Sync + stop + cmd +添加+ len）++ 8 * burtsize aux channel lit times times。
- An example timeline for the transfers is as follows: -----I2C Cycle -
----- AUX Resp AUX AUX Resp AUX AUX
Resp AUX Req TimeOut Resp Req TimeOut Resp Req
TimeOut Resp |-----| |-----| K K
- $\text{reties \# of} * k + 300\text{us} = \text{i2c循环长度}$ ，其中k =响应超时+ aux响应+ aux请求
- $= (\text{i2c循环长度}-300\text{US}) / (\text{请求超时} + \text{aux响应} + \text{aux请求})$

表2-152：爆发尺寸/公共汽车速度

I ² C Bus Speed (kbps)	Burst Write Sizes						
	1	2	4	6	8	12	16
1	43	63	102	138	171	232	285
5	8	13	20	27	34	46	57
10	4	6	10	14	17	23	28
100	0	0	1	1	2	2	3
400	0	0	0	0	0	0	1
1000	0	0	0	0	0	0	0

如果源设备无法了解下游I2C比特率，则源设备可以在指定的最差比特率（按1Kbps的顺序）指定的时期进行重试，或者仅要求1个字节“衡量”有效的下游I2C比特率。当下游设备是DP-to-ge-gemacy Converter分支设备时，特别建议这样做，其中长的“遗产”电缆可能会迫使非常低的I2C比特速率。

源设备必须正确终止待处理的I2C越过AUX事务，然后再开始进行I2C交易的I2C-over-aux。推荐的方法中止转移的方法（在尝试重试的数量之后）是首先发行仅位地址的i2c-over-aux，其位于位等于0，以提示i2c停止以终止当前交易。如果对此的响应是AUX_DEFER，则源可以中止交易。

2.8.7.1.5.7收到AUX_NACK回复后，然后是“M”值或无“M”值

源设备可以启动另一个AUX事务。（除非Len + 1值与接收到的数据字节的数量之间存在不匹配，否则不得用AUX_NACK回复AUX_NACK对I2C-WRITE-OVER-AUX交易。）

2.8.7.1.5.8没有回复

源设备可以启动另一个AUX事务。（除非接收器设备已检测到非法命令，否则由于对set_power & set_dp_pwolt_voltage寄存器（DPCD地址00600H）的02h值的写入，通过源设备通过本机AUX交易。）

2.8.7.1.6 i2c读取

源设备可以使用以下方式启动I2C读取请求事务。

- 一个仅址的i2c读取的i2c读取为1，或
- 一个“地址+ len” I2C-Read-over-aux设置为0或1

本节的其余部分介绍了允许的I2C越过AUX交易，这些交易是在接收器设备的各种答复之后进行的。源设备甚至可以在给定的I2C事务完成/终止之前，也可以在I2C-Over-AUX交易之间发出本机AUX事务。

2.8.7.1.6.1 收到i2c_ack | aux_ack的答复后，随后是“总数”的数据字节数量等于len + 1，对MOT的请求交易均为0

I2C交易已完成。源设备都可以启动另一个AUX事务，无论是本机AUX事务，I2C-over-aux交易到相同或不同的I2C设备地址。

2.8.7.1.6.2 收到i2c_ack | aux_ack的答复后，随后是“总数”的数据字节数量等于Len + 1的数据字节，对MOT位设置为1的请求交易。

t 他的源设备必须发布以下两项I2C跨AUX交易之一：

- 继续使用相同或不同的I2C设备地址进行下一个I2C-AUX交易。该交易可以是I2C-Write-Over-Aux或I2C读取的AUX。
 - 如果随后的i2c跨AUX请求事务是写入任何地址或读取到其他I2C设备地址的写入，则DPRX中的I2C主Master必须向其I2C设备地址发布重复的启动条件。
- 发出仅将地址的i2c越来越多的I2C向0清除到0，以提示I2C停止以终止当前的I2C读取AUX交易。

2.8.7.1.6.3在i2c_defer | aux_ack上回复，对MOT的请求交易已清除为0或设置为1

源设备必须：

- 重复相同的i2c读取AUX交易，保持相同的LEN值，或
- 发出仅将地址的i2c越来越多的I2C向0清除到0，以提示I2C停止以终止当前的I2C读取AUX交易。有关如何流产给定的AUX_DEFERS，请参见第2.8.7.1.6.6节。这类似于收到出乎意料的重复I2C_DEFER响应的意外。

2.8.7.1.6.4 在i2c_ack | aux_ack的回复后，随后是数据字节总数少于len + 1，对带有MOT的请求交易已清除为0或设置为1源设备必须：

- 重复相同的I2C读取AUX交易，其更新的LEN值等于原始LEN值减去到目前为止收到的数据字节总数
- 重复具有与原始值相同的LEN值的相同的I2C Read-over-aux交易，或者
- 发出仅将地址的i2c越来越多的I2C向0清除到0，以提示I2C停止以终止当前的I2C读取AUX交易。

应该注意的是，当源设备重复具有与原始值相同的LEN值相同的I2C读取交易的相同的I2C读取交易时，接收器设备可能会读取比源设备所需的更多数据字节。

2.8.7.1.6.5接收到I2C_NACK | AUX_ACK对请求事务的回复MOT已清除为0或设置为1

对于I2C读取操作，I2C从属只向设备地址主张ACK或NACK。对于从从服务器到主的读取数据字节传输，是I2C主张主张ACK或NACK。由于这个事实，i2c_nack | aux_ack对I2C-Read-over-aux请求事务的答复意味着接收器设备中的I2C从属从已向指定的I2C设备地址宣称NACK。

源设备具有以下选项：

- 尝试使用相同的I2C设备地址的I2C-Write-over-aux，以检查接收器设备是否始终如一地i2c_nacks到该I2C设备地址
- 仅使用mot = 0的仅地址i2c-over-aux，以提示接收器设备终止当前I2C交易
- 启动I2C-Ever-AUX到其他I2C设备地址，促使接收器设备发出重复的I2C启动

2.8.7.1.6.6接收AUX_DEFER回复MOT的请求交易，将其清除为0或设置为1

源设备必须：

- 重复相同的I2C读取AUX交易，保持相同的LEN值，或
- 发出仅通信的I2C-Over-aux，将MOT位清除为0，以提示I2C停止以终止当前的I2C Read-over-aux交易。有关更多信息，请参见第2.8.7.1.6.6.1节。在中止转移之前，源必须在假定存在错误条件之前几次重试事务，这证明了流产是合理的。

2.8.7.1.6.6.6.1源在AUX_DEFER响应之前重试尝试，然后流产转移之前

在放弃AUX交易之前，需要DP源设备在接收AUX_DEFER之前至少重试七次。

如果DP源设备有一种了解下游设备的I2C比特率能力选项并通过特定于供应商的方法或通过I2C速度控制功能位图和I2C速度控制/状态位映射登记板（DPCD）（DPCD）（DPCD解决000CH和00109H）的dpc rev.或dpc rev。请求数据字节基于I2C比特率。

还建议来源考虑来自I2C-over-aux爆发读取事务的水槽设备的各种可能实现。例如，接收器设备可能会发出AUX_DEFER，直到准备好读取中的所有数据为止。然后，它可以用所有数据词响应。

在各种I2C总线速度和爆发尺寸下，这会导致各种重试限制。例如，表2-153列出了各种I2C总线速度和各种突发读尺寸。假设接收器设备实现了AUX_DEFER，直到所有读取数据都可以使用，我们提出了最坏的情况重试限制。此示例仅用于参考目的；它没有考虑到

影响总体响应时间的许多因素。它没有考虑到I2C从属时钟拉伸，DP源重试间隔（它假设在DP sink aux_defer响应后立即重复源重复请求）或变化的DP接收器响应时间（假设立即使用300US AUX响应超时，然后是Sink的AUX_DEFER响应）。

计算基于以下假设：

- Aux请求周期由I2C-Over-Aux请求（66 Aux Channel Bit Times = Precharge + Sync + stop + stop + cmd +添加+ len）
- An example timeline for the transfers is as follows: -----I2C Cycle ----- AUX Resp AUX AUX Resp AUX
AUX Resp AUX Req TimeOut Resp Req TimeOut Resp
Req TimeOut Resp |-----| |-----| K
K
- retries # of * k + 300us = i2c循环长度，其中k =响应超时+ aux响应+ aux请求
- =（i2c循环长度-300US） / （请求超时+ aux响应+ aux请求）

表2-153：爆发读尺寸/公共汽车速度

I ² C Bus Speed (kbps)	Burst Read Sizes						
	1	2	4	6	8	12	16
1	44	66	110	154	198	287	375
5	9	13	22	31	39	57	75
10	4	6	11	15	20	28	37
100	0	0	1	1	2	3	4
400	0	0	0	0	0	0	1
1000	0	0	0	0	0	0	0

如果源设备无法了解下游I2C比特率，则源设备可以在针对最差的比特率（按1Kbps的顺序）指定的时期进行重试，或者仅要求1个字节“衡量”有效的下游I2C比特率。当下游设备是DP-to-gemacy Converter分支设备时，特别建议这样做，其中长的“遗产”电缆可能会迫使非常低的I2C比特速率。

源设备必须正确终止待处理的I2C越过AUX事务，然后再开始进行I2C交易的I2C-over-aux。推荐的方法中止转移的方法（在尝试重试的数量之后）是首先发行仅位地址的i2c-over-aux，其位于位等于0，以提示i2c停止以终止当前交易。如果对此的响应是AUX_DEFER，则源可以中止交易。

2.8.7.1.6.7没有回复

源设备可以启动另一个AUX事务。（除非接收器设备已检测到非法命令，否则由于对set_power&set_dp_pwolt_voltage寄存器（DPCD地址00600H）的02h值的写入，通过源设备通过本机AUX交易。）

2.8.7.1.6.8 时钟拉伸

对于仅将MOT设置为1的仅地址的I2C越过AUX，并且i2C-Write-over-aux交易的数据字节传输部分，DPTX中的i2c从单位不知道DPRX是否会使用I2C_ACK或I2C_NACK回复。因此，它必须在第八脉冲（即最后一个数据位）之后拉伸I2C时钟，而不是在第九脉冲（即I2C ACK/NACK）之后拉伸。

对于I2C读取的AUX交易的数据字节传输部分，DPTX中的I2C从需要在第九脉冲（即I2C ACK/NACK）之后伸展I2C时钟，以监视其I2C主体是否会断言I2C ACK或NACK对数据字节的byte。

2.8.7.2 水槽设备的澄清

本节介绍了水槽设备的澄清。

2.8.7.2.1 I2C比特率能力声明和设置

带有DPRX的设备（例如接收器设备）在I2C速度控制功能位映射寄存器（DPCD地址0000CH）处声明其I2C IT速率功能。具有DPTX（例如源设备）的设备通过写入I2C速度控制/状态位映射寄存器（DPCD地址00109H）来设置I2C比特速率。或者，DPTX和DPRX可能以供应商特定方式设置I2C比特率。

2.8.7.2.2 I2C交易的终止/完成

在接收仅位置的I2C-over-aux请求事务并从源设备中清除为0时，接收器设备也必须在当前的I2C交易完成之前，将I2C停止条件迅速向其I2C从属发出。

Upon receiving an address + LEN + Data bytes (for write, no Data bytes for read) I2C-over-AUX request transaction with MOT cleared to 0 from a Source device, the Sink device must issue I2C STOP condition upon completion of the current I2C-over-AUX transaction (i.e., when all the address and/or data bytes have been ACKed by its I2C slave).

当源设备启动新的I2C交易而不正确完成/终止当前I2C事务（源设备不得执行）时，建议使用ins设备使用I2C_NACK | AUX_ACK并发出I2C停止条件，以回复其I2C奴隶。

当源设备既不完成/终止也不启动新的I2C事务时，必须在特定时间段后（例如1S）和向其I2C从属设备发出I2C停止条件后的水槽设备，以免将I2C总线锁定在水槽设备中。当源设备关闭，断开连接或以某种方式锁定在I2C交易的中间时，这种情况是可能的。

当在I2C事务中间检测到断开事件时，建议使用支持源和/或动力源检测的水槽设备将I2C停止条件发布给其I2C从属。

2.8.7.2.3重复I2C启动条件

源设备可能会将MOT设置为1的I2C-Over-AUX发布，然后向相同的I2C设备地址发布另一个I2C-Over-AUX，但另一个命令（即写入或读取或阅读，然后写入写）。

源设备还可以将MOT设置为1发出I2C-Over-AUX，然后将另一个I2C-Over-AUX与其他I2C设备地址发出同一命令（即写入或读取或读取）。

接收器设备必须在重复I2C启动后而不是I2C停止后启动第二次I2C事务。

2.8.7.2.4 i2c-write-over-aux

本节介绍从源设备接收I2C-Write-over-aux请求事务后，通过接收器设备的允许回复。水槽设备必须以本节所述的方式之一回复。

2.8.7.2.4.1 i2c_ack | aux_ack, 后跟没有“m”值

所有数据字节都已由I2C从属写入并付诸实践。

- 当MOT位为0时，I2C交易完成。接收器设备必须向其I2C从属发出I2C停止条件。
- 当MOT位为1时，I2C交易仍在进行中。水槽设备不得发布I2C停止条件。
- 如果随后的I2C越过AUX交易是I2C读取的AUX或其他I2C设备地址，则接收器设备必须向其I2C从站发出I2C重复启动条件。

2.8.7.2.4.2 i2c_ack | aux_ack, 然后是“m”值

在源设备发送的数据字节中, 等于“m”的字节数(小于Len + 1值)已写入I2C从属和ACK。

接收器设备必须继续写入其I2C从属, 直到等于LEN + 1的字节数已被从服务器所吸引。

- 在接收到随后的I2C_WRITE_STATUS_UPDATE请求交易后, 水槽设备必须使用更新的“M”值回复I2C_ACK | AUX_ACK。
- 在接收到随后的地址为仅I2C的AUX并将MOT钻头清除为0事务时, 接收器设备甚至在当前I2C交易完成之前就必须立即将I2C停止条件发布到其从属中。
- 收到随后的I2C跨AUX事务后, 它既不是I2C_WRITE_STATUS_UPDATE, 也不是仅通话i2c-over-aux, MOT略有清除为0, 建议使用i2c_nack | aux_ack aux_ack对源设备进行i2c | aux_ack with I2c sop to in Corter to in Chort Inter Inter to in Chore of Chore to to in Carve of Carve of Clote的i2 c_nack |。 (源设备必须发出I2C_WRITE_STATUS_UPDATE或仅通地址的i2c-over-aux, 其MOT已清除为0。)

2.8.7.2.4.3 I2C_DEFER | aux_ack

没有I2C从属将所有数据字节都纳入/nack。

- 水槽设备必须继续写入其I2C从属曾被奴隶所吸引。
 - 在接收到随后的I2C_WRITE_STATUS_UPDATE请求交易后, 水槽设备必须使用更新的“M”值回复I2C_ACK | AUX_ACK。但是, 如果接收器设备尚未从I2C从站接收ACK, 则再次发出I2C_DEFER | AUX_ACK。
- 在接收到随后的地址为仅MOT的仅i2c-over-aux时, 将其清除为0事务时, 水槽设备必须使用I2C_ACK | AUX_ACK回复, 以源设备源, 并在完成当前I2C交易之前迅速将I2C停止条件发布到其从属。
- 在收到随后的I2C跨AUX事务后, 它既不是I2C_WRITE_STATUS_UPDATE, 也不是地址仅i2c-over-aux, MOT略有清除为0, 建议使用i2c_nack | aux_ack aux_ack aux_ack to source设备, 并在源i2c停止条件下, 以i2c_nack | aux_ack with to in I s in in Int in in in in i2 c. sop wort in i2c inst in i2 c. (源设备必须发出I2C_WRITE_STATUS_UPDATE或仅通地址的i2c-over-aux, 其MOT已清除为0。)

2.8.7.2.4.4 I2C_Nack | aux_ack, 然后是“m”值或

没有“M”值

I2C设备地址或数据字节都被I2C从属纳入。

2.8.7.2.4.5 AUX_DEFER

接收器设备正在处理请求，但尚未准备好使用I2C_ACK或I2C_NACK回复。直到被I2C从属钉住，水槽设备必须继续处理请求。

- 在接收到随之而来的I2C-Write-aux交易与上一个相同的交易（相同的I2C设备地址，LEN值和数据字节）时，接收器设备将在继续处理请求时如本节所述回复源设备。
- 在接收到随后的地址仅i2c-write-aux（MOT）清除为0事务时，接收器设备必须使用i2c_ack | aux_ack回复源设备，并在当前I2C交易完成之前，即使在完成之前，就可以立即将I2C停止条件发布到其从属。
- 在收到随后的I2C-over-aux交易后，它既不与上一个相同，也不相同，而仅与地址的I2C-Write-Over-aux交易既不相同，建议接收器设备与I2C_NACK | aux_ack {v5；（源设备必须发布与前一个相同的I2C-Write-aux交易，或者仅将MOT清除为0的I2C-Write-aux交易，或者仅发出的仅一个地址-I2C-over-aux。

2.8.7.2.4.6 aux_nack，后跟“m”值或没有“m”值

水槽设备不得用AUX_NACK回复I2C-Write-over-aux事务，除非LEN + 1值与接收到的数据字节的数量之间存在不匹配。

2.8.7.2.4.7没有回复

水槽设备必须回复，除非它要么已经检测到非法命令，要么是由于源设备通过AUX AUX T RASACTACTY将02H写入SET_POPTOR&SET_POPTOR&SET_DP_PWOR_VOLT_VOLT AGE寄存器（DPCD地址00600H），因此必须在电源模式模式下进行回复。

2.8.7.2.5 i2c读取

本节描述了从源设备接收I2C读取的AUX请求事务后，通过接收器设备的允许回复。水槽设备必须以本节所示的方式之一回复。

2.8.7.2.5.1 I2C_ACK | aux_ack，然后是数据字节总数等于len + 1

所有数据字节已从I2C从属中读取。

- 当MOT位为0时，I2C交易完成。接收器设备必须向最终数据字节发出NACK，并向其I2C从属发出I2C停止条件。
- 当MOT位为1时，I2C交易仍在进行中。水槽设备不得发布I2C停止条件。
- 如果随之而来的I2C越过AUX交易是I2C-Write-Over-Aux或I2C-Read-aux到其他I2C设备地址，则接收器设备必须向其I2C从设备发出重复的I2C启动条件。

2.8.7.2.5.2 i2c_ack | aux_ack, 然后总数少于len + 1

接收器设备必须从其I2C从属中读取, 直到已读取等于LEN + 1的字节数为止。

- 在接收到随后的I2C-Read-Aux交易到相同的I2C设备, 其LEN值已更新为等于原始值, 迄今为止, 由接收器设备回复的字节总数否则将使用i2c_ack | aux_ack with Slave读取的数据, 但未回复SAVES设备的i2c_ack | aux_ack。
- 在接收到随后的I2C Read-aux交易到具有与原始值相同的LEN值的同一I2C设备时, 水槽设备必须用等于LEN值+ 1 (或更少的 (如果不能) 的数据字节数量的数量, 无论其已响应多少个字符,
- 通过MOT = 0接收随后的仅地址I2C-OVER-AUX交易, 水槽设备必须通过发出I2C停止来终止I2C事务。
- 在接收到随之而来的I2C-AUX交易之后, 建议使用i2C_NACK | AUX_ACK向源设备回复接收器设备, 并在当前I2C交易完成之前迅速向源ster条件发出i2c停止条件。

2.8.7.2.5.3 I2C_DEFER | aux_ack

水槽设备必须继续从其I2C从属中读取, 直到已读取等于Len + 1的字节数为止。

- 在接收到随之而来的I2C读取交易与上一个相同的I2C读取交易 (相同的I2C设备地址和LEN值) 时, 水槽设备必须使用I2C_ACK | aux_ack回复, 并在上一个回复交易中没有从服务器中读取的数据字节, 但在源设备中没有回复。
- 在接收到随后的地址仅i2c-over-aux并将MOT钻头清除为0事务时, 接收器设备必须使用i2C_ACK | aux_ack回复源设备, 并在当前I2C交易完成之前, 即使在完成之前, 就可以立即将I2C停止条件发布到其从属。
- 在收到随后的I2C交易交易之后, 它既不与前一个相同, 也不相同, 而仅在0中清除了MOT的仅与地址的I2C-Over-AUX, 建议使用i2C_NACK | aux_ack与源设备和问题i2c停止条件, 并在当前的I2C迅速进行i2c停止条件, 甚至在当前的I2C上进行了i2c停止条件。

2.8.7.2.5.4 I2C_NACK | aux_ack

I2C设备地址被I2C从属纳入。

应该注意的是, 接收器设备不是在I2C_NACK之后终止I2C事务到I2C设备地址。因此, 源设备必须通过发出仅清除为0的MOT的仅使用地址的I2C-over-aux交易来提示终止。

2.8.7.2.5.5 AUX_DEFER

接收器设备正在处理请求，但尚未准备好使用I2C_ACK或I2C_NACK回复。直到被I2C从属（到I2C设备地址）纳入。水槽设备必须继续处理请求。

- 在接收到随后的I2C读取AUX交易与上一个相同的交易（相同的I2C设备地址和LEN值）时，接收器设备将在继续处理请求时如本节所述回复源设备。
- 在接收到随后的地址仅i2c-over-aux事务（以MOT）为0时，水槽设备必须使用i2c_ack | aux_ack回复到源设备，并在当前I2C交易完成之前迅速将I2C停止条件发布到其从属中。
- 在收到随后的I2C-over-aux交易后，它既不与上一个相同，也不相同，而仅与地址的I2C-Read-over-over-aux交易既不相同，建议接收器设备与I2C_NACK | aux_ack一起回复源设备的I2C_NACK | aux_ack，并在源设备上及时迅速向Slave发出I2C停止条件，即

2.8.7.2.5.6 aux_nack

水槽设备不得用AUX_NACK回复I2C Read-over-aux事务。

2.8.7.2.5.7 无回复

除非它已经检测到非法命令，否则必须回复水槽设备，或者是由于通过源设备通过本机AUX Trassactactactaine set_power&set_power&set_power&set_dp_p_pwol_voltage寄存器（DPCD地址00600H）的02h值而处于功率保存模式。

2.8.7.2.6 时钟拉伸

当读取以MOT位设置为1的I2C读取的AUX的最后一个数据字节时，DPRX中的I2C主必须在第八脉冲（即最后一个数据位）之后拉伸I2C时钟，而不是在第九脉冲之后（I2C ACK/NACK）。当随后的I2C跨AUX事务是仅MOT清除为0的地址时，DPRX中的I2C主体必须将I2C NACK主张到其I2C从属。否则，它必须主张I2C ACK。

对于I2C设备地址和数据写入，DPRX中的I2C主必须在第九个脉冲之后拉伸I2C时钟（即ACK/NACK位）。

2.8.7.3访问两个以上块的EDID

DP接收器设备可以使用两个以上块的EDID来进行流式水槽功能曝光。DP源设备和DP接收器设备必须使用E-DDC段协议来检索额外的块。每当DP源设备发送和MOT = 0的DP源设备发送和I2C-Over-AUX交易时，DP接收器设备必须自动将段偏移量重置为0（表示I2C停止条件）。

2.9

辅助服务

本节介绍了两种类型的AUX服务 - AUX Link Services和AUX设备服务。 这些是“政策制定者”使用的链接层服务，用于源和接收器设备中的链接和设备管理。

每当热插头检测信号处于活动状态时（连接器插入并且接收器设备至少具有“trick滴”交流电源），就必须可用AUX服务。

有两个决策者：

- 流政策制定者
 - 管理流
 - 流传输初始化和维护（以下各节涵盖了有关此主题的更多信息）
 - 使用辅助设备服务
 - 从链接制定者获取链接信息
- 链接政策制定者
 - 管理链接
 - 链接发现，初始化和维护
 - 使用辅助链接服务

来源和水槽设备都必须具有这两个决策者。决策者可以作为操作系统，软件驱动程序，固件或硬件状态机器实施。选择是特定于实施的。

在此标准中，仅定义了链接层和流政策制定者之间接口的语义。语法（即API）是特定于实现的，并且在此标准中不涵盖。

2.9.1

流传输启动序列

流如此 在运输启动之前，URCE政策制定者必须接受 以下操作：

- 从水槽设备读取EDID
- 设置主流属性数据的流属性和CEA-861-F InfoFrame生成
- （推荐）可选，从链接政策制定者那里获取以下信息
 - 链接配置字段（DPCD地址00100H至001FFH;请参阅表2-156） - 总链接带宽
 - 为了避免链接带宽的过度检查
 - 接收器能力字段（DPCD地址00000H至000FFH; 请参见表2-155） - RX中可用的端口的数量和类型
 - 确定可能运输的流的数量和类型
 - 链接/接收器设备状态字段（DPCD地址00200H至002FFH;请参阅表2-157） - 同步吗？过多的错误符号？
 - 确保链接已准备好运输

当流准备运输时，流源政策制定者必须与流属性数据一起启动同载流的传输。

接收稳定的流时，流汇必须解码流属性数据并开始重建传入的等级流。

流源政策制定者可以合并流源管理的接收器能力信息：例如，DP-感知流源政策制定者可能会尝试限制流带宽，以防止链接带宽超额订阅。如果流将要超出链接带宽，则流源政策制定者可以通知流源。接收到此通知后，流源可能采取纠正措施，例如减少图像分辨率和/或颜色深度（每个像素的位）。

尽管是理想的，但两个决策者之间的这种相互作用是可选的。换句话说，必须实现DisplayPort链接以与不知道DisplayPort的旧式源策略制定者一起运行。

图2-114显示了在热塞检测事件上源和接收器设备的典型动作流的图。

Notes: *The diagrams are examples only. It is not required, for instance, that an EDID read precede a DPCD read.*

Figure 2-114 shows a typical action flow for a consumer detachable, box-to-box DP connection. When DisplayPort is used for an embedded connection, such as from a GPU to a notebook panel TCON within a notebook PC, a DPCD read may not be needed. In this embedded configuration, the Source device (GPU) may, instead, use the DPRX's pre-set receiver capability information.

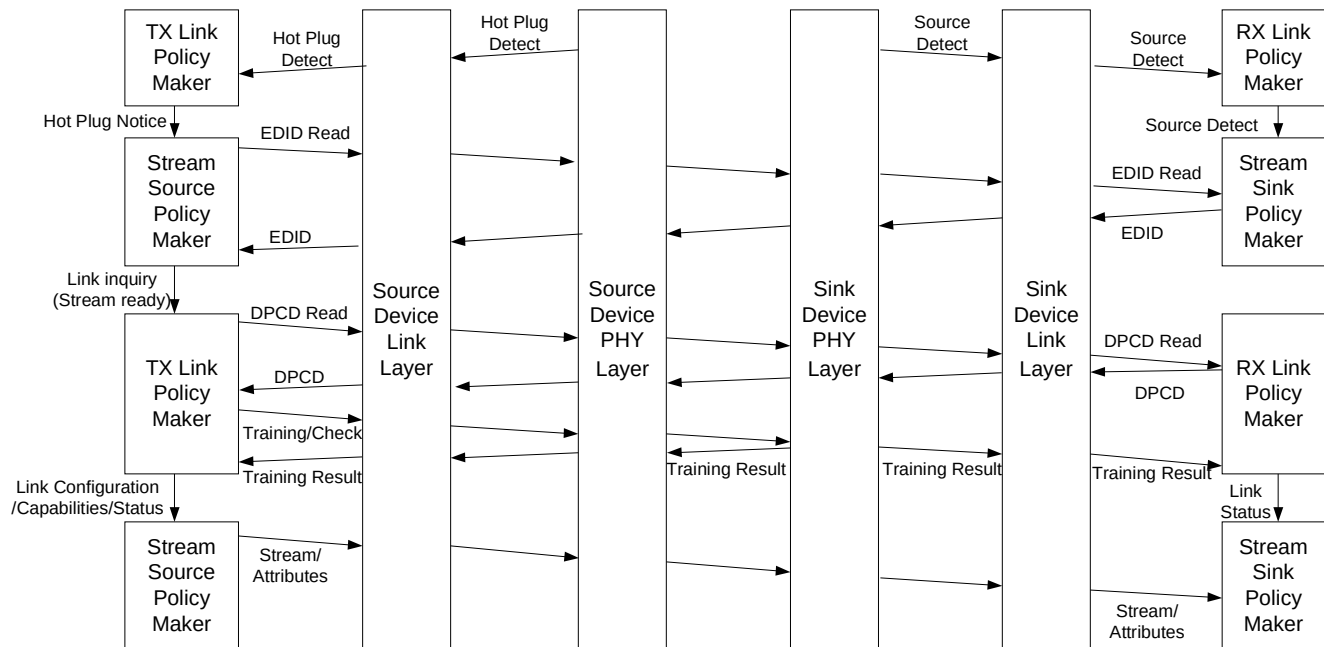


图2-114: HPD事件时源的动作流序列 (信息性)

2.9.2 流运输终止序列

导致流终止的事件的示例是：

- 链接错误事件通知链接政策制定者
- 流时更改
- 流格式的变化，不稳定的流正时或流损失

流源必须终止主流和次级数据的传输。在重新建立链路后，它可能会在启动序列后重新启动传输。推荐的流式接收器的纠正措施是显示空白屏幕，可能带有警报消息，或者关闭显示屏，直到恢复稳定的流式接收。

2.9.3 DPCD字段地址映射

表2-154列出了显示字节添加的DPCD的DisplayPort地址映射及其列出的表（表2-155至表2-170）。

表2-154: DPCD字段地址映射

DPCD Address	DPCD Field	See
00000h through 000FFh	Receiver Capability	Table 2-155
00100h through 001FFh	Link Configuration	Table 2-156
00200h through 002FFh	Link/Sink Device Status	Table 2-157
00300h through 003FFh	Source Device-specific	Table 2-158
00400h through 004FFh	Sink Device-specific	Table 2-159
00500h through 005FFh	Branch Device-specific	Table 2-160
00600h through 006FFh	Link/Sink Device Power Control	Table 2-161
00700h through 007FFh	eDP-specific	Table 2-162
00800h through 00FFFh	RESERVED (usage to be defined)	–
01000h through 017FFh	Sideband MSG Buffers	Table 2-163
01800h through 01FFFh	RESERVED (usage to be defined)	–
02000h through 021FFh	DPRX Event Status Indicator	Table 2-164
02200h through 022FFh	Extended Receiver Capability	Table 2-165
02300h through 02FFFh	RESERVED (usage to be defined)	–
03000h through 030FFh	Protocol Converter Extension	Table 2-166
03100h through 5FFFFh	RESERVED (usage to be defined)	–
60000h through 61CFFh	Multi-touch (for eDP)	Table 2-167
61D00h through 67FFFh	RESERVED (usage to be defined)	–
68000h through 69FFFh	HDCP 1.3 and HDCP2.2	Table 2-168
6A000h through EFFFFh	RESERVED (usage to be defined)	–
F0000h through F02FFh	LT-tunable PHY Repeater	Table 2-169
F0300h through FFEFFh	RESERVED (usage to be defined)	–
FFF00h through FFFFFh	MyDP-specific	Table 2-170

2.9.3.1

DPCD数据结构修订声明

在此标准中，添加了扩展的接收器能力字段。DPCD处的扩展接收器功能字段地址为02200H至022FFH，有效期为DPCD Rev. 1.4（及更高）。DPCD地址02200H至0220FH（扩展基本接收器功能寄存器）匹配DPCD地址00000H至0000FH（原始基本接收器功能寄存器），除了以下三个寄存器（值可能有所不同）：

- DPCD_REV寄存器（DPCD地址00000H）
- max_link_rate寄存器（DPCD地址00001H）
- down_stream_port_present寄存器（DPCD地址00005H）

DPCD处的延长接收器能力登记处地址为02200H至0220FH必须包含DPRX的真实能力，而原始的基本接收器在DPCD处于00000H到0000FH的登记册，可能表明DPCD R1.1，a Max_link_rate of 2.7Gbps/ lane and deDeper deve devp devp dev defp devp devp evestion and dpcd r1.1 当他们发现这三个登记册中的较高功能时，故障。支持扩展接收器能力字段的DPRX必须设置

EXTENDED_RECEIVER_CAPABILITY_FIELD_PRESENT bit in the TRAINING_AUX_RD_INTERVAL register (DPCD Address 0000Eh, bit 7) to 1. The Extended Receiver Capability field has a data structure that helps a device that has a DPTX better comprehend the receiver's capability (e.g., the DPRX_FEATURE_ENUMERATION_LIST register (DPCD Address 02210h)). DPCD地址的DPCD修订号00000H不得高于DPCD地址02200H。

下游设备必须在以下条件下重置由上游设备设置的所有DPCD控制和配置寄存器：

- 电源重置后，在主张HPD信号之前
- 检测到上游设备的断开连接后

2.9.3.2 DPCD Field Address Mapping Tables

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
Note: This table includes a Byte # column, for those registers that include multiple bytes within the Receiver Capability field. For those that do not include multiple bytes, the column is left blank.				
00000h	DPCD_REV DPCD data structure revision number.			Read Only
		3:0	Minor Revision Number	
		7:4	Major Revision Number 10h = DPCD r1.0. 11h = DPCD r1.1. 12h = DPCD r1.2. 13h = DPCD r1.3 (for <i>eDP v1.4</i> DPRX only). 14h = DPCD r1.4. All other values are RESERVED. A DP device with a DPRX with DPCD r1.2 (or higher) must support the GUID register (DPCD Addresses 00030h through 0003Fh). Furthermore, a DP Sink device with DPCD r1.2 (or higher) with stereo display capability support (as declared in EDID and DisplayID) must support the handling of 3D Stereo in-band signaling using Video_Stream_Configuration (VSC) SDP. Note: The DPCD revision number does not necessarily match the DisplayPort version number.	

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00001h	MAX_LINK_RATE Maximum link rate of Main-Link lanes = Value x 0.27Gbps per lane.			Read Only
		7:0	MAX_LINK_RATE Only four values are supported. All other values are RESERVED except for <i>eDP v1.4</i> (DPCD r1.3 or lower) and MyDP DPRX. 06h = 1.62Gbps/lane. 0Ah = 2.7Gbps/lane. 14h = 5.4Gbps/lane. 1Eh = 8.1Gbps/lane. <i>eDP v1.4</i> DPRX (DPCD r1.3 or lower) can program the MAX_LINK_RATE register value to 00h to indicate that the DPRX supports the Main-Link rates by way of the Link Rate Table method. See <i>eDP v1.4b</i> . A MyDP DPRX of an active MyDP converter (either MyDP-to-legacy converter or MyDP-to-DP lane-count converter) can support a value of 19h (6.75Gbps/lane). As for the MAX_LINK_RATE value requirement of an SST-only Branch device in the presence of a downstream device, see Section 2.1.4.1.	
00002h	MAX_LANE_COUNT Maximum number of lanes = Value.			Read Only
		4:0	MAX_LANE_COUNT Only three values are supported. All other values are RESERVED. 1h = One lane (Lane 0 only). 2h = Two lanes (Lanes 0 and 1 only). 4h = Four lanes (Lanes 0, 1, 2, and 3). As for the MAX_LANE_COUNT value requirement of an SST-only Branch device in the presence of a downstream device, see Section 2.1.4.1.	

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00002h		5	POST_LT_ADJ_REQ_SUPPORTED 0 = Post-Link Training Adjust Request is not supported. 1 = Post-Link Training Adjust Request is supported (see Section 3.5.1.2.4). POST_LT_ADJ_REQ is the third phase of Link Training. This procedure is used only if TPS4 cannot be used in the second (i.e., EQ) phase of Link Training. (TPS4 can be used only if the DPTX and DPRX both support TPS4.) An upstream device with a DPTX (Source or Branch device) aware of the procedure indicates granting of the procedure by setting the POST_LT_ADJ_REQ_GRANTED bit in the LANE_COUNT_SET register (DPCD Address 00101h, bit 5). The downstream device indicates that the procedure is in progress by setting the POST_LT_ADJ_REQ_IN_PROGRESS bits in the LANE_ALIGN_STATUS_UPDATED and LANE_ALIGN_STATUS_UPDATED_ESI registers (DPCD Addresses 00204h and 0200Eh, bit 1, respectively). This is done at the end of the second phase of Link Training when the downstream device sets Link/Sink Device Status field (DPCD Addresses 00200h through 002FFh; see Table 2-157) register bits to indicate LANEx_SYMBOL_LOCKED and INTERLANE_ALIGN_DONE completion.	Read Only
		6	TPS3_SUPPORTED Indicates Link Training Pattern Sequence 3 (TPS3) support. 0 = TPS3 is not supported. 1 = TPS3 is supported (mandatory for Downstream devices that support HBR2, optional for others).	
		7	ENHANCED_FRAME_CAP Applies only to Single Stream Transport Format. 0 = Enhanced Framing symbol sequence for BS and SR is not supported. 1 = Enhanced Framing symbol sequence for BS and SR is supported as described in Section 2.2.1.2. A DPRX with DPCD Data Structure r1.1 and higher (as expressed in the DPCD_REV register (DPCD Address 00000h)) must set this bit to 1. Note: <i>Non-Enhanced Framing (referred to as Default Framing) was deprecated in DPCD r1.4.</i>	

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00003h	MAX_DOWNSPREAD			Read Only
		0	MAX_DOWNSPREAD 0 = No down spread. 1 = Up to 0.5% down-spread. Support of up to 0.5% down-spread is required for DPCD r1.1 (and higher) Sink and Branch devices. Therefore, this bit must be set to 1.	
		5:1	RESERVED	Read all 0s
		6	NO_AUX_TRANSACTION_LINK_TRAINING 0 = Requires AUX transactions to synchronize to a DPTX. 1 = Does not require AUX transactions when the link configuration is already known. A DPTX, when it activates its Main-Link, can transmit TPS1 and TPS2 (or TPS3 or TPS4) for the minimum of 500us each. The known-good drive current and pre-emphasis level (or those used in the last “full” Link Training with AUX transactions) must be used when Link Training is performed without AUX transactions. Regardless of this bit’s value, a DP Sink device must send an IRQ_HPD pulse when it cannot synchronize to the incoming stream. For embedded implementations in which there is no HPD line, either the proper operation should be guaranteed by design or the Source device can periodically poll the link status.	Read Only
		7	TPS4_SUPPORTED Indicates Link Training Pattern Sequence 4 (TPS4) support. 0 = TPS4 is not supported. 1 = TPS4 is supported (mandatory for Downstream devices with DPCD r1.4, except for eDP DPRXs).	

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00004h	NORP & DP_PWR_VOLTAGE_CAP Note: When bits 7:5 of this register are cleared to 000, the downstream device is capable of producing the default 3.3V DP_PWR setting DP_PWR only. A downstream DP device capable of generating DP_PWR voltage higher than the default 3.3V DP_PWR setting must complete the voltage level transition within 1ms. During the transition, the DP device must not generate a voltage exceeding the voltage range of the higher of the two voltage levels between which the switching is taking place.			Read Only
		0	NORP Number of Receiver Ports = Value + 1. 0 = One receiver port. 1 = Two or more receiver ports (see Note below). For SST transport format, the maximum number is two (for which this bit is set to 1), one for an uncompressed video stream and the other for its associated audio stream. The receiver can simultaneously receive up to “NORP” isochronous streams. The smallest available Receiver Port number is assigned. For example, when there is only one receiver port, the receiver port is assigned to Receiver Port 0. Receiver Port 1 shall be assigned only after Receiver Port 0 has already been assigned. Note: An MST Sink device might have more than two receiver ports because it can have three or more stream sinks. However, an MST Sink device must program this bit according to the number of receiver ports when it is operating in SST mode. The MST Sink device is required to operate in SST mode to interoperate with an SST upstream device. A Topology Manager in an MST Source device must use the LINK_ADDRESS and REMOTE_DPCD message transactions to discover the number of receiver ports, rather than relying on this bit.	
		4:1	RESERVED	Read all 0s

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00004h		5	5V_DP_PWR_CAP 0 = Downstream device is not capable of producing +4.9 to +5.5V on the DP_PWR pin of its DP connector. 1 = Downstream device is capable of producing +4.9 to +5.5V on the DP_PWR pin of its DP connector.	Read Only
		6	12V_DP_PWR_CAP 0 = Downstream device is not capable of producing +12V $\pm 10\%$. 1 = Downstream device is capable of producing +12V $\pm 10\%$ on the DP_PWR pin of its DP connector.	
		7	18V_DP_PWR_CAP 0 = Downstream device is not capable of producing +18V $\pm 10\%$. 1 = Downstream device is capable of producing +18V $\pm 10\%$ on the DP_PWR pin of its DP connector.	

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00005h	DOWN_STREAM_PORT_PRESENT			Read Only
		0	DFP_PRESENT 1 = Device is a Branch device and has downstream-facing port(s) (DFP(s)).	
		2:1	DFP_TYPE Indicates the DFP type of DFP 0. 00 = DisplayPort. 01 = Analog VGA or analog video over DVI-I. 10 = DVI, HDMI, or DP++. 11 = Others (this DFP type might not have an EDID in the Sink device; for example, Sink devices on composite video and Svideo ports do not have an EDID, but Sink devices on a wireless or USB interface might). A Branch device must provide more-detailed Downstream enumeration data on all of its DFPs, including DFP 0 at DPCD Address 00080h and above. Note: Further requirements for Branch devices are provided in Section 5.3.3. Requirements for Source devices when transmitting through a Branch device are provided in Section 5.1.6.	
		3	FORMAT_CONVERSION 0 = This Branch device does not have a format conversion block. 1 = This DFP has a format conversion block. Notes: 1 Applicable only to a Branch device. 2 Topology Manager in an MST Source device must use the LINK_ADDRESS message transaction to discover the DFP capability, rather than relying on this bit.	
		4	DETAILED_CAP_INFO_AVAILABLE 0 = DFP capability field is 1 byte per port, starting from DPCD Address 00080h. 1 = DFP capability field is 4 bytes per port for detailed capability description starting from DPCD Address 00080h. For DPRX and DPCD r1.4, detailed capability information support is mandatory.	
		7:5	RESERVED	Read all 0s

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00006h	MAIN_LINK_CHANNEL_CODING			Read Only
		0	ANSI 8b/10b 1 = DisplayPort receiver supports the Main-Link channel coding specification, as specified in ANSI X3.230-1994, Clause 11.	
		7:1	RESERVED	Read all 0s
00007h	DOWN_STREAM_PORT_COUNT			Read Only
		3:0	DFP_COUNT Indicates the number of DFPs. 0h = No DFPs. Type and capability of the DFP are enumerated at DPCD Addresses 00080h through 0008Fh.	
		5:4	RESERVED	Read all 0s
		6	MSA_TIMING_PAR_IGNORED Applies to eDP and box-to-box DP. 0 = Sink device requires the MSA timing parameters HTotal[15:0], HStart[15:0], HSyncPolarity[0] (HSP), HSyncWidth[14:0] (HSW), VTotal[15:0], VStart[15:0], VSyncPolarity[0] (VSP), and VSyncWidth[14:0] (VSW) to be sent by the Source device for rendering the incoming video stream. 1 = Sink device is capable of rendering the incoming video stream without the above-mentioned MSA timing parameters.	Read Only
		7	OUI Support 0 = OUI is not supported. 1 = OUI is supported (OUI and Device Identification mandatory for DPCD r1.2 and DPCD r1.4; for DPCD r1.3 (which is for <i>eDP v1.4</i> DPRX), support for OUI is an implementation option). IEEE_OUI registers (DPCD Addresses 00400h through 00402h) for a Sink device, plus DPCD Addresses 00403h through 0040Bh for Device Identification. IEEE_OUI registers (DPCD Addresses 00500h through 00502h) for a Branch device, plus DPCD Addresses 00503h through 0050Bh for Device Identification.	

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00008h	RECEIVE_PORT0_CAP_0 Note updated in <i>DP v1.4</i> . Support for bits 5:3 added in <i>DP v1.4</i> . Receiver Port 0 Capability 0. Note: <i>A Source device operating in MST mode does not use this MST Sink/Branch device register.</i>			Read Only
		0	RESERVED	Read all 0s
		1	LOCAL_EDID_PRESENT 0 = This receiver port does not have a local EDID. 1 = This receiver port has a local EDID. A local EDID is mandatory for Sink devices and Format Converters.	Read Only
		2	ASSOCIATED_TO_PRECEDING_PORT 0 = This port is used for the main isochronous stream. This bit must always be cleared to 0 for Receiver Port 0. 1 = This port is used for the secondary isochronous stream of the main stream received in the preceding port.	
		3	HBLANK_EXPANSION_CAPABLE 0 = DPRX is not capable of Horizontal Blanking Expansion operation. 1 = DPRX is capable of Horizontal Blanking Expansion operation.	
		4	BUFFER_SIZE_UNIT Defines the units to be used for defining the buffer size declared in the RECEIVE_PORT0_CAP_1 register (DPCD Address 00009h). 0 = Units are in pixel counts. 1 = Units are in byte counts. The DPRX shall ensure that the byte count unit is converted to the pixel count unit, as follows: $\text{Buffer\_Size\_in\_Pixels} = \text{Buffer\_Size\_in\_Bytes} / \text{Pixel\_Depth\_in\_Bytes}$	
		5	BUFFER_SIZE_PER_PORT Defines units used for defining the buffer size declared in the RECEIVE_PORT0_CAP_1 register (DPCD Address 00009h). 0 = Buffer size is per-lane. 1 = Buffer size is per-port and independent of the lane count.	
		7:6	RESERVED	Read all 0s

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00009h	RECEIVE_PORT0_CAP_1 Updated in <i>DP v1.4</i> . Receiver Port 0 Capability 1. <i>Note:</i> A Source device operating in MST mode does not use this MST Sink/Branch device register.			Read Only
		7:0	BUFFER_SIZE Buffer size = (Value + 1) × 32. The unit is defined by the following RECEIVE_PORT0_CAP_0 register (DPCD Address 00008h) bits: - BUFFER_SIZE_UNIT bit (bit 4) value, and - BUFFER_SIZE_PER_PORT bit (bit 5) value, per-lane or per-port	
0000Ah	RECEIVE_PORT1_CAP_0 Receiver Port 1 Capability 0. Bit definition is identical to that of the RECEIVE_PORT0_CAP_0 register (DPCD Address 00008h), but for Port 1. <i>Notes:</i> - When Receiver Port 1 is not present, this register is read all 0s. - A Source device operating in MST mode does not use this register.			Read Only

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
0000Bh	RECEIVE_PORT1_CAP_1 Receiver Port 1 Capability 1. Bit definition is identical to that of the RECEIVE_PORT0_CAP_1 register (DPCD Address 00009h), but for Port 1. Notes: 1 When Receiver Port 1 not present, this register is read all 0s. 2 A Source device operating in MST mode does not use this field.			Read Only
0000Ch	I²C Speed Control Capabilities Bit Map Bit or bits set to indicate I ² C speed control capabilities. Support for source control of the I ² C speed is optional but recommended when the DPRX implements a physical I ² C bus. If the DPRX does not implement a physical I ² C bus, this register is cleared to 00h. Otherwise, if the DPRX does not provide source control of the I ² C speed, this register is also cleared to 00h. In this case the DPRX, upon receiving an I ² C-over-AUX transaction, generates an I ² C transaction at the I ² C bit rate of its choice. Otherwise, bit values in this register are assigned to I ² C speeds. 00000001b = 1Kbps. 00000010b = 5Kbps. 00000100b = 10Kbps. 00001000b = 100Kbps. 00010000b = 400Kbps. 00100000b = 1Mbps. 01000000b = RESERVED. 10000000b = RESERVED.			Read Only
0000Dh	eDP_CONFIGURATION_CAP RESERVED for eDP. Always reads 00h for external receivers.			Read Only

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
0000Eh	TRAINING_AUX_RD_INTERVAL			Read Only
		6:0	TRAINING_AUX_RD_INTERVAL Link Status/Adjust Request read interval during Main-Link Training. 00h = 100us for the Main-Link Clock Recovery phase and 400us for the Main-Link Channel Equalization phase. 01h = 100us for the Main-Link Clock Recovery phase; 4ms for the Main-Link Channel Equalization phase. 02h = 100us for the Main-Link Clock Recovery phase; 8ms for the Main-Link Channel Equalization phase. 03h = 100us for the Main-Link Clock Recovery phase; 12ms for the Main-Link Channel Equalization phase. 04h = 100us for the Main-Link Clock Recovery phase; 16ms for the Main-Link Channel Equalization phase. All other values are RESERVED.	
		7	EXTENDED_RECEIVER_CAPABILITY_FIELD_PRESENT 0 = Not present. 1 = Present at DPCD Addresses 02200h through 022FFh. A DPRX with DPCD r1.4 (or higher) must have an Extended Receiver Capability field.	
0000Fh	ADAPTOR_CAP Capabilities of Branch devices that adapt to legacy video transports.			Read Only
		0	FORCE_LOAD_SENSE_CAP 0 = Does not support VGA force load adaptor sense mechanism. 1 = Supports VGA force load adaptor sense mechanism.	
		1	ALTERNATE_I2C_PATTERN_CAP 0 = Does not support alternate I ² C patterns. 1 = Supports alternate I ² C patterns.	
		7:2	RESERVED	Read all 0s
00010h through 0001Fh	For DPCD r1.3 (eDP v1.4 DPRX) only.			
	For other DPCD Revisions up to DPCD r1.4, RESERVED.			
	SUPPORTED_LINK_RATES See eDP v1.4.			
00020h	RESERVED (Deprecated FAUX-related register.)			Read all 0s

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00021h	MSTM_CAP			Read Only
		0	MST_CAP 0 = Does not support MST format and has no Branching Unit, and therefore does not support Sideband MSG handling. 1 = Supports MST format and has a Branching Unit, and therefore supports Sideband MSG handling.	
		7:1	RESERVED	Read all 0s
00022h	NUMBER_OF_AUDIO_ENDPOINTS Number of audio endpoints available at this port. Applies to both audio devices (i.e., devices with no video endpoints) and devices with video endpoints that have audio endpoints associated with them. This value must be 0 for Branch devices. Notes: <i>Audio endpoints are always associated with video endpoints in devices with video endpoints.</i> <i>A DP Sink device declares its audio stream sinking capability by setting the NORP bit in the NORP & DP_PWR_VOLTAGE_CAP register (DPCD Address 00004h, bit 0) to 1 and by placing the audio capability descriptor in the CEA Extension Block of EDID. When these fields indicate the presence of an audio stream sinking capability and the NUMBER_OF_AUDIO_ENDPOINTS register is cleared to 0, a DP Source device must assume that the number of audio endpoints for this DP device is equal to 1.</i> <i>A DP Sink device that has more than one audio endpoint must set this register equal to the number of endpoints.</i>			Read Only

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00023h	AV_SYNC_DATA_BLOCK AV_GRANULARITY Note: DPRX's AV_SYNC capability discovery – Not all DPRXs with DPCD r1.2 or higher support the AV_SYNC feature. Devices with a DPTX that want to use this register value are recommended to verify that the AV_SYNC_CAP bit in the DPRX_FEATURE_ENUMERATION_LIST register (DPCD Address 02210h, bit 2) is set to 1.			Read Only
		3:0	AG_FACTOR Audio Granularity factor values used for the AUD_DEC_LAT[7:0], AUD_DEC_LAT[15:8], AUD_PP_LAT[7:0], and AUD_PP_LAT[15:8] fields in the AV_SYNC_DATA_BLOCK registers (DPCD Addresses 00024h through 00027h, respectively). 0000 = 3ms 0001 = 2ms (default) 0010 = 1ms 0011 = 500us 0100 = 200us 0101 = 100us 0110 = 10us 0111 = 1us All other values are RESERVED.	
		7:4	VG_FACTOR Video Granularity factor values used for the VID_INTER_LAT[7:0] and VID_PROG_LAT[7:0] fields in the AV_SYNC_DATA_BLOCK registers (DPCD Addresses 00028h and 00029h, respectively). 0000 = 3ms 0001 = 2ms (default) 0010 = 1ms 0011 = 500us 0100 = 200us 0101 = 100us All other values are RESERVED.	

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00024h	AV_SYNC_DATA_BLOCK			Read Only
	0	7:0	AUD_DEC_LAT[7:0] AUD_DEC_LAT is the worst-case Audio decode post processing latency reported in the AUD_PP_LAT[7:0], and AUD_PP_LAT[15:8] fields in the AV_SYNC_DATA_BLOCK registers (DPCD Addresses 00026h through 00027h, respectively). (Reported in terms of AG factor.)	
00025h	AV_SYNC_DATA_BLOCK			Read Only
	1	7:0	AUD_DEC_LAT[15:8]	
00026h	AV_SYNC_DATA_BLOCK			Read Only
	2	7:0	AUD_PP_LAT[7:0] AUD_PP_LAT is the worst case Audio post processing latency. (Reported in terms of AG factor.)	
00027h	AV_SYNC_DATA_BLOCK			Read Only
	3	7:0	AUD_PP_LAT[15:8]	
00028h	AV_SYNC_DATA_BLOCK			Read Only
	4	7:0	VID_INTER_LAT[7:0] Worst-case Video interlaced latency for Video/Film mode. (Reported in terms of VG factor.)	
00029h	AV_SYNC_DATA_BLOCK			Read Only
	5	7:0	VID_PROG_LAT[7:0] Worst-case Video progressive latency for Video/Film mode. (Reported in terms of VG factor.)	
0002Ah	AV_SYNC_DATA_BLOCK			Read Only
	6	7:0	REP_LAT[7:0] Delay incurred in the repeater/Branch device while receiving and forwarding DP streams to the downstream device, in 10us granularity.	
0002Bh	AV_SYNC_DATA_BLOCK			Read Only
	7	7:0	AUD_DEL_INS[7:0] AUD_DEL_INS is the maximum additional delay that the Sink device is capable of inserting in addition to the inherent delays reported by the Sink device (AUD_DEC_LAT[7:0], AUD_DEC_LAT[15:8], AUD_PP_LAT[7:0], and AUD_PP_LAT[15:8] fields in the AV_SYNC_DATA_BLOCK registers (DPCD Addresses 00024h through 00027h, respectively)), in 1us granularity. Sink devices are required to support a minimum of 5ms of delay insertion in the Audio path.	
0002Ch	AV_SYNC_DATA_BLOCK			Read Only
	8	7:0	AUD_DEL_INS[15:8]	

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
0002Dh	AV_SYNC_DATA_BLOCK			Read Only
	9	7:0	AUD_DEL_INS[23:16]	
0002Eh	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others			
	RECEIVER_ADVANCED_LINK_POWER_MANAGEMENT_CAPABILITES See eDP v1.4.			
0002Fh	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others			
	AUX FRAME SYNC See eDP v1.4.			
00030h through 0003Fh	GUID Must be supported in all DPRX with DPCD revision number 1.2 or higher. Must be generated according to IETF RFC 4122 and stored in Network Byte Order, i.e.: - DPCD Address 00030h contains the first octet (time_low, MSB) - DPCD Address 0003Fh contains the last octet (node(5)) When a Sink device has an integrated USB or hub device, the Container ID of the Sink device must match the GUID in the Container Descriptor of that USB device or hub. All functions that are not removable from (i.e., are integrated into) the one physical device must advertise the same Container ID GUID, regardless of the interface (DP or non-DP) through which it is reported. In a Sink device that has multiple audio and video endpoints, all the endpoints must return the same GUID.			Read Only (Write/Read Only if DPCD r1.2 or higher, but 00030h through 0003Fh are all 0s as power-on reset values)
00040h	For DockPort-capable DPRX (DPCD r1.2 or DPCD r1.4).			
	DOCKPORT_CAP See DockPort v1.0a.			
00041h	For DockPort-capable DPRX (DPCD r1.2 or DPCD r1.4).			
	DisplayPort SpecVerMaj See DockPort v1.0a.			
00042h	For DockPort-capable DPRX (DPCD r1.2 or DPCD r1.4).			
	DisplayPort SpecVerMin See DockPort v1.0a.			
00043h through 00053h	RESERVED			Read all 0s

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00054h	RX_GTC_VALUE_0 Note: DPRX's GTC capability discovery – Not all DPRXs with DPCD r1.2 or higher support the GTC. Devices with a DPTX that want to use this register value are recommended to verify one of the following: - GTC_CAP bit in the DPRX_FEATURE_ENUMERATION_LIST register (DPCD Address 02210h, bit 0) is set to 1 - Downstream DPRX supports PSR2, which is defined in eDP v1.4 When a device with a DPTX attempts GTC lock acquisition with a DPRX that does not support GTC, the lock acquisition fails with the DPRX not updating the RX_GTC_VALUE_x register.			Read Only
	0	7:0	RX_GTC_VALUE7:0	
00055h	RX_GTC_VALUE_1 See note for RX_GTC_VALUE_0 register.			Read Only
	1	7:0	RX_GTC_VALUE15:8	
00056h	RX_GTC_VALUE_2 See note for RX_GTC_VALUE_0 register.			Read Only
	2	7:0	RX_GTC_VALUE23:16	
00057h	RX_GTC_VALUE_3 See note for RX_GTC_VALUE_0 register.			Read Only
	3	7:0	RX_GTC_VALUE31:24	
00058h	RX_GTC_MSTR_REQ			Read Only
		0	RX_GTC_MSTR_REQ 0 = RX does not request to be a GTC Master. 1 = RX requests to be a GTC Master.	
		1	TX_GTC_VALUE_PHASE_SKEW_EN 0 = DPTX resets its GTC value to the received RX_GTC_VALUE (RX_GTC_VALUE_0, RX_GTC_VALUE_1, RX_GTC_VALUE_2, and RX_GTC_VALUE_3 registers (DPCD Addresses 00054h through 00057h, respectively)) and uses the delta between its GTC value and the received RX_GTC_VALUE to frequency adjust its GTC value. 1 = DPTX resets its GTC value to the received RX_GTC_VALUE, but does NOT use the delta between its GTC value and the received RX_GTC_VALUE to frequency adjust its GTC value; in other words, the RX_GTC_VALUE is used for phase adjust only. Used only when the DPRX is the GTC Master.	
		7:2	RESERVED	
				Read all 0s

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00059h	RX_GTC_FREQ_LOCK_DONE			Read Only
		0	RX_GTC_FREQ_LOCK_DONE 0 = DPRX has not realized the GTC_FREQ_LOCK_DONE 1 = DPRX has realized the GTC_FREQ_LOCK_DONE Used only when the DPTX is the GTC Master.	
		7:1	RESERVED	Read all 0s
0005Ah	RX_GTC_PHASE_SKEW_OFFSET_0			Read Only
	0	7:0	RX_GTC_PHASE_SKEW_OFFSET7:0	
0005Bh	RX_GTC_PHASE_SKEW_OFFSET_1			Read Only
	1	7:0	RX_GTC_PHASE_SKEW_OFFSET15:8	
0005Ch through 0005Fh	RESERVED			Read all 0s
00060h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
00060h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC SUPPORT			
		0	DSC Support 0 = Decompression using DSC is not supported. 1 = Decompression using DSC is supported.	Read all 0s
		7:1	RESERVED	
00061h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
00061h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC ALGORITHM REVISION			
		3:0	DSC Version Major Indicates the major version of DSC.	
		7:4	DSC Version Minor Indicates the minor version of DSC.	

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00062h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
00062h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC RC BUFFER BLOCK SIZE			
		1:0	RC Buffer Block Size Rate control buffer block size. 00 = 1KB. 01 = 4KB. 10 = 16KB. 11 = 64KB.	
		7:2	RESERVED	Read all 0s
00063h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
00063h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC RC BUFFER SIZE			
		7:0	Each Rate Buffer Size, in Units of Blocks Buffer size (in blocks) = value + 1. Actual buffer size is calculated by multiplying the RC buffer size (in blocks) and the block size indicated by the RC Buffer Block Size field in the DSC RC BUFFER BLOCK SIZE register (DPCD Address 00062h, bits 1:0). Example – If the RC Buffer Block Size is programmed to 11 (64KB) and the rate buffer size (in blocks) is 0111 1111 (128), each rate buffer size = 64KB × 128 = 8MB. Note: This value is as specified in DSC v1.2, Table E-1. It is the maximum algorithmic rate buffer size (minRateBufferSize) that the Sink device may support and is used by the Source device to ensure that the hrdDelay requirement is met.	
00064h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00064h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC SLICE CAPABILITIES 1			
	Used in combination with the DSC SLICE CAPABILITIES 2 register (DPCD Address 0006Dh) to indicate the number of slices per Display Line supported, per display. Each slice per Display Line must be supported in all resolutions that a DP DSC Sink device supports, as long as the slice width and decoder throughput requirements are not exceeded. 0 = Number of Slices per Display Line is not supported. 1 = Number of Slices per Display Line is supported.			
		0	1 Slice per Display Line	Read 0
		1	2 Slices per Display Line	
		2	RESERVED	Read Only
		3	4 Slices per Display Line	
		4	6 Slices per Display Line <i>Note: This value is not included as part of the standard slice value number set. A display may declare support of this number of slices per Display Line as an available configuration, in addition to the normative slice per Display Line value, as provided in Table 2-141.</i>	
		5	8 Slices per Display Line	
		6	10 Slices per Display Line <i>Note: This value is not included as part of the standard slice value number set. A display may declare support of this number of slices per Display Line as an available configuration, in addition to the normative slice per Display Line value, as provided in Table 2-141.</i>	
		7	12 Slices per Display Line	

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00065h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
00065h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC LINE BUFFER BIT DEPTH			
		3:0	Line Buffer Bit Depth Contains the bit depth used by the Sink device to store the reconstructed pixels within the line buffer. 0000 = 9 bits. 0001 = 10 bits. 0010 = 11 bits. 0011 = 12 bits. 0100 = 13 bits. 0101 = 14 bits. 0110 = 15 bits. 0111 = 16 bits. 1000 = 8 bits. All other values are RESERVED.	
		7:4	RESERVED	
00066h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
00066h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC BLOCK PREDICTION SUPPORT			
		0	Block Prediction Support 0 = Block prediction is not supported. 1 = Block prediction is supported.	
		7:1	RESERVED	
			Read all 0s	

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00067h and 00068h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
00067h and 00068h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	MAXIMUM bits_per_pixel SUPPORTED BY THE DECOMPRESSOR Indicates the maximum bits_per_pixel that the DP DSC Sink device may support. The format is U6.4 (unsigned, four fractional bits). Note: Minimum bits_per_pixel, as well as the increment of bits_per_pixel, are indicated by the MINIMUM bits_per_pixel SUPPORTED BY THE DECOMPRESSOR register (DPCD Addresses 0006Eh and 0006Fh).			
	0	7:0	bits_per_pixel7:0 Contains the least significant eight bits of the maximum bits_per_pixel that the DP DSC Sink device may support.	
	1	1:0	bits_per_pixel9:8 Contains the most significant two bits of the maximum bits_per_pixel that the DP DSC Sink device may support.	
	1	7:2	RESERVED	Read all 0s

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00069h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
00069h	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC COLOR FORMAT CAPABILITIES			
		0	RGB Support A DP DSC Sink device shall support RGB color format. 0 = RGB is not supported. 1 = RGB is supported.	
		1	YCbCr 4:4:4 Support 0 = YCbCr 4:4:4 is not supported. 1 = YCbCr 4:4:4 is supported.	
		3:2	YCbCr 4:2:2 Support 00 = YCbCr 4:2:2 is not supported. 01 = YCbCr 4:2:2 is supported (DSC v1.1 or lower). 10 = YCbCr 4:2:2 is supported (native 4:2:2 mode (DSC v1.2 or higher)). 11 = RESERVED.	
		4	YCbCr 4:2:0 Support 0 = YCbCr 4:2:0 is not supported. 1 = YCbCr 4:2:0 is supported (native 4:2:0 mode (DSC v1.2 or higher)).	
		7:5	RESERVED	Read all 0s

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
0006Ah	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
0006Ah	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC COLOR DEPTH CAPABILITIES			
		0	RESERVED	Read 0
		1	8 Bits per Color Support A DP DSC Sink device must support 8bpc. 0 = 8bpc is not supported. 1 = 8bpc is supported.	Read Only
		2	10 Bits per Color Support 0 = 10bpc is not supported. 1 = 10bpc is supported.	
		3	12 Bits per Color Support 0 = 12bpc is not supported. 1 = 12bpc is supported.	
		4	RESERVED	Read 0
		5	16 Bits per Color Support 0 = 16bpc is not supported. 1 = 16bpc is supported.	Read Only
		7:6	RESERVED	Read all 0s

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
0006Bh	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3			
	eDP Compression-related Functions See eDP v1.4.			
0006Bh	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	Peak DSC Throughput (DSC Sink)			
		3:0	Throughput Mode 0 Decoding of three pixels per clock in units of megapixels per second. 0 = Not supported. 1 = 340MP/s. 2 = 400MP/s. 3 = 450MP/s. 4 = 500MP/s. 5 = 550MP/s. 6 = 600MP/s. 7 = 650MP/s. 8 = 700MP/s. 9 = 750MP/s. 10 = 800MP/s. 11 = 850MP/s. 12 = 900MP/s. 13 = 950MP/s. 14 = 1000MP/s. 15 = RESERVED.	

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
0006Bh		7:4	Throughput Mode 1 Decoding of six pixels per clock in units of megapixels per second (used in native 4:2:0 mode (<i>DSC v1.2</i> or higher)). 0 = Not supported. 1 = 340MP/s. 2 = 400MP/s. 3 = 450MP/s. 4 = 500MP/s. 5 = 550MP/s. 6 = 600MP/s. 7 = 650MP/s. 8 = 700MP/s. 9 = 750MP/s. 10 = 800MP/s. 11 = 850MP/s. 12 = 900MP/s. 13 = 950MP/s. 14 = 1000MP/s. 15 = RESERVED.	Read Only
0006Ch	For eDP Compression-related Function for DPCD r1.3 (<i>eDP v1.4</i> DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with <i>DP v1.3</i>			
	eDP Compression-related Functions See <i>eDP v1.4</i> .			
0006Ch	For DPCD r1.4 when used with <i>DP v1.4</i> (and higher)			Read Only
	DSC Maximum Slice Width			
		7:0	DSC Max Slice Width MaxSliceWidth = Number of pixels × 320. The minimum number allowed is 8 (2560 pixels). 8h = 2560 pixels	
0006Dh through 0006Fh	For DPCD r1.3 (<i>eDP v1.4</i> DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with <i>DP v1.3</i>			
	eDP Compression-related Functions See <i>eDP v1.4</i> .			

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
0006Dh	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	DSC SLICE CAPABILITIES 2			
	Used in combination with the DSC SLICE CAPABILITIES 1 register (DPCD Address 00064h) to indicate the number of slices per Display Line supported, per display.			
	Each slice per Display Line must be supported in all resolutions that a DP DSC Sink device supports, as long as the slice width and decoder throughput requirements are not exceeded.			
	0 = Number of Slices per Display Line is not supported.			
	1 = Number of Slices per Display Line is supported.			
		0	16 Slices per Display Line	
	1	20 Slices per Display Line		
	2	24 Slices per Display Line		
	7:3	RESERVED	Read all 0s	
0006Eh and 0006Fh	For DPCD r1.4 when used with DP v1.4 (and higher)			Read Only
	MINIMUM <i>bits_per_pixel</i> SUPPORTED BY THE DECOMPRESSOR			
	Indicates the minimum <i>bits_per_pixel</i> that the DP DSC Sink device may support. The format is U6.4 (unsigned, four fractional bits).			
	<i>Note:</i> Maximum <i>bits_per_pixel</i> is indicated by the MINIMUM <i>bits_per_pixel</i> SUPPORTED BY THE DECOMPRESSOR register (DPCD Addresses 00067h and 00068h).			
	0	7:0	<i>bits_per_pixel</i> 7:0	
			Contains the least significant eight bits of the minimum <i>bits_per_pixel</i> that the DP DSC Sink device may support.	
	1	1:0	<i>bits_per_pixel</i> 9:8	
		Contains the most significant two bits of the minimum <i>bits_per_pixel</i> that the DP DSC Sink device may support.		
	1	3:2	RESERVED	Read all 0s
	1	6:4	INCREMENT OF <i>bits_per_pixel</i> SUPPORTED BY THE DECOMPRESSOR	Read Only
			Incremental values between the MINIMUM and MAXIMUM <i>bits_per_pixel</i> that the DP DSC Sink device may support.	
			000 = 1/16bpp.	
			001 = 1/8bpp.	
			010 = 1/4bpp.	
			011 = 1/2bpp.	
			100 = Integer values only for bits per pixel.	
			All other values are RESERVED.	
	1	7	RESERVED	Read 0

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00070h	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others			
	PANEL SELF REFRESH CAPABILITY SUPPORTED AND VERSION See eDP v1.4.			
00071h	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others			
	PANEL SELF REFRESH CAPABILITIES See eDP v1.4.			
00072h through 0007Fh	RESERVED			Read all 0s
00080h through 0008Fh	Detailed Capabilities Info 4-byte field, 1 byte per port type. DETAILED_CAP_INFO_AVAILABLE bit in the DOWN_STREAM_PORT_PRESENT register (DPCD Address 00005h, bit 4) = 0			Read Only
	0	DFPX_CAP 1 byte per DFP. x = DFP number. The Port_x capability is stored at address of the DFP number plus 80h.		
	2:0	DFPX_TYPE 000 = DisplayPort. 001 = Analog VGA. 010 = DVI. 011 = HDMI. 100 = Others without EDID support. 110 = Wireless. 111 = RESERVED.		
	3	DFPX_HPD 0 = DFP is not HPD-aware. 1 = DFP is HPD-aware.		

表2-155：DPCD接收器功能字段中的地址映射（DPCD地址00000H至000FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00080h through 0008Fh	0	7:4	NON_EDID_DFPX_ATTRIBUTE (Bits 2:0 = 100 above) 0001 = 720x480 interlaced, 60Hz. 0010 = 720x480 interlaced, 50Hz. 0011 = 1920x1080 interlaced, 60Hz. 0100 = 1920x1080 interlaced, 50Hz. 0101 = 1280x720 progressive, 60Hz. 0111 = 1280x720 progressive, 50Hz. All other values are RESERVED. Notes: 1 A Source device may detect the interface type of the Sink device by reading the Video Input Definition byte of EDID. 2 Some interfaces may not have a built-in HPD support, but a Branch device may have its own HPD method. In that case, Bit 3 must be set to 1. For example, A Branch device with analog VGA DFP may periodically read EDID for the purpose of detecting an analog VGA Sink. HPD support on the DFPs is recommended. For example, Windows Logo Program Device Requirements Version 3.01 requires HPD support on all digital display interfaces and strongly recommends it even for analog display interfaces.	Read Only

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00080h through 0008Fh	DETAILED_CAP_INFO_AVAILABLE bit in the DOWN_STREAM_PORT_PRESENT register (DPCD Address 00005h, bit 4) = 1 DPCD Address 00080h (Byte 0) through 00083h (Byte 3) for DFP0 DPCD Address 00084h (Byte 0) through 00087h (Byte 3) for DFP1 DPCD Address 00088h (Byte 0) through 0008Bh (Byte 3) for DFP2 DPCD Address 0008Ch (Byte 0) through 0008Fh (Byte 3) for DFP3 Note: A DP upstream device must read the capability from DPCD Addresses 00080h through 00083h. A DP Branch device with multiple DFPs must report the detailed capability information of the lowest DFP number to which a downstream device is connected, consistent with the EDID access routing policy of an SST-only DP Branch device as described in Section 2.1.4.1.			Read Only
	0	DFPX_CAP (x = DFP number. The Port_x capability is stored at address of the DFP number plus 80h.)		
	2:0	DFPX_TYPE 000 = DisplayPort. 001 = Analog VGA. 010 = DVI. 011 = HDMI. 100 = Others without EDID support. 101 = DP++. 110 = Wireless. 111 = RESERVED.		
	3	DFPX_HPD 0 = DFP is not HPD-aware. 1 = DFP is HPD-aware.		
	7:4	NON_EDID_DFPX_ATTR (Bits 2:0 = 100 above) 0001 = 720x480 interlaced, 60Hz. 0010 = 720x480 interlaced, 50Hz. 0011 = 1920x1080 interlaced, 60Hz. 0100 = 1920x1080 interlaced, 50Hz. 0101 = 1280x720 progressive, 60Hz. 0111 = 1280x720 progressive, 50Hz. All other values are RESERVED.		

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00080h through 0008Fh	For DP DFP			Read all 0s
	3:1	RESERVED		
	For Analog VGA DFP			Read Only
	1	7:0	Maximum Pixel Rate Maximum pixel rate in MP/s, divided by 8.	
	2	1:0	Maximum Bits per Component 00 = 8bpc supported 01 = 10bpc supported 10 = 12bpc supported 11 = 16bpc supported <i>Note: The DisplayPort input bits per component equal to or smaller than the maximum bits per component must be supported by the Analog VGA DAC.</i>	Read Only
		7:2	RESERVED	
	3	7:0	RESERVED	Read all 0s
	For DVI DFP			Read Only
	1	7:0	Maximum TMDS Character Clock Rate Maximum TMDS character clock rate supported in Mbps divided by 2.5 (e.g., 66 (0x42) for 165MHz, 90 (0x5a) for 225MHz). <i>Note: A TMDS clock rate in excess of 165MHz on a DVI link is only supported for a Dual-Link DVI port.</i>	
	2	1:0	Maximum Bits per Component 00 = 8bpc supported. 01 = 10bpc supported. 10 = 12bpc supported. 11 = 16bpc supported.	Read all 0s
		7:2	RESERVED	
	3	0	RESERVED	Read all 0s
		1	DUAL_LINK 0 = Single Link DVI output. 1 = Dual Link DVI output high pixel clock (assumed transition point of 165MHz).	Read Only
		2	HIGH_COLOR_DEPTH 0 = DVI High Color Depth not supported. 1 = DVI High Color Depth supported (only meaningful when Byte 2 is non-zero).	
		7:3	RESERVED	Read all 0s

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00080h through 0008Fh	For HDMI DFP			Read Only
	1	7:0	Maximum TMDS Character Clock Rate Maximum TMDS character clock rate supported in Mbps divided by 2.5. For example, a value of F0h (= 240 decimal) is placed in this register for a TMDS character clock rate of 600MHz.	
	2	1:0	Maximum Bits per Component 00 = 8bpc is supported. 01 = 10bpc is supported. 10 = 12bpc is supported. 11 = 16bpc is supported.	
		7:2	RESERVED	Read all 0s
	3	0	FRAME_SEQ_TO_FRAME_PACK 0 = Conversion from 3D Frame Sequential to Frame Pack is not supported. 1 = Conversion from 3D Frame Sequential to Frame Pack is supported.	Read Only
		1	YCBCR422_PASS_THROUGH_SUPPORT 0 = Not supported 1 = Supported	
		2	YCBCR420_PASS_THROUGH_SUPPORT 0 = Not supported 1 = Supported	
		3	CONVERSION_FROM_YCBCR444_TO_YCBCR422_SUPPORT 0 = Not supported 1 = Supported	
		4	CONVERSION_FROM_YCBCR444_TO_YCBCR420_SUPPORT 0 = Not supported 1 = Supported	
		7:5	RESERVED	Read all 0s

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00080h through 0008Fh	For DP++ DFP			Read Only
	1	7:0	Maximum TMDS Character Clock Rate Maximum TMDS character clock rate supported in Mbps divided by 2.5	
	2	1:0	Maximum Bits per Component 00 = 8bpc supported. 01 = 10bpc supported. 10 = 12bpc supported. 11 = 16bpc supported.	
		7:2	RESERVED	Read all 0s
	3	0	FRAME_SEQ_TO_FRAME_PACK 0 = Conversion from 3D Frame Sequential to Frame Pack is not supported. 1 = Conversion from 3D Frame Sequential to Frame Pack is supported.	Read Only
		7:2	RESERVED	Read all 0s

表2-155: DPCD接收器功能字段中的地址映射 (DPCD地址00000H至000FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Receiver Capability Field	
00080h through 0008Fh	For Wireless DFP			Read Only
	1	WIRELESS_CAP_BYTE		
		3:0	WIRELESS_TECHNOLOGY 0000 = WiGig Display Extension All other values are RESERVED.	
		7:4	RESERVED	Read all 0s
	2	WDE_TOPOLOGY Only if WiGig Display Extension; otherwise, RESERVED.		Read Only
		1:0	NUMBER_OF_WDE_TX_ON_DEVICE	
		3:2	WDE_TX_CONCURRENCY_CAP Programmed to the number of WDE TXs that can be concurrently active.	
		7:4	RESERVED	Read all 0s
	3	RESERVED		Read all 0s
00090h	FEC_CAPABILITY New to DP v1.4.			Read Only
		0	FEC_CAPABLE 0 = Not capable. 1 = Capable.	
		1	UNCORRECTED_BLOCK_ERROR_COUNT_CAPABLE Support required for an FEC-capable DPRX. 0 = Not capable. 1 = Capable.	
		2	CORRECTED_BLOCK_ERROR_COUNT_CAPABLE 0 = Not capable. 1 = Capable.	
		3	BIT_ERROR_COUNT_CAPABLE 0 = Not capable. 1 = Capable.	
		7:4	RESERVED	
	00091h through 000FFh	RESERVED		

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00100h		LINK_BW_SET Main-Link Bandwidth Setting = Value x 0.27Gbps/lane. Note: <i>Because the upstream device is required to set this value within the MAX_LINK_RATE register (DPCD Address 00001h), there is no power-on reset default value for this register. It is suggested to program this register to 01h because a certain PC graphics controller under basic software control (e.g., VBIOS) may choose to output 640x480 at 60Hz RGB video over a 1-lane Main-Link at RBR (1.62Gbps/lane) without setting this register and the LANE_COUNT_SET register (DPCD Address 00101h) in the event that the HPD input is not asserted at the time the basic software is loaded.</i> Four values are supported. All other values are RESERVED with the exception of <i>eDP v1.4</i> DPTX and MyDP DPTX. 06h = 1.62Gbps/lane 0Ah = 2.7Gbps/lane 14h = 5.4Gbps/lane 1Eh = 8.1Gbps/lane An <i>eDP v1.4</i> DPTX, upon reading DPCD r1.3 (which is applicable only for <i>eDP v1.4</i> DPRX) and a MAX_LINK_RATE register value of 00h uses the LINK_RATE_SET field in the LINK_RATE_SET and TX_GTC_CAPABILITY register (DPCD Address 00115h, bits 2:0) instead of writing to this register. (See <i>eDP v1.4b</i>.) A MyDP Source device, upon reading the MAX_LINK_RATE register of the downstream DPRX programmed to 19h (which can be the case only for a MyDP-to-Legacy or MyDP-to-DP lane count converter) can program the LINK_BW_SET register (DPCD Address 00100h) to 19h to enable 6.75Gbps/lane.	Write/Read

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00101h	LANE_COUNT_SET Main-Link Lane Count = Value.		Write/Read
	4:0	LANE_COUNT_SET Three values are supported. All other values are RESERVED. <i>Note: Because the upstream device is required to set this value within the MAX_LINK_RATE register (DPCD Address 00001h), there is no power-on reset default value for this field. It is suggested to program this field to 1h. (See the Note within the description for the LINK_BW_SET register (DPCD Address 00100h.)</i> 1h = 1 lane (Lane 0 only) 2h = 2 lanes (Lanes 0 and 1 only) 4h = 4 lanes A Source device may choose any lane count as long as it does not exceed the capability of the DPRX.	
	5	POST_LT_ADJ_REQ_GRANTED Must be cleared to 0 upon power-on reset or an upstream device disconnect. An upstream device with a DPTX sets this bit to 1 to grant the POST_LT_ADJ_REQ procedure by the downstream DPRX if the downstream DPRX supports POST_LT_ADJ_REQ, but does not support TPS4. If the upstream DPTX and downstream DPRX both support TPS4, TPS4 must be used instead of POST_LT_ADJ_REQ. See Section 3.5.1.2.4 for details regarding POST_LT_ADJ_REQ.	Write/Read
	6	RESERVED	Read 0
	7	ENHANCED_FRAME_EN Must be cleared to 0 upon power-on reset or an upstream device disconnect. 0 = Enhanced Framing symbol sequence is not enabled. 1 = Enhanced Framing symbol sequence for BS and SR is enabled. Applicable to SST-only mode. A DPTX must set this bit to 1 when the DPRX has the ENHANCED_FRAME_CAP bit in the MAX_LANE_COUNT register (DPCD Address 00002h, bit 7) set to 1.	Write/Read

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00102h	TRAINING_PATTERN_SET Effect of the Bits 3:0 value is DPCD revision-dependent. Must be cleared to 00h upon power-on reset or an upstream device disconnect.		
	For DPCD r1.1 (Bits 3:0)		Write/Read
	1:0	TRAINING_PATTERN_SELECT Link Training Pattern Sequence selection. 00 = Training not in progress (or disabled). 01 = Link Training Pattern Sequence 1. 10 = Link Training Pattern Sequence 2. 11 = RESERVED.	
	3:2	LINK_QUAL_PATTERN_SET 00 = Link quality test pattern not transmitted 01 = D10.2 test pattern (unscrambled) transmitted (same as Link Training Pattern Sequence 1) 10 = Symbol Error Rate measurement pattern transmitted 11 = PRBS7 transmitted The PRBS7 bit sequence must be as follows: ----- direction ---→ 0010000011000010100 011110010001011001110101001 111101000011100010010011011 010110111101100011010010111 011100110010101011111110000 <i>Note: Upper left is transmitted first and lower right is transmitted last.</i>	
	For DPCD r1.2 and DPCD r1.3 (Bits 3:0)		Write/Read
	1:0	TRAINING_PATTERN_SELECT Link Training Pattern Sequence selection. 00 = Training not in progress (or disabled). 01 = Link Training Pattern Sequence 1. 10 = Link Training Pattern Sequence 2. 11 = Link Training Pattern Sequence 3.	
	3:2	RESERVED Replaced with per-lane control in each Lane's LINK_QUAL_PATTERN_SET fields in the LINK_QUAL_LANE _x _SET register(s) (DPCD Address(es) 0010Bh through 0010Eh, bits 2:0).	Read all 0s

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00102h	For DPCD r1.4 (Bits 3:0)		Write/Read
	3:0	TRAINING_PATTERN_SELECT Link Training Pattern Selection. 0000 = Training not in progress (or disabled). 0001 = Link Training Pattern Sequence 1. 0010 = Link Training Pattern Sequence 2. 0011 = Link Training Pattern Sequence 3. 0111 = Link Training Pattern Sequence 4. All other values are RESERVED.	
	4	RECOVERED_CLOCK_OUT_EN 0 = Recovered clock output from a test pad of DPRX is not enabled. 1 = Recovered clock output from a test pad of DPRX enabled.	
	5	SCRAMBLING_DISABLE 0 = DPTX scrambles data symbols before transmission. 1 = DPTX disables scrambler and transmits all symbols without scrambling.	
	7:6	SYMBOL_ERROR_COUNT_SEL 00 = Count Disparity and Illegal Symbol errors 01 = Count Disparity errors only 10 = Count Illegal Symbol errors only 11 = RESERVED	

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00103h	TRAINING_LANE0_SET Link Training Control_Lane0. Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
	1:0	VOLTAGE_SWING_SET 00 = Voltage swing level 0. 01 = Voltage swing level 1. 10 = Voltage swing level 2. 11 = Voltage swing level 3.	
	2	MAX_SWING_REACHED The transmitter must support at least three levels of voltage swing (levels 0, 1 and 2). If only three levels of voltage swing are supported (VOLTAGE SWING SET field (bits 1:0) are programmed to 10 (level 2)), then this bit must be set to 1, and cleared in all other cases. If all four levels of voltage swing are supported (VOLTAGE SWING SET field (bits 1:0) are programmed to 11 (level 3)), then this bit must be set to 1, and cleared in all other cases.	
	4:3	PRE-EMPHASIS_SET 00 = Pre-emphasis level 0. 01 = Pre-emphasis level 1. 10 = Pre-emphasis level 2. 11 = Pre-emphasis level 3.	
	5	MAX_PRE-EMPHASIS_REACHED The transmitter must support at least three levels of pre-emphasis (levels 0, 1 and 2). Support of additional pre-emphasis level is optional. If only three levels of pre-emphasis are supported (transmitter programmed PRE-EMPHASIS_SET field (bits 4:3) to 10 (level 2)), then the transmitter must set this bit to indicate to the receiver that the maximum pre-emphasis level has been reached, and clear this bit in all other cases. If all four levels of pre-emphasis are supported (transmitter programmed PRE-EMPHASIS_SET field (bits 4:3) to 11 (level 3)), then the transmitter must set this bit to indicate to the receiver that the maximum pre-emphasis level has been reached, and clear this bit in all other cases. Support of independent pre-emphasis level control for each lane is also optional.	
	7:6	RESERVED	Read all 0s

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00104h		TRAINING_LANE1_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the TRAINING_LANE0_SET register (DPCD Address 00103h), but for Lane 1.	Write/Read
00105h		TRAINING_LANE2_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the TRAINING_LANE0_SET register (DPCD Address 00103h), but for Lane 2.	Write/Read
00106h		TRAINING_LANE3_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the TRAINING_LANE0_SET register (DPCD Address 00103h), but for Lane 3.	Write/Read
00107h		DOWNSPREAD_CTRL Down-spreading control. Must be cleared to 00h upon power-on reset or an upstream device disconnect.	Write/Read
	3:0	RESERVED	Read all 0s
	4	SPREAD_AMP Spreading amplitude. 0 = Main-Link signal is not down-spread. 1 = Main-Link signal is down-spread by equal to or less than 0.5% with a modulation frequency in the range of 30 to 33kHz.	Write/Read
	6:5	RESERVED	Read all 0s
	7	MSA_TIMING_PAR_IGNORE_EN 0 = Source device sends valid data for MSA timing parameters HTotal[15:0], HStart[15:0], HSyncPolarity[0] (HSP), HSyncWidth[14:0] (HSW), VTotal[15:0], VStart[15:0], VSyncPolarity[0] (VSP), and VSyncWidth[14:0] (VSW) 1 = Source device may send invalid data for the above-mentioned MSA timing parameters. The Sink device must ignore these parameters and regenerate the incoming video stream without depending on these parameters. (This bit can be set to 1 only if the MSA_TIMING_PAR_IGNORED bit in the DOWN_STREAM_PORT_COUNT register (DPCD Address 00007h, bit 6) is set to 1.)	Write/Read
00108h		MAIN_LINK_CHANNEL_CODING_SET Must be programmed to 01h upon power-on reset or an upstream device disconnect.	Write/Read
	0	SET_ANSI 8b/10b Selects the Main-Link channel coding specification, as specified in ANSI X3.230-1994, Clause 11.	
	7:1	RESERVED	Read all 0s

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00109h	I²C Speed Control/Status Bit Map Must be programmed to the default I ² C bit rate of the downstream device which is an implementation-specific choice.		Write/Read
	7:0	If the I2C Speed Control Capabilities Bit Map register (DPCD Address 0000Ch) is 00h (indicating that the DPRX does not implement a physical I²C bus or does not support I²C speed control), then a write to this register is ignored and a read returns 00h. Otherwise, bit values in this register are assigned to I²C speeds. 00000001b = 1Kbps. 00000010b = 5Kbps. 00000100b = 10Kbps. 00001000b = 100Kbps. 00010000b = 400Kbps. 00100000b = 1Mbps. 01000000b = RESERVED. 10000000b = RESERVED. On read, the DPRX returns a value with exactly one bit set to indicate the speed currently in use. On write, software provides a mask to limit the speeds to be enabled. The DPRX must use the slowest enabled speed. Note: <i>Software can select slowest capable speed by writing 1111111b.</i> If the result of the mask with the speed capabilities is 00000000b, then the DPRX selects the speed to be used according to an implementation-dependent algorithm.	

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link Configuration Field	
0010Ah	eDP_CONFIGURATION_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Read all 0s
	For non-eDP Sinks		
	7:0	RESERVED	
	For eDP Sinks		Write/Read
	0	ALTERNATE_SCRAMBLER_RESET_ENABLE See eDP v1.4.	
	1	RESERVED The FRAMING_CHANGE option for eDP has been deprecated.	Read all 0s
	6:2	RESERVED	
	7	PANEL_SELF_TEST_ENABLE Source sets to 1 to enable optional LCD Panel Self Test, as specified in eDP v1.4. Power-on default value = 0. Intended for use as a test mode only. Changing the value of this bit while the link is active may produce unpredictable results.	Write/Read
0010Bh	LINK_QUAL_LANE0_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect. The controls in this register supersede the controls in the TRAINING_PATTERN_SET register (DPCD Address 00102h).		Write/Read
	2:0	LINK_QUAL_PATTERN_SET 000 = Link quality test pattern not transmitted. 001 = D10.2 test pattern (unscrambled) transmitted (same as Link Training Pattern Sequence 1). 010 = Symbol Error Rate Measurement Pattern transmitted. 011 = PRBS7 transmitted. 100 = 80-bit custom pattern transmitted. 101 = CP2520 (HBR2 Compliance EYE pattern) transmitted. 110, 111 = RESERVED.	
	7:3	RESERVED	Read all 0s

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
0010Ch		LINK_QUAL_LANE1_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the LINK_QUAL_LANE0_SET register (DPCD Address 0010Bh), but for Lane 1.	Write/Read
0010Dh		LINK_QUAL_LANE2_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the LINK_QUAL_LANE0_SET register (DPCD Address 0010Bh), but for Lane 2.	Write/Read
0010Eh		LINK_QUAL_LANE3_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the LINK_QUAL_LANE0_SET register (DPCD Address 0010Bh), but for Lane 3.	Write/Read
0010Fh and 00110h		RESERVED (Deprecated Post Cursor2-related registers.)	Read all 0s

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00111h	MSTM_CTRL Must be cleared to 00h upon power-on reset or an upstream device disconnect. Takes effect only when the MST_CAP bit in the MSTM_CAP register (DPCD Address 00021h, bit 0) is set to 1.		Write/Read
	0	MST_EN 0 = UFP will transmit audio/visual data in Single Stream Format. 1 = UFP will transmit audio/visual data in Multi-Stream Format. The upstream device must not change the value of this bit while transmitting Audio/Video data and the behavior of the receiving port in these circumstances is implementation-dependent. A Multi-Stream-capable Sink, when rendering a single stream, may be configured into either Single Stream transport mode or Multi-Stream transport mode. The decision of which mode to use is up to the Source Policy Maker or upstream Branch device. MST format is forwarded by the Branching Unit of a downstream device to further downstream only if the DPTX sets the UP_REQ_EN bit (bit 1) to 1 to enable Message Transactions. It is because the MST transmission must always be preceded by Message Transactions for Topology Management and Virtual Channel establishment.	
	1	UP_REQ_EN 0 = Prohibits the Downstream DPRX from originating/forwarding an UP_REQ message transaction. 1 = Allows the Downstream DPRX to originating/forwarding an UP_REQ message transaction. The DPTX may set this bit to 1 without setting the MST_EN bit (bit 0), to transmit in SST transport format while playing the role of Topology Manager and Source Payload Bandwidth Manager. The DPTX may set this bit only when the Downstream DPRX has its MST_CAP bit in the MSTM_CAP register (DPCD Address 00021h, bit 0) set to 1. Setting this bit has no effect when the MST_CAP bit is cleared to 0. The DPTX must set this bit to 1 before initiating a down request message.	
	2	UPSTREAM_IS_SRC 0 = Upstream device is either a Source device predating DP Standard Ver.1.2 or a Branch device. 1 = Set to 1 by a DP Source device to indicate to the downstream device the presence of a Source device, not a Branch device.	
	7:3	RESERVED	Read all 0s

表2-156：DPCD链接配置字段中的地址映射（DPCD地址00100H至001FFH）（续）

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00112h	7:0	AUDIO_DELAY[7:0] Must be cleared to 00h upon power-on reset or an upstream device disconnect. AUDIO_DELAY is the additional delay in 1us granularity to be inserted by a Sink device. The Source must not program values that exceed the Sink device delay insertion capability reported in the AUD_DEL_INS[7:0], AUD_DEL_INS[15:8], and AUD_DEL_INS[23:16] fields in the AV_SYNC_DATA_BLOCK registers (DPCD Addresses 0002Bh through 0002Dh, respectively). Power reset default 0. Writing the audio delay value to the AUDIO_DELAY[7:0], AUDIO_DELAY[15:8], and AUDIO_DELAY[23:16] registers (DPCD Addresses 00112h through 00114h, respectively) may not have an effect when the Sink device’s AV_SYNC_CAP bit in the DPRX_FEATURE_ENUMERATION_LIST register (DPCD Address 02210h, bit 2) is cleared to 0.	Write/Read
00113h	7:0	AUDIO_DELAY[15:8] Must be cleared to 00h upon power-on reset or an upstream device disconnect.	Write/Read
00114h	7:0	AUDIO_DELAY[23:16] Must be cleared to 00h upon power-on reset or an upstream device disconnect.	Write/Read
00115h	LINK_RATE_SET and TX_GTC_CAPABILITY Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
	2:0	LINK_RATE_SET See eDP v1.4.	
	3	TX_GTC_CAP 0 = DPTX does not have the GTC capability. 1 = DPTX has the GTC capability.	Write/Read
	4	TX_GTC_SLAVE_CAP 0 = DPTX cannot operate as a GTC Slave. 1 = DPTX can operate as a GTC Slave.	
	7:5	RESERVED	Read all 0s
00116h	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others		
	RECEIVER ADVANCED LINK POWER MANAGEMENT CONFIGURATION See eDP v1.4.		
00117h	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others		
	SINK DEVICE AUX_FRAME_SYNC CONFIGURATION See eDP v1.4.		

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00118h	UPSTREAM_DEVICE_DP_PWR_NEED Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
	0	DP_PWR_NOT_NEEDED_BY_UPSTREAM_DEVICE 0 = The upstream device needs DP_PWR provided by DPRX device through DP_PWR connector pin for operation. 1 = The upstream device does not need DP_PWR provided by DPRX device through DP_PWR connector pin for operation. The DPRX device with Source Detect capability may disable DP_PWR. The DPRX device must re-enable DP_PWR upon Source Detect event.	
	7:1	RESERVED	Read all 0s
00119h	EXTENDED_DPRX_SLEEP_WAKE_TIMEOUT_GRANT Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
	0	DPRX_SLEEP_WAKE_TIMEOUT_PERIOD_GRANTED 0 = An upstream DP device has not granted the extended wake timeout period 1 = An upstream DP device has granted the wake timeout period requested by a downstream DP device at the EXTENDED_DPRX_SLEEP_WAKE_TIMEOUT_REQUEST register (DPCD Address 02211h).	
	7:1	RESERVED	Read all 0s
0011Ah through 0011Fh	RESERVED		Read all 0s

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00120h	FEC_CONFIGURATION New to <i>DP v1.4</i> .		RD/WR (Cleared to 00h at power-on reset and upstream device disconnect)
	0	FEC_READY 0 = Not ready. A DP Source device shall set this bit to 1 and initiate Link training before start FEC encoding. 1 = Ready. A DP Source may start FEC encoding without having to reinitiate Link Training.	
	3:1	FEC_ERROR_COUNT_SEL 000 = FEC_ERROR_COUNT_DIS. 001 = UNCORRECTED_BLOCK_ERROR_COUNT. 010 = CORRECTED_BLOCK_ERROR_COUNT. 011 = BIT_ERROR_COUNT. All other values are RESERVED.	
	5:4	LANE_SELECT 00 = Lane 0. 01 = Lane 1. 10 = Lane 2. 11 = Lane 3.	
	7:6	RESERVED	Read all 0s
00121h through 00125h	RESERVED (FAUX-related registers were deprecated.)		Read all 0s
00126h through 00153h	RESERVED		Read all 0s
00154h	TX_GTC_VALUE7:0 Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
00155h	TX_GTC_VALUE15:8 Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
00156h	TX_GTC_VALUE23:16 Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
00157h	TX_GTC_VALUE31:24 Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00158h	RX_GTC_VALUE_PHASE_SKEW_EN Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
	0	RX_GTC_VALUE_PHASE_SKEW_EN 0 = DPRX resets its GTC value to the received TX_GTC_VALUE (TX_GTC_VALUE7:0, TX_GTC_VALUE15:8, TX_GTC_VALUE23:16, and TX_GTC_VALUE31:24 registers (DPCD Addresses 00154h through 00157h, respectively)) and uses the delta between its GTC value and the received TX_GTC_VALUE to frequency adjust its GTC value. 1 = DPRX resets its GTC value to the received TX_GTC_VALUE, but does NOT use the delta between its GTC value and the received TX_GTC_VALUE to frequency adjust its GTC value; in other words, the TX_GTC_VALUE is used only for GTC value phase adjust only. Used only when the DPTX is the GTC Master.	
	7:1	RESERVED	Read all 0s
00159h	TX_GTC_FREQ_LOCK_DONE Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
	0	TX_GTC_FREQ_LOCK_DONE 0 = DPTX has not realized the GTC_FREQ_LOCK_DONE. 1 = DPTX has realized the GTC_FREQ_LOCK_DONE. Used only when the DPRX is the GTC Master.	
	7:1	RESERVED	Read all 0s
0015Ah	TX_GTC_PHASE_SKEW_OFFSET7:0 Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
0015Bh	TX_GTC_PHASE_SKEW_OFFSET15:8 Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
0015Ch through 0015Fh	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others.		
	AUX_FRAME_SYNC VALUE See <i>eDP v1.4</i> .		

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
00160h	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3		
	eDP Compression-related Functions See eDP v1.4.		
00160h	For DPCD r1.4 when used with DP v1.4 (and higher)		Read/Write
	DSC ENABLE New to DP v1.4.		
	0	Decompression Enable 0 = Decompression is not enabled. 1 = Decompression is enabled.	
	7:1	RESERVED	Read all 0s
00161h through 0016Fh	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others		
	eDP Compression-related Functions See eDP v1.4.		
00170h	For DPCD r1.3 (eDP v1.4 DPRX) only; RESERVED for others		
	PANEL SELF REFRESH ENABLE AND CONFIGURATION See eDP v1.4		
00171h through 0019Fh	RESERVED		Read all 0s
001A0h	ADAPTOR_CTRL Must be cleared to 00h upon power-on reset or an upstream device disconnect. Control of Branch devices that adapt to legacy video transports. Takes effect only when the ADAPTOR_CAP register (DPCD Address 0000Fh) is programmed to 3h.		Write/Read
	0	FORCE_LOAD_SENSE Prompts the DP-to-Legacy Converter device to sense the presence of a legacy Sink device.	
	7:1	RESERVED	Read all 0s

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
001A1h	BRANCH_DEVICE_CTRL Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read
	0	Hot Plug/Hot Unplug Event Notification Type 0 = HPD Long Pulse used for upstream notification (default). 1 = IRQ_HPDP used for upstream notification. The Source device must set this bit to 1 to enable the Branch device to use IRQ_HPDP for upstream notification of a downstream plug/unplug event, if the UP_REQ_EN bit in the MSTM_CTRL register (DPCD Address 00111h, bit 1) is cleared to 0. If the Branch device's UP_REQ_EN bit is set to 1, then the Plug/Unplug Event Notification Type control bit is "don't care" (CONNECTION_STATUS_NOTIFY messages are used). HDCP-enabled devices, see HDCP Specification for additional information related to plug/unplug event handling.	
	7:1	RESERVED	Read all 0s
001A2h through 001BFh	RESERVED		Read all 0s
001C0h	PAYLOAD_ALLOCATE_SET Must be cleared to 00h upon power-on reset or an upstream device disconnect. Writing 00h, 00h, and 3Fh to DPCD Addresses 001C0h, 001C1h, and 001C2h, respectively, clears the entire VC Payload ID table. The DPRX, upon this, immediately ignores the incoming VC Payloads (if any) without waiting or ACT on the Main-Link. Takes effect only when the MST_CAP bit in the MSTM_CAP register (DPCD Address 00021h, bit 0) is set to 1.		Write/Read
	6:0	VC Payload ID to Be Allocated ID of 0 indicates that the time slots are unallocated.	
	7	RESERVED	Read 0
001C1h	PAYLOAD_ALLOCATE_START_TIME_SLOT Must be cleared to 00h upon power-on reset or an upstream device disconnect. Takes effect only when the MST_CAP bit in the MSTM_CAP register (DPCD Address 00021h, bit 0) is set to 1.		Write/Read
	5:0	Starting Time Slot of VC Payload ID in DPCD Address 002C0h	
	7:6	RESERVED	Read all 0s

表2-156: DPCD链接配置字段中的地址映射 (DPCD地址00100H至001FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link Configuration Field	
001C2h	PAYLOAD_ALLOCATE_TIME_SLOT_COUNT Must be cleared to 00h upon power-on reset or an upstream device disconnect. Takes effect only when the MST_CAP bit in the MSTM_CAP register (DPCD Address 00021h, bit 0) is set to 1.		Write/Read
	5:0	Time Slot Count of VC Payload ID in DPCD Address 002C0h	
	7:6	RESERVED	Read all 0s
001C3h through 001FFh	RESERVED		Read all 0s

表2-157：DPCD链接/接收器设备状态字段中的地址映射（DPCD地址00200H至002FFH）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
Note: DPRX with DPCD Rev. 1.2 or higher must have the same Link/Sink Device Status field registers at DPCD Addresses 00200h through 00205h to the corresponding DPRX Event Status Indicator registers at DPCD Addresses 02002h through 0200Fh. Clearable/Read Only (CRO) bit is cleared in both address ranges when an upstream device clears the bit in one of the ranges.			
00200h (and 02002h)	SINK_COUNT Sink device count.		Read Only
	7, 5:0	SINK_COUNT Total number of the Sink devices within this device and those connected to the DFPs of this device. Note: A Branch device must add up the Rendering Function counts read from all of its DFPs. It must add one more if it has a local Rendering Function.	
	6	CP_READY Set to 1 when all of the Sink devices (local Sink device and those connected to its DFPs) are CP-capable. This bit is set at the conclusion of Content Protection Authentication as, and if, required by the appropriate Content Protection specification. Notes: The Source device transmits content that requires content protection only when all the Branch and Sink devices in the link are CP-ready except for Repeater devices. (A Repeater device is not required to perform a decryption/encryption operation, and therefore is not required to be CP-ready.) HDCP Version 1.3 Amendment for DisplayPort does not use this bit.	

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00201h (and 02003h)	DEVICE_SERVICE_IRQ_VECTOR		Write 1 to Clear/Read The Sink clears each bit when the Source writes 1 to the specific bit position via an AUX CH write transaction. The Source may write 1 in multiple bit positions in a single transaction.
	0	RESERVED (FOR FUTURE) REMOTE_CONTROL_COMMAND_PENDING For DP devices that support Sideband MSG handling (MST_CAP bit in the MSTM_CAP register (DPCD Address 00021h, bit 0) is set to 1), a Sink Event (e.g., a remote control command pending) must be handled as a message transaction.	
	Bit 1 definition is DPCD revision-dependent. For DPCD r1.0 through DPCD r1.2 and DPCD r1.4 (Bit 1)		
	1	AUTOMATED_TEST_REQUEST 1 = Source device must read DPCD Addresses 00218h through 002BFh for the requested link test.	
	For DPCD r1.3 (Bit 1, applicable to eDP v1.4 DPRX only)		
	1	TOUCH_INTERRUPT See eDP v1.4.	
	Definitions of Bits 7:2 are not DPCD revision-dependent		Write 1 to Clear/Read The Sink clears each bit when the Source writes 1 to the specific bit position via an AUX CH write transaction. The Source may write 1 in multiple bit positions in a single transaction.
	2	CP_IRQ This bit is used by an optional content protection system.	
	3	MCCS_IRQ This bit is used by an optional MCCS system in the Sink device.	
	4	DOWN_REP_MSG_RDY 1 = Source device must read the DOWN_REP_MSG from the DOWN_REP_MSG DPCD locations and process the Sideband MSG.	
	5	UP_REQ_MSG_RDY 1 = Source device must read the UP_REQ_MSG from the UP_REQ_MSG DPCD locations and process the Sideband MSG.	
	6	SINK_SPECIFIC_IRQ Usage is vendor-specific.	
	7	RESERVED	

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00202h (and 0200Ch)	LANE0_1_STATUS Lane 0 and Lane 1 Status.		Read Only
	0	LANE0_CR_DONE	
	1	LANE0_CHANNEL_EQ_DONE	
	2	LANE0_SYMBOL_LOCKED	
	3	RESERVED	Read 0
	4	LANE1_CR_DONE	Read Only
	5	LANE1_CHANNEL_EQ_DONE	
	6	LANE1_SYMBOL_LOCKED	Read 0
	7	RESERVED	
00203h (and 0200Dh)	LANE2_3_STATUS Bit definition is identical to that of the LANE0_1_STATUS register (DPCD Address 00202h), but for Lanes 2 and 3.		Read Only
00204h (and 0200Eh)	LANE_ALIGN_STATUS_UPDATED		Read Only
	0	INTERLANE_ALIGN_DONE	
	1	POST_LT_ADJ_REQ_IN_PROGRESS 1 = DPRX is conducting POST_LT_ADJ_REQ. Valid only for a DPRX that sets the POST_LT_ADJ_REQ_SUPPORTED bit in the MAX_LANE_COUNT register (DPCD Address 00002h, bit 5) is set and after a DPTX grants the procedure by setting the POST_LT_ADJ_REQ_GRANTED bit in the LANE_COUNT_SET register (DPCD Address 00101h, bit 5).	
	5:2	RESERVED	Read all 0s
	6	DOWNSTREAM_PORT_STATUS_CHANGED Set in a Branch device when it detects a change in the connection status of any of its DFPs.	Read Only
	7	LINK_STATUS_UPDATED Link Status and Adjust Request updated since the last read. Set when updated and cleared after read.	

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00205h (and 0200Fh)	SINK_STATUS The Sink device must set bits 1:0 as soon as it determines that the corresponding received stream is properly re-generated and within the supported stream format range. The Sink device must clear bits 1:0 as soon as it determines that the corresponding received stream is no longer being properly re-generated or within the supported stream format range.		Read Only
	0	RECEIVE_PORT_0_STATUS 0 = Sink device is out of synchronization. 1 = Sink device is in synchronization.	
	1	RECEIVE_PORT_1_STATUS 0 = Sink device is out of synchronization. 1 = Sink device is in synchronization.	
	7:2	RESERVED	Read all 0s

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00206h	ADJUST_REQUEST_LANE0_1 Voltage Swing and Equalization Setting Adjust Request for Lanes 0 and 1. When this register is read and found to have changed from a previous read, both during Link Training (including the POST_LT_ADJ_REQ phase) and automated PHY Layer testing, the DPTX shall write the voltage swing and pre-emphasis level requested by this register to the TRAINING_LANE _x _SET register(s) (DPCD Address(es) 00103h through 00106h).		Read Only
	1:0	VOLTAGE_SWING_LANE0 00 = Level 0 01 = Level 1 10 = Level 2 11 = Level 3	
	3:2	PRE-EMPHASIS_LANE0 00 = Level 0 01 = Level 1 10 = Level 2 11 = Level 3	
	5:4	VOLTAGE_SWING_LANE1 00 = Level 0 01 = Level 1 10 = Level 2 11 = Level 3	
	7:6	PRE-EMPHASIS_LANE1 00 = Level 0 01 = Level 1 10 = Level 2 11 = Level 3	
00207h	ADJUST_REQUEST_LANE2_3 Bit definition is identical to that of the ADJUST_REQUEST_LANE0_1 register (DPCD Address 00206h), but for Lanes 2 and 3.		Read Only
00208h	TRAINING_SCORE_LANE0 Usage is Sink device implementation-specific.		Read Only
00209h	TRAINING_SCORE_LANE1 Usage is Sink device implementation-specific.		Read Only
0020Ah	TRAINING_SCORE_LANE2 Usage is Sink device implementation-specific.		Read Only

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
0020Bh	TRAINING_SCORE_LANE3 Usage is Sink device implementation-specific.		Read Only
0020Ch	RESERVED (Deprecated Post Cursor2-related register.)		Read all 0s
0020Dh and 0020Eh	RESERVED (Deprecated FAUX-related register.)		Read all 0s
0020Fh and 0200Dh	For eDP Compression-related Function for DPCD r1.3 (eDP v1.4 DPRX); RESERVED for DPCD r1.2 (and lower); RESERVED for DPCD r1.4 when used with DP v1.3		
	DSC STATUS See <i>eDP v1.4</i> .		
0020Fh and 02011h	For DPCD r1.4 when used with DP v1.4 (and higher)		Read/Write
	DSC STATUS New to <i>DP v1.4</i> .		
	0	RC Buffer Under-run 0 = No error. 1 = Buffer under-run. Sticky until cleared by a write of 1.	
	1	RC Buffer Overflow 0 = No error. 1 = Buffer overflow. Sticky until cleared by a write of 1.	
	2	Chunk Length Error 0 = No error. 1 = Chunk Length error. Sticky until cleared by a write of 1.	
	7:3	RESERVED	Read all 0s

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00210h and 00211h	SYMBOL_ERROR_COUNT_LANE0	15-bit value storing the symbol error count of Lane 0: - DPCD Address 00210h, bits 7:0 = Error Count Bits 7:0 - DPCD Address 00211h, bits 6:0 = Error Count Bits 14:8 DPCD Address 00211h, bit 7 = Error count valid. - Set to 1 when the error count value is valid For Symbol Error Rate Measurement (repetition of scrambled 00h before ANSI 8b/10b encoding): - Measures the number of mismatched symbols For PRBS7 pattern: - Measures the number of mismatched bits For CP2520 (HBR2 Compliance EYE pattern; repetition of scrambled 00h before ANSI 8b/10b encoding): - Measures the number of mismatched symbols When no test pattern is being transmitted (normal operation): - Measures the number of illegal symbols or disparity errors as controlled by the SYMBOL_ERROR_COUNT_SEL field in the TRAINING_PATTERN_SET register (DPCD Address 00102h, bits 7:6) The 15-bit value is cleared upon an AUX CH read by the transmitter. When the symbol error count exceeds $2^{15} - 1 (= 32,767)$, the value must be kept at $2^{15} - 1$, instead of wrapping around.	Read Only

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00212h and 00213h	SYMBOL_ERROR_COUNT_LANE1 15-bit value storing the symbol error count of Lane 1: - DPCD Address 00212h, bits 7:0 = Error Count Bits 7:0 - DPCD Address 00213h, bits 6:0 = Error Count Bits 14:8 DPCD Address 00213h, bit 7 = Error count valid. - Set to 1 when the error count value is valid For Symbol Error Rate Measurement (repetition of scrambled 00h before ANSI 8b/10b encoding): - Measures the number of mismatched symbols For PRBS7 pattern: - Measures the number of mismatched bits For CP2520 (HBR2 Compliance EYE pattern; repetition of scrambled 00h before ANSI 8b/10b encoding): - Measures the number of mismatched symbols When no test pattern is being transmitted (normal operation): - Measures the number of illegal symbols or disparity errors as controlled by the SYMBOL_ERROR_COUNT_SEL field in the TRAINING_PATTERN_SET register (DPCD Address 00102h, bits 7:6) The 15-bit value is cleared upon an AUX CH read by a transmitter When the symbol error count exceeds $2^{15} - 1$ (= 32,767), the value must be kept at $2^{15} - 1$, instead of wrapping around.		Read Only

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00214h and 00215h	SYMBOL_ERROR_COUNT_LANE2	15-bit value storing the symbol error count of Lane 2: - DPCD Address 00214h, bits 7:0 = Error Count Bits 7:0 - DPCD Address 00215h, bits 6:0 = Error Count Bits 14:8 DPCD Address 00215h, bit 7 = Error count valid. - Set to 1 when the error count value is valid. For Symbol Error Rate Measurement (repetition of scrambled 00h before ANSI 8b/10b encoding): - Measures the number of mismatched symbols For PRBS7 pattern: - Measures the number of mismatched bits For CP2520 (HBR2 Compliance EYE pattern; repetition of scrambled 00h before ANSI 8b/10b encoding): - Measures the number of mismatched symbols When no test pattern is being transmitted (normal operation): - Measures the number of illegal symbols or disparity errors as controlled by the SYMBOL_ERROR_COUNT_SEL field in the TRAINING_PATTERN_SET register (DPCD Address 00102h, bits 7:6) The 15-bit value is cleared upon an AUX CH read by a transmitter. When the symbol error count exceeds $2^{15} - 1$ (= 32,767), the value must be kept at $2^{15} - 1$, instead of wrapping around.	Read Only

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00216h and 00217h	SYMBOL_ERROR_COUNT_LANE3	15-bit value storing the symbol error count of Lane 3: - DPCD Address 00216h, bits 7:0 = Error Count Bits 7:0 - DPCD Address 00217h, bits 6:0 = Error Count Bits 14:8 DPCD Address 00217h = Error count valid. - Set to 1 when the error count value is valid For Symbol Error Rate Measurement (repetition of scrambled 00h before ANSI 8b/10b encoding): - Measures the number of mismatched symbols For PRBS7 pattern: - Measures the number of mismatched bits For CP2520 (HBR2 Compliance EYE pattern; repetition of scrambled 00h before ANSI 8b/10b encoding): - Measures the number of mismatched symbols When no test pattern is being transmitted (normal operation): - Measures the number of illegal symbols or disparity errors as controlled by the SYMBOL_ERROR_COUNT_SEL field in the TRAINING_PATTERN_SET register (DPCD Address 00102h, bits 7:6) The 15-bit value is cleared upon an AUX CH read by a transmitter. When the symbol error count exceeds $2^{15} - 1$ (= 32,767), the value must be kept at $2^{15} - 1$, instead of wrapping around.	Read Only

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
Note: DPCD Addresses 00218h through 002BFh comprise the Automated Testing sub-field. Use of this sub-field is optional; however, support is recommended, because the automation facilitates a test process.			
00218h	TEST_REQUEST Test requested by the Sink device. All other values are RESERVED.		Read Only
	0	TEST_LINK_TRAINING 0 = No link training test is requested. 1 = Link training test is requested. See the TEST_LINK_RATE register (DPCD Address 00219h) and the TEST_LANE_COUNT field in the TEST_LANE_COUNT register (DPCD Address 00220h, bits 4:0) for link rate and link width requested, respectively.	
	1	TEST_PATTERN 0 = No test pattern is requested. 1 = Test pattern is requested.	
	2	TEST_EDID_READ 0 = No EDID read test is requested. 1 = EDID read test is requested. Checksum of the last EDID block read is written to the TEST_EDID_CHECKSUM register (DPCD Address 00249h). The source will also send a color square test pattern.	
	3	PHY_TEST_PATTERN 1 = Requests the PHY test pattern as specified in the PHY_TEST_PATTERN register (DPCD Address 00248h).	
	7:4	RESERVED (Bit 4 is a deprecated FAUX-related bit.)	
	00219h	TEST_LINK_RATE	
7:0		TEST_LINK_RATE 06h = 1.62Gbps/lane 0Ah = 2.7Gbps/lane 14h = 5.4Gbps/lane 1Eh = 8.1Gbps/lane Use of other link rate values for testing are implementation-specific.	
0021Ah through 0021Fh	RESERVED		Read all 0s

表2-157：DPCD链接/接收器设备状态字段中的地址映射（DPCD地址00200H至002FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00220h	TEST_LANE_COUNT		Read Only
	4:0	TEST_LANE_COUNT 01h = One lane 02h = Two lanes 04h = Four lanes All other values are RESERVED.	
	7:5	RESERVED	Read all 0s
00221h	TEST_PATTERN Test pattern requested by the Sink device. 00h = No test pattern transmitted 01h = Color ramps 02h = Black and white vertical lines 03h = Color square All other values are RESERVED.		Read Only
00222h and 00223h	TEST_H_TOTAL Horizontal total of transmitted video stream, in pixel count.		Read Only
	00222h 7:0	TEST_H_TOTAL Bits 15:8	
	00223h 7:0	TEST_H_TOTAL Bits 7:0	
00224h and 00225h	TEST_V_TOTAL Vertical total of transmitted video stream, in line count.		Read Only
	00224h 7:0	TEST_V_TOTAL Bits 15:8	
	00225h 7:0	TEST_V_TOTAL Bits 7:0	
00226h and 00227h	TEST_H_START Horizontal active start from Hsync start, in pixel count.		Read Only
	00226h 7:0	TEST_H_START Bits 15:8	
	00227h 7:0	TEST_H_START Bits 7:0	

表2-157：DPCD链接/接收器设备状态字段中的地址映射（DPCD地址00200H至002FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00228h and 00229h	TEST_V_START Vertical active start from Vsync start, in line count.		Read Only
	00228h 7:0	TEST_V_START Bits 15:8	
	00229h 7:0	TEST_V_START Bits 7:0	
0022Ah and 0022Bh	TEST_HSYNC Hsync polarity and width, in pixel count.		Read Only
	0022Ah 7	TEST_HSYNC_POLARITY	
	0022Ah 6:0	TEST_HSYNC_WIDTH Bits 14:8	
	0022Bh 7:0	TEST_HSYNC_WIDTH Bits 7:0	
0022Ch and 0022Dh	TEST_VSYNC Vsync polarity and width, in line count.		Read Only
	0022Ch 7	TEST_VSYNC_POLARITY	
	0022Ch 6:0	TEST_VSYNC_WIDTH Bits 14:8	
	0022Dh 7:0	TEST_VSYNC_WIDTH Bits 7:0	
0022Eh and 0022Fh	TEST_H_WIDTH Horizontal active video width, in pixel count (e.g., 400h = 1024 active).		Read Only
	0022Eh 7:0	TEST_H_WIDTH Bits 15:8	
	0022Fh 7:0	TEST_H_WIDTH Bits 7:0	
00230h and 00231h	TEST_V_HEIGHT Vertical active video height, in line count (e.g., 300h = 768 active).		Read Only
	00230h 7:0	TEST_V_HEIGHT Bits 15:8	
	00231h 7:0	TEST_V_HEIGHT Bits 7:0	

表2-157：DPCD链接/接收器设备状态字段中的地址映射（DPCD地址00200H至002FFH）（续）

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00232h and 00233h	TEST_MISC Note: DPCD Address 00232h, bits 7:0, are the same definition as the MISC0 field in the Main Stream Attribute data. (See Table 2-94.)		Read Only
	00232h 0	TEST_SYNCHRONOUS_CLOCK 0 = Link clock and stream clock are asynchronous. 1 = Link clock and stream clock are synchronous.	
	00232h 2:1	TEST_COLOR_FORMAT 00 = RGB. 01 = YCbCr 4:2:2. 10 = YCbCr 4:4:4. 11 = RESERVED.	
	00232h 3	TEST_DYNAMIC_RANGE 0 = VESA range (from 0 to the maximum). 1 = CEA range (as defined in <i>CEA-861-F</i> , Section 5).	
	00232h 4	TEST_YCBCR_COEFFICIENTS 0 = ITU601. 1 = ITU709.	
	00232h 7:5	TEST_BIT_DEPTH Bits per component. 000 = 6 bits. 001 = 8 bits. 010 = 10 bits. 011 = 12 bits. 100 = 16 bits. All other values are RESERVED.	
	00233h 0	TEST_REFRESH_DENOMINATOR 0 = 1 1 = 1.001	
	00233h 1	TEST_INTERLACED 0 = Non-interlaced 1 = Interlaced	
	00233h 7:2	RESERVED	Read all 0s

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00234h	TEST_REFRESH_RATE_NUMERATOR Indicates the refresh rate requested by the Sink device (e.g. 60 = 60Hz numerator). Refresh rate = TEST_REFRESH_RATE_NUMERATOR / TEST_REFRESH_DENOMINATOR. (See TEST_REFRESH_DENOMINATOR bit in the TEST_MISC register (DPCD Address 00233h, bit 0).)		Read Only
00235h through 0023Fh	RESERVED For test automation extensions.		Read all 0s
00240h and 00241h	TEST_CRC_R_Cr Stores the 16-bit CRC value of the R or Cr component. <i>Note: This field is also used for CRC reporting as part of the Panel Self Refresh (PSR) specification defined in eDP Standard (version 1.3 and above).</i>		Read Only
	00240h 7:0	CRC Value Bits 7:0	
	00241h 7:0	CRC Value Bits 15:8	
00242h and 00243h	TEST_CRC_G_Y Stores the 16-bit CRC value of the G or Y component. <i>Note: This field is also used for CRC reporting as part of the PSR specification defined in eDP Standard (version 1.3 and above).</i>		Read Only
	00242h 7:0	CRC Value Bits 7:0	
	00243h 7:0	CRC Value Bits 15:8	
00244h and 00245h	TEST_CRC_B_Cb Stores the 16-bit CRC value of the B or Cb component. <i>Note: This field is also used for CRC reporting as part of the PSR specification defined in eDP Standard (version 1.3 and above).</i>		Read Only
	00244h 7:0	CRC Value Bits 7:0	
	00245h 7:0	CRC Value Bits 15:8	

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00246h	TEST_SINK_MISC		Read Only
	3:0	TEST_CRC_COUNT 4-bit wrap counter that increments each time the TEST_CRCx_x registers are updated. Reset to 0 when the TEST_SINK_START bit in the TEST_SINK register (DPCD Address 00270h, bit 0) is 0.	
	4	RESERVED	Read 0
	5	TEST_CRC_SUPPORTED 0 = Sink device does not support CRC. 1 = Sink device supports CRC.	Read Only
	7:6	RESERVED	Read all 0s
00247h	RESERVED For test automation extensions.		Read all 0s
00248h	PHY_TEST_PATTERN		Read Only
	2:0	PHY_TEST_PATTERN_SEL 000 = No test pattern selected 001 = D10.2 without scrambling 010 = Symbol_Error_Measurement_Count 011 = PRBS7 100 = 80-bit custom pattern transmitted 101 = CP2520 (HBR2 Compliance EYE pattern) 110, 111 = RESERVED	
	7:3	RESERVED <i>Note: Values in the ADJUST_REQUEST_LANE_{x,y} register(s) (DPCD Address(es) 00206h and 00207h) specify the requested voltage swing and pre-emphasis level.</i>	Read all 0s
00249h	For DPCD r1.0 and r1.1		Read all 0s
	RESERVED		
	For DPCD r1.2 (and higher)		
	RESERVED (FAUX-related register deprecated.)		

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
0024Ah and 0024Bh	For DPCD r1.0 and r1.1		Read all 0s
	RESERVED		
	For DPCD r1.2 (and higher)		Read Only
	HBR2_COMPLIANCE_SCRAMBLER_RESET Count of number of scrambled 0 symbols to be output for every Enhanced Framing Scrambler Reset sequence (SR BF BF SR). Count includes the reset sequence. Value less than four causes scrambled 0 symbols to be output with no scrambler reset sequence.		
	0024Ah 7:0	HBR2_COMPLIANCE_SCRAMBLER_RESET Value Bits 7:0	
	0024Bh 7:0	HBR2_COMPLIANCE_SCRAMBLER_RESET Value Bits 15:8	
0024Ch through 0024Fh	RESERVED For test automation extensions.		Read all 0s
00250h through 00259h	TEST_80BIT_CUSTOM_PATTERN Stores the 80-bit custom pattern for Source device compliance measurements (LSB sent first).		Read Only
	00250h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 7:0	
	00251h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 15:8	
	00252h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 23:16	
	00253h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 31:24	
	00254h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 39:32	
	00255h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 47:40	
	00256h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 55:48	
	00257h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 63:56	
	00258h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 71:64	
	00259h 7:0	TEST_80BIT_CUSTOM_PATTERN Value Bits 79:72	

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
0025Ah	CONTINUOUS_80BIT_PATTERN_FROM DPRX_AUX_CH_CAPABILITY		Read Only
	0	CONTINUOUS_80BIT_PATTERN_FROM DPRX_AUX_CH_CAP 0 = Not supported 1 = Supported	
	7:1	RESERVED	Read all 0s
0025Bh	CONTINUOUS_80BIT_PATTERN_FROM DPRX_AUX_CH_CTRL		Read/Write
	0	CONTINUOUS_80BIT_PATTERN_FROM DPRX_AUX_CH_EN The DPRX must clear this bit when either of the following occurs: - Duration expiration –or– - Detection of an upstream DP device disconnect 0 = Disable the continuous transmission of the 80-bit pattern programmed at the TEST_80BIT_CUSTOM_PATTERN register (DPCD Addresses 00250h and 00259h) 1 = Enable the continuous transmission of the 80-bit pattern programmed at the TEST_80BIT_CUSTOM_PATTERN register While the transmission is enabled, AUX transactions over AUX CH are unavailable.	
	2:1	DURATION_CTRL 00 = 15 seconds 01 = 30 seconds 10 = 60 seconds 11 = 120 seconds	
	7:3	RESERVED	Read all 0s
0025Ch through 0025Fh	RESERVED For test automation extensions.		Read all 0s

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00260h	TEST_RESPONSE		Write/Read
	0	TEST_ACK 0 = Writing 0 has no effect on the TEST_REQ state. 1 = Positive acknowledgement of the TEST_REQ. Clears the TEST_REQ interrupt flag and indicates to the Sink device that the Source device has started the requested test mode.	
	1	TEST_NAK 0 = Writing 0 has no effect on the TEST_REQ state. 1 = Negative acknowledgement of the TEST_REQ. Clears the TEST_REQ interrupt flag and indicates to the Sink device that the Source device will not start the requested test mode.	
	2	TEST_EDID_CHECKSUM_WRITE 0 = No EDID checksum write to the TEST_EDID_CHECKSUM register (DPCD Address 00261h). 1 = EDID checksum has been written to the TEST_EDID_CHECKSUM register.	
	7:3	RESERVED	Read all 0s
00261h	TEST_EDID_CHECKSUM In TEST_EDID mode, the checksum of the last EDID block that was read is written here.		Write/Read
00262h	RESERVED (FAUX-related register deprecated.)		Read all 0s
00263h through 0026Fh	RESERVED For test automation extensions.		Read all 0s

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00270h	TEST_SINK		Write/Read
	0	TEST_SINK_START 0 = Stop calculating CRC on the next frame 1 = Start calculating CRC on the next frame <i>Note: The CRC calculation is performed on the entire frame. A 16-bit CRC is generated per component, based on the following polynomial: $f(x) = x^{16} + x^{15} + x^2 + 1$ The CRC calculation is only performed on active pixels. The msb is shifted in first. For any color format that is less than 16 bits per component, the lsb is zero-padded. Appendix J contains an example implementation.</i>	
	3:1	RESERVED	Read all 0s
	5:4	PHY_SINK_TEST_LANE_SEL When the PHY_SINK_TEST_LANE_EN bit (bit 7) is set to 1 (i.e., only one lane is enabled for jitter tolerance tests), this field indicates which lane is enabled. 00 = Lane 0 01 = Lane 1 10 = Lane 2 11 = Lane 3	Write/Read
	6	RESERVED	Read 0
	7	PHY_SINK_TEST_LANE_EN 1 = A specific lane on the Sink device is tested for crosstalk, with other lanes receiving a “clock” pattern at approximately half the bit rate. In this mode, the receiver accumulates error counts for the enabled lane in: • SYMBOL_ERROR_COUNT_LANE0 register (DPCD Addresses 00210h and 00211h) for Lane 0 • SYMBOL_ERROR_COUNT_LANE1 register (DPCD Addresses 00212h and 00213h) for Lane 1 • SYMBOL_ERROR_COUNT_LANE2 register (DPCD Addresses 00214h and 00215h) for Lane 2 • SYMBOL_ERROR_COUNT_LANE3 register (DPCD Addresses 00216h and 00217h) for Lane 3 Sink device treatment of the other lanes is implementation-dependent.	Write/Read

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00271h	TEST_AUDIO_MODE		Read Only
	3:0	TEST_AUDIO_SAMPLING_RATE 0000 = 32kHz. 0001 = 44.1kHz. 0010 = 48kHz. 0011 = 88.2kHz. 0100 = 96kHz. 0101 = 176.4kHz. 0110 = 192kHz. All other values are RESERVED.	
	7:4	TEST_AUDIO_CHANNEL_COUNT 0000 = 1 Channel. 0001 = 2 Channels. 0010 = 3 Channels. 0011 = 4 Channels. 0100 = 5 Channels. 0101 = 6 Channels. 0110 = 7 Channels. 0111 = 8 Channels. All other values are RESERVED.	
00272h	TEST_AUDIO_PATTERN_TYPE Audio test pattern requested by the reference Sink device.		Read Only
	7:0	TEST_AUDIO_PATTERN 00h = Operator-defined. 01h = Sawtooth Pattern. All other values are RESERVED.	

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00273h	TEST_AUDIO_PERIOD_CH_1 Indicates period of test pattern for Channel 1 in audio samples.		Read Only
	3:0	TEST_AUDIO_PERIOD_CH1 0000 = Unused. 0001 = 3 Samples. 0010 = 6 Samples. 0011 = 12 Samples. 0100 = 24 Samples. 0101 = 48 Samples. 0110 = 96 Samples. 0111 = 192 Samples. 1000 = 384 Samples. 1001 = 768 Samples. 1010 = 1536 Samples. All other values are RESERVED.	
	7:4	RESERVED	Read all 0s
00274h	TEST_AUDIO_PERIOD_CH_2 Indicates period of test pattern for Channel 2 in audio samples.		Read Only
	3:0	TEST_AUDIO_PERIOD_CH2 Bit definition is identical to that of the TEST_AUDIO_PERIOD_CH1 field in the TEST_AUDIO_PERIOD_CH_1 register (DPCD Address 00273h, bits 3:0), but for Channel 2.	
	7:4	RESERVED	Read all 0s
00275h	TEST_AUDIO_PERIOD_CH_3 Indicates period of test pattern for Channel 3 in audio samples.		Read Only
	3:0	TEST_AUDIO_PERIOD_CH3 Bit definition is identical to that of the TEST_AUDIO_PERIOD_CH1 field in the TEST_AUDIO_PERIOD_CH_1 register (DPCD Address 00273h, bits 3:0), but for Channel 3.	
	7:4	RESERVED	Read all 0s
00276h	TEST_AUDIO_PERIOD_CH_4 Indicates period of test pattern for Channel 4 in audio samples.		Read Only
	3:0	TEST_AUDIO_PERIOD_CH4 Bit definition is identical to that of the TEST_AUDIO_PERIOD_CH1 field in the TEST_AUDIO_PERIOD_CH_1 register (DPCD Address 00273h, bits 3:0), but for Channel 4.	
	7:4	RESERVED	Read all 0s

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00277h	TEST_AUDIO_PERIOD_CH_5 Indicates period of test pattern for Channel 5 in audio samples.		Read Only
	3:0	TEST_AUDIO_PERIOD_CH5 Bit definition is identical to that of the TEST_AUDIO_PERIOD_CH1 field in the TEST_AUDIO_PERIOD_CH_1 register (DPCD Address 00273h, bits 3:0), but for Channel 5.	
	7:4	RESERVED	Read all 0s
00278h	TEST_AUDIO_PERIOD_CH_6 Indicates period of test pattern for Channel 6 in audio samples.		Read Only
	3:0	TEST_AUDIO_PERIOD_CH6 Bit definition is identical to that of the TEST_AUDIO_PERIOD_CH1 field in the TEST_AUDIO_PERIOD_CH_1 register (DPCD Address 00273h, bits 3:0), but for Channel 6.	
	7:4	RESERVED	Read all 0s
00279h	TEST_AUDIO_PERIOD_CH_7 Indicates period of test pattern for Channel 7 in audio samples.		Read Only
	3:0	TEST_AUDIO_PERIOD_CH7 Bit definition is identical to that of the TEST_AUDIO_PERIOD_CH1 field in the TEST_AUDIO_PERIOD_CH_1 register (DPCD Address 00273h, bits 3:0), but for Channel 7.	
	7:4	RESERVED	Read all 0s
0027Ah	TEST_AUDIO_PERIOD_CH_8 Indicates period of test pattern for Channel 8 in audio samples.		Read Only
	3:0	TEST_AUDIO_PERIOD_CH8 Bit definition is identical to that of the TEST_AUDIO_PERIOD_CH1 field in the TEST_AUDIO_PERIOD_CH_1 register (DPCD Address 00273h, bits 3:0), but for Channel 8.	
	7:4	RESERVED	Read all 0s
0027Bh through 0027Fh	RESERVED		Read all 0s

表2-157: DPCD链接/接收器设备状态字段中的地址映射 (DPCD地址00200H至002FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Status Field	
00280h	FEC_STATUS New to <i>DP v1.4</i> .		Clearable Read Only (Write 1 to clear the set bit)
	0	FEC_DECODE_EN_DETECTED 0 = Not detected. 1 = Detected.	
	1	FEC_DECODE_DIS_DETECTED 0 = Not detected. 1 = Detected.	
	7:2	RESERVED	Read all 0s
00281h	FEC_ERROR_COUNT0 New to <i>DP v1.4</i> .		Read Only
	7:0	FEC_ERROR_COUNT7:0 Least significant eight bits of the 15-bit error count.	
00282h	FEC_ERROR_COUNT1 New to <i>DP v1.4</i> .		Read Only
	6:0	FEC_ERROR_COUNT14:8 Most significant seven bits of the 15-bit error count.	
	7	FEC_ERROR_COUNT_VALID 0 = Not valid. 1 = Valid.	
00283h through 002BFh	RESERVED		Read all 0s
002C0h	PAYLOAD_TABLE_UPDATE_STATUS		Clearable Read Only
	0	VC Payload ID Table Updated 0 = Not updated since the last time that this bit was cleared. 1 = Updated, cleared to 0 when the DP Source device writes 1.	
	1	ACT Handled 0 = ACT is not handled since the last time that this bit was read. 1 = ACT is handled, cleared to 0 when the VC Payload ID Table Updated bit (bit 0) is set to 1.	
	7:2	RESERVED	Read all 0s
002C1h	VC_PAYLOAD_ID_SLOT_1		Read Only
002C2h	VC_PAYLOAD_ID_SLOT_2		Read Only
...	...		Read Only
002FFh	VC_PAYLOAD_ID_SLOT_63		Read Only

表2-158: DPCD源设备特定字段中的地址映射 (DPCD地址00300H至003FFH)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Source Device-specific Field	
00300h	IEEE_OUI Must be cleared to 00h upon power-on reset or an upstream device disconnect. First two hex digits. Example: For IEEE OUI 00-1B-C5, this field is cleared to 00h. Defaults to 00h before being written to by the Source device.		Write/Read (Burst write for 00300h through 0030Bh)
00301h	IEEE_OUI Must be cleared to 00h upon power-on reset or an upstream device disconnect. Second two hex digits. Example: For IEEE OUI 00-1B-C5, this field is set to 1Bh. Defaults to 00h before being written to by the Source device.		Write/Read (Burst write for 00300h through 0030Bh)
00302h	IEEE_OUI Must be cleared to 00h upon power-on reset or an upstream device disconnect. Third two hex digits. Example: For IEEE OUI 00-1B-C5, this field is set to C5h. Defaults to 00h before being written to by the Source device.		Write/Read (Burst write for 00300h through 0030Bh)
00303h through 00308h	Device Identification String Must be cleared to 00h upon power-on reset or an upstream device disconnect. Identifies the Source device. Up to six ASCII characters, starting at DPCD Address 00303h. Remaining bytes are 00h if fewer than six characters. A Source device shall always update all six bytes (including any zero bytes) with a burst write. All bytes default to 00h before being written to by the Source device.		Write/Read (Burst write for 00300h through 0030Bh)
00309h	Hardware Revision Must be cleared to 00h upon power-on reset or an upstream device disconnect.		Write/Read (Burst write for 00300h through 0030Bh)
	3:0	Hardware Minor Revision Integer, reset to 0 when the major revision increments. Typically incremented on a minor silicon (e.g., metal mask change) or board revision. Defaults to 00h before being written to by the Source device.	
	7:4	Hardware Major Revision Integer, typically incremented on a major silicon or board revision.	

表2-158: DPCD源设备特定字段中的地址映射 (DPCD地址00300H至003FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Source Device-specific Field	
0030Ah		Firmware/Software Major Revision Must be cleared to 00h upon power-on reset or an upstream device disconnect. Integer, typically incremented on new functionality. Defaults to 00h before being written to by the Source device.	Write/Read (Burst write for 00300h through 0030Bh)
0030Bh		Firmware/Software Minor Revision Must be cleared to 00h upon power-on reset or an upstream device disconnect. Integer, reset to 0 when the firmware/software major revision increments. Typically incremented on bug fixes. Defaults to 00h before being written to by the Source device.	Write/Read (Burst write for 00300h through 0030Bh)
0030Ch through 003FFh		RESERVED For Source device-specific usage, specified by the owner of the IEEE OUI written to in IEEE_OUI registers (DPCD Addresses 00300h through 00302h), and identified by the Source Identification registers (DPCD Addresses 00300h through 0030Bh). A Sink device that does not support the Source-device specified behavior specified by the owner of the IEEE OUI written to in DPCD Addresses 00300h through 00302h as being associated with the Source Identification must AUX_ACK all writes, but take no other action, and must respond to reads with an AUX_ACK and the value 00h.	Vendor-specific

表2-159: DPCD设备特定字段中的地址映射 (DPCD地址00400H至004FFH)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Sink Device-specific Field	
00400h		IEEE_OUI First two hex digits. Example: for IEEE OUI 00-1B-C5, this field is cleared to 00h. Mandatory for Sink devices, 00h for Branch devices.	Read Only
00401h		IEEE_OUI Second two hex digits. Example: for IEEE OUI 00-1B-C5, this field is set to 1Bh. Mandatory for Sink devices, 00h for Branch devices.	Read Only
00402h		IEEE_OUI Third two hex digits. Example: for IEEE OUI 00-1B-C5, this field is set to C5h. Mandatory for Sink devices, 00h for Branch devices.	Read Only

表2-159: DPCD设备特定字段中的地址映射 (DPCD地址00400H至004FFH)
(续)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Sink Device-specific Field	
00403h through 00408h	Device Identification String Identifies the Sink Device. Up to six ASCII characters, starting at DPCD Address 00403h. Remaining bytes are 00h if fewer than six characters. Mandatory for Sink devices, 00h for Branch devices.		Read Only
00409h	Hardware Revision		Read Only
	3:0	Hardware Minor Revision Integer, reset to 0 when major revision increments. Typically incremented on a minor silicon (e.g., metal mask change) or board revision. Mandatory for Sink devices, 00h for Branch devices.	
	7:4	Hardware Major Revision Integer, typically incremented on a major silicon or board revision.	
0040Ah	Firmware/Software Major Revision Integer, typically incremented on new functionality. Mandatory for Sink devices, 00h for Branch devices.		Read Only
0040Bh	Firmware/Software Minor Revision Integer, reset to 0 when the firmware/software major revision increments. Typically incremented on bug fixes. Mandatory for Sink devices, 00h for Branch devices.		Read Only
0040Ch through 004FFh	RESERVED For Sink device-specific usage, specified by the owner of the IEEE OUI provided in the IEEE_OUI registers (DPCD Addresses 00400h through 00402h). Branch devices shall AUX_ACK all writes, but take no other action and shall respond to reads with an AUX_ACK and the value 00h.		Vendor-specific

表2-160: DPCD分支设备特定字段中的地址映射 (DPCD地址00500H至005FFH)

DisplayPort Address	Register		Read/Write over AUX CH
	Bit #	Definition within Branch Device-specific Field	
00500h	IEEE_OUI First two hex digits. Example: for IEEE OUI 00-1B-C5, this field is cleared to 00h. Mandatory for Branch devices, 00h for Sink devices.		Read Only
00501h	IEEE_OUI Second two hex digits. Example: for IEEE OUI 00-1B-C5, this field is set to 1Bh. Mandatory for Branch devices, 00h for Sink devices.		Read Only
00502h	IEEE_OUI Third two hex digits. Example: for IEEE OUI 00-1B-C5, this field is set to C5h. Mandatory for Branch devices, 00h for Sink devices.		Read Only
00503h through 00508h	Device Identification String Identifies the Branch device. Up to six ASCII characters, starting at DPCD Address 00503h. Remaining bytes are 00h if fewer than six characters. Mandatory for Branch devices, 00h for Sink devices.		Read Only
00509h	Hardware Revision		Read Only
	3:0	Hardware Minor Revision Integer, reset to 0 when major revision increments. Typically incremented on a minor silicon (e.g., metal mask change) or board revision. Mandatory for Branch devices, 00h for Sink devices.	
	7:4	Hardware Major Revision Integer, typically incremented on a major silicon or board revision.	
0050Ah	Firmware/Software Major Revision Integer, typically incremented on new functionality. Mandatory for Branch devices, 00h for Sink devices.		Read Only
0050Bh	Firmware/Software Minor Revision Integer, reset to 0 when the firmware/software major revision increments. Typically incremented on bug fixes. Mandatory for Branch devices, 00h for Sink devices.		Read Only
0050Ch through 005FFh	RESERVED For Branch device-specific usage, specified by the owner of the IEEE OUI written to in the IEEE_OUI registers (DPCD Addresses 00500h through 00502h). Sink devices shall AUX_ACK all writes, but take no other action, and shall respond to reads with an AUX_ACK and the value 00h.		Vendor-specific

表2-161: DPCD链接/接收器设备电源控制字段中的地址映射 (DPCD地址00600H至006FFH)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Link/Sink Device Power Control Field	
00600h		SET_POWER & SET_DP_PWR_VOLTAGE Notes: - When bits 7:5 are cleared to 000 (binary), the downstream device keeps the DP_PWR voltage to the default 3.3V DP_PWR setting. Only one bit may be set at a time. Setting a bit takes effect only if the downstream device is capable of generating the requested DP_PWR supply voltage as indicated in the xV_DP_PWR_CAP bits in the NORP & DP_PWR_VOLTAGE_CAP register (DPCD Address 00004h, bits 7:5). A downstream DP device capable of generating DP_PWR voltage higher than the default 3.3V DP_PWR setting must complete the voltage level transition within 1ms. During the transition, the DP device must not generate a voltage exceeding the voltage range of the higher of the two voltage levels between which the switching is taking place. - An SST-in, SST-out Branch device must forward this value to its downstream devices. When set to D3 state, a Sink device may put its AUX CH circuit in a “power-saving” state. In this mode, the AUX CH circuit may only detect the presence of a differential signal input without replying to an AUX CH request transaction. Upon detecting the presence of a differential signal input, the Sink device must exit the “power-saving” state within 1ms.	Write/Read
	2:0	SET_POWER_STATE Must be programmed to 001 (binary) upon power-on reset or an upstream device disconnect. 001 = Set local Sink device and all downstream Sink devices to D0 (normal operation mode). 010 = Set local Sink device and all downstream Sink devices to D3 (power-down mode). 101 = Set Main-Link for local Sink device and all downstream Sink devices to D3 (power-down mode), keep AUX block fully powered, ready to reply within a Response Timeout period of 300us. All other values are RESERVED.	
	4:3	RESERVED	

表2-161: DPCD链接/接收器设备电源控制字段（DPCD地址00600H至006FFH）中的地址映射（续）

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Link/Sink Device Power Control Field	
00600h	5	SET_DN_DEVICE_DP_PWR_5V Must be cleared to 0 upon power-on reset or an upstream device disconnect. 1 = DP_PWR pin of the DP connector of the downstream device to 5V.	Write/Read
	6	SET_DN_DEVICE_DP_PWR_12V Must be cleared to 0 upon power-on reset or an upstream device disconnect. 1 = DP_PWR pin of the DP connector of the downstream device to 12V.	
	7	SET_DN_DEVICE_DP_PWR_18V Must be cleared to 0 upon power-on reset or an upstream device disconnect. 1 = DP_PWR pin of the DP connector of the downstream device to 18V.	
00601h through 006FFh	RESERVED for DPRX and Sink Devices Power Control		Read all 0s

表2-162: DPCD EDP特异性字段中的地址映射（DPCD地址00700H至007FFH）

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within eDP-specific Field	
00700h through 007FFh	RESERVED for eDP See <i>eDP v1.4b</i> .		

表2-163: DPCD侧带MSG缓冲区字段中的地址映射 (DPCD地址01000H至017FH)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Sideband MSG Buffers Field	
01000h through 011FFh	DOWN_REQ Note: <i>An MST-capable upstream device must treat these registers as write-only because some MST-capable downstream devices may reply with all 00hs when read.</i>		Write/Read
01200h through 013FFh	UP_REQ Note: <i>An MST-capable upstream device must treat these registers as write-only because some MST-capable downstream devices may reply with all 00hs when read.</i>		Write/Read
01400h through 015FFh	DOWN_REQ		Read Only
01600h through 017FFh	UP_REQ		Read Only

表2-164: DPCD DPRX事件状态指示器中的地址映射字段 (DPCD地址02000H至021FH)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within DPRX Event Status Indicator Field	
Note: This field must be supported for a DP device with a DPRX that is DPCD r1.2 or higher. An MST upstream device must use this field instead of the Link/Sink Device Status field registers, starting from DPCD Address 00200h.			
02000h through 02001h	RESERVED		Read all 0s
02002h	SINK_COUNT_ESI Sink device count; same status available in the SINK_COUNT register (DPCD Address 00200h).		Read Only
	7, 5:0	SINK_COUNT Total number of the Sink devices within this device and those connected to the DFPs of this device. Note: A Branch device must add up the Rendering Function counts read from all its DFPs. It must add one more if it has a local Rendering Function.	
	6	CP_READY Set to 1 when all of the Sink devices (local Sink and those connected to its DFPs) are CP-capable. This bit is set at the conclusion of Content Protection Authentication as and if required by the appropriate Content Protection specification. Note: The Source device transmits content that requires content protection only when all Branch and Sink devices within the link are CP-ready except for Repeater devices. (A Repeater device is not required to perform decryption/encryption operations, and therefore is not required to be CP-ready.)	

表2-164：DPCD DPRX事件状态指示器中的地址映射字段（DPCD地址02000H至021FH）（续）

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within DPRX Event Status Indicator Field	
02003h	DEVICE_SERVICE_IRQ_VECTOR_ESI0 Same flags available in the DEVICE_SERVICE_IRQ_VECTOR register (DPCD Address 00201h).		Clearable Read Only (Bit is cleared when 1 is written via an AUX CH write transaction)
	0	RESERVED (for FUTURE) REMOTE_CONTROL_COMMAND_PENDING For DP devices that support Sideband MSG handling (MST_CAP bit in the MSTM_CAP register (DPCD Address 00021h, bit 0) is set to 1), a Sink Event (e.g., a remote control command pending) must be handled as a message transaction.	
	Bit 1 definition is DPCD revision-dependent. For DPCD r1.0 through DPCD r1.2 and DPCD r1.4 (Bit 1)		
	1	AUTOMATED_TEST_REQUEST 1 = Source device must read DPCD Addresses 00218h through 002BFh for the requested link test.	
	For DPCD r1.3 (Bit 1, applicable to eDP v1.4 DPRX only)		
	1	TOUCH_INTERRUPT See <i>eDP v1.4</i> .	
	Definitions of Bits 7:2 are not DPCD revision-dependent		Clearable Read Only (Bit is cleared when 1 is written via an AUX CH write transaction)
	2	CP_IRQ This bit is used by an optional content protection system.	
	3	MCCS_IRQ This bit is used by an optional MCCS system within the Sink device.	
	4	DOWN_REP_MSG_RDY 1 = Source device must read the DOWN_REP_MSG from the DOWN_REP_MSG DPCD locations and process the Sideband MSG.	
	5	UP_REQ_MSG_RDY 1 = Source device must read the UP_REQ_MSG from the UP_REQ_MSG DPCD locations and process the Sideband MSG.	
	6	SINK_SPECIFIC_IRQ Usage is vendor-specific.	
	7	RESERVED	Read 0

表2-164: DPCD DPRX事件状态指示器中的地址映射字段 (DPCD地址02000H至021FH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within DPRX Event Status Indicator Field	
02004h	DEVICE_SERVICE_IRQ_VECTOR_ESI1		Clearable Read Only (Bit is cleared when 1 is written via an AUX write transaction)
	0	RX_GTC_MSTR_REQ_STATUS_CHANGE The status of RX_GTC_MSTR_REQ has changed (readable in the RX_GTC_MSTR_REQ bit in the RX_GTC_MSTR_REQ register (DPCD Address 00058h, bit 0)).	
	1	LOCK_ACQUISITION_REQUEST 0 = DPRX is not requesting a DPTX to initiate lock acquisition. 1 = DPRX is requesting a DPTX to initiate lock acquisition.	
	2	CEC_IRQ 1 = CEC-Tunneling-over-AUX status changed	
	7:3	RESERVED	Read all 0s
02005h	LINK_SERVICE_IRQ_VECTOR_ESI0		Clearable Read Only (Bit is cleared when 1 is written via an AUX CH write transaction)
	0	RX_CAP_CHANGED 1 = Upstream device must read the Receiver Capability field (DPCD Addresses 00000h through 000FFh; see Table 2-155).	
	1	LINK_STATUS_CHANGED 1 = Upstream device must read the Link/Sink Device Status field (DPCD Addresses 00200h through 002FFh; see Table 2-157).	
	2	STREAM_STATUS_CHANGED 1 = Upstream Source device must re-check the Stream Status with the QUERY_STREAM_ENCRYPTION_STATUS message. Query Stream Encryption Message is discussed in Appendix H.	
	3	HDMI_LINK_STATUS_CHANGED 1 = Upstream DP device must read the downstream HDMI link status registers of the DP-to-HDMI protocol converter. Downstream HDMI link quality is reported at the DOWNSTREAM_HDMI_ERROR_STATUS_CHx registers (DPCD Addresses 03031h through 03033h).	
	4	CONNECTED_OFF_ENTRY_REQUESTED 1 = A downstream DP device sets this bit to 1 and generates an IRQ_HPD pulse to request entry to the CONNECTED_OFF power state. The downstream DP device may enter the CONNECTED_OFF power state only after this bit is cleared by the upstream device writing 1 to this bit. If the upstream device does not clear this bit within 1s after IRQ_HPD generation, the downstream device that requested entry into the CONNECTED_OFF power state must clear this bit, enter the OFF power state, and then de-assert HPD output.	
	7:5	RESERVED	Read all 0s

表2-164: DPCD DPRX事件状态指示器中的地址映射字段 (DPCD地址02000H至021FH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within DPRX Event Status Indicator Field	
02006h through 0200Ah	RESERVED for eDP Optional eDP PSR-related status registers. See <i>eDP v1.3</i> (or higher) for register definitions.		Read all 0s
0200Bh	For DPCD r1.3 (<i>eDP v1.4</i> DPRX) only; RESERVED for others		
	eDP Advanced Link Power Management (ALPM)-related Functions See <i>eDP v1.4</i> .		
0200Ch	For DPCD r1.0 through DPCD r1.2 and DPCD r1.4 (Bit 1)		Read Only
	LANE0_1_STATUS_ESI Same status available in the LANE0_1_STATUS register (DPCD Address 00202h).		
	0	LANE0_CR_DONE	Read 0
	1	LANE0_CHANNEL_EQ_DONE	
	2	LANE0_SYMBOL_LOCKED	Read Only
	3	RESERVED	
	4	LANE1_CR_DONE	Read Only
	5	LANE1_CHANNEL_EQ_DONE	
	6	LANE1_SYMBOL_LOCKED	Read 0
	7	RESERVED	
	For DPCD r1.3 (<i>eDP v1.4</i> DPRX) only; RESERVED for others		
	SINK DEVICE AUX_FRAME_SYNC STATUS See <i>eDP v1.4</i> .		
0200Dh	For DPCD r1.0 through DPCD r1.2 and DPCD r1.4 (Bit 1)		Read Only
	LANE2_3_STATUS_ESI Same status available in the LANE2_3_STATUS register (DPCD Address 00203h). Bit definition is identical to that of the LANE0_1_STATUS_ESI register, but for Lanes 2 and 3.		
	For DPCD r1.3 (<i>eDP v1.4</i> DPRX) only; RESERVED for others		
	DSC STATUS See <i>eDP v1.4</i> .		

表2-164: DPCD DPRX事件状态指示器中的地址映射字段 (DPCD地址02000H至021Fh) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within DPRX Event Status Indicator Field	
0200Eh	LANE_ALIGN_STATUS_UPDATED_ESI Same status available in the LANE_ALIGN_STATUS_UPDATED register (DPCD Address 00204h).		Read Only
	0	INTERLANE_ALIGN_DONE	
	1	POST_LT_ADJ_REQ_IN_PROGRESS 1 = DPRX is conducting POST_LT_ADJ_REQ. Valid only for a DPRX that sets the POST_LT_ADJ_REQ_SUPPORTED bit in the MAX_LANE_COUNT register (DPCD Address 00002h, bit 5) is set and after a DPTX grants the procedure by setting the POST_LT_ADJ_REQ_GRANTED bit in the LANE_COUNT_SET register (DPCD Address 00101h, bit 5).	
	5:2	RESERVED	Read all 0s
	6	DOWNSTREAM_PORT_STATUS_CHANGED Set in a Branch device when it detects a change in the connection status of any of its DFPs.	Read Only
	7	LINK_STATUS_UPDATED Link Status and Adjust Request updated since the last read. Set when updated and cleared after read.	
0200Fh	SINK_STATUS_ESI Same status available in the SINK_STATUS register (DPCD Address 00205h). The Sink device must set bits 1:0 as soon as it determines that the corresponding received stream is properly re-generated and within the supported stream format range. The Sink device must clear bits 1:0 as soon as it determines that the corresponding received stream is no longer being properly re-generated or within the supported stream format range.		Read Only
	0	RECEIVE_PORT_0_STATUS 0 = Sink device is out of synchronization. 1 = Sink device is in synchronization.	
	1	RECEIVE_PORT_1_STATUS 0 = Sink device is out of synchronization. 1 = Sink device is in synchronization.	
	7:2	RESERVED	Read all 0s
02010h through 02012h	RESERVED for eDP.		
02013h through 021FFh	RESERVED		Read all 0s

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02200h	DP1.3_DPCD_REV DPCD data structure revision number.		Read Only
	3:0	Minor Revision Number	
	7:4	Major Revision Number 14h = DPCD r1.4. All other values are RESERVED; however, the DPTX must ensure proper operation when it sees a DPCD revision value higher than DPCD r1.4. <i>Note: The DPCD revision number does not necessarily match the DisplayPort version number.</i>	
02201h	MAX_LINK_RATE Maximum link rate of Main-Link lanes = Value x 0.27Gbps per lane.		Read Only
	7:0	MAX_LINK_RATE Only four values are supported. All other values are RESERVED except for <i>eDP v1.4</i> (DPCD r1.3 or lower) and MyDP DPRX. 06h = 1.62Gbps/lane. 0Ah = 2.7Gbps/lane. 14h = 5.4Gbps/lane. 1Eh = 8.1Gbps/lane. <i>eDP v1.4</i> DPRX (DPCD r1.3 or lower) can program the MAX_LINK_RATE register value to 00h to indicate that the DPRX supports the Main-Link rates by way of the Link Rate Table method. See <i>eDP v1.4</i> . A MyDP DPRX of an active MyDP converter (either MyDP-to-legacy converter or MyDP-to-DP lane-count converter) can support a value of 19h (6.75Gbps/lane). As for the MAX_LINK_RATE value requirement of an SST-only Branch device in the presence of a downstream device, see Section 2.1.4.1.	

表2-165: DPCD扩展接收器功能字段中的地址映射 (DPCD地址02200H至022FFH) (续)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02202h	MAX_LANE_COUNT Maximum number of lanes = Value.		Read Only
	4:0	MAX_LANE_COUNT Only three values are supported. All other values are RESERVED. 1h = One lane (Lane 0 only). 2h = Two lanes (Lanes 0 and 1 only). 4h = Four lanes (Lanes 0, 1, 2, and 3). As for the MAX_LANE_COUNT value requirement of an SST-only Branch device in the presence of a downstream device, see Section 2.1.4.1.	
	5	POST_LT_ADJ_REQ_SUPPORTED 0 = Post-Link Training Adjust Request is not supported. 1 = Post-Link Training Adjust Request is supported (see Section 3.5.1.2.4). POST_LT_ADJ_REQ is the third phase of Link Training. This procedure is used only if TPS4 cannot be used in the second (i.e., EQ) phase of Link Training. (TPS4 can be used only if the DPTX and DPRX both support TPS4.) An upstream device with a DPTX (Source or Branch device) aware of the procedure indicates granting of the procedure by setting the POST_LT_ADJ_REQ_GRANTED bit in the LANE_COUNT_SET register (DPCD Address 00101h, bit 5). The downstream device indicates that the procedure is in-progress by setting the POST_LT_ADJ_REQ_IN_PROGRESS bits in the LANE_ALIGN_STATUS_UPDATED and LANE_ALIGN_STATUS_UPDATED_ESI registers (DPCD Addresses 00204h and 0200Eh, bit 1, respectively). This is done at the end of the second phase of Link Training when the downstream device sets Link/Sink Device Status field (DPCD Addresses 00200h through 002FFh; see Table 2-157) register bits to indicate LANEx_SYMBOL_LOCKED and INTERLANE_ALIGN_DONE completion.	
	6	TPS3_SUPPORTED Indicates Link Training Pattern Sequence 3 (TPS3) support. 0 = TPS3 is not supported. 1 = TPS3 is supported (mandatory for Downstream devices that support HBR2, optional for others).	
	7	ENHANCED_FRAME_CAP Applies only to Single Stream Transport Format. 0 = Enhanced Framing symbol sequence for BS and SR is not supported. 1 = Enhanced Framing symbol sequence for BS and SR is supported as described in Section 2.2.1.2. Must be set to 1.	

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02203h	MAX_DOWNSPREAD		Read Only
	0	MAX_DOWNSPREAD 0 = No down spread. 1 = Up to 0.5% down-spread.	
	5:1	RESERVED	Read all 0s
	6	NO_AUX_TRANSACTION_LINK_TRAINING 0 = Requires AUX transactions to synchronize to a DPTX. 1 = Does not require AUX transactions when the link configuration is already known. A DPTX, when it activates its Main-Link, can transmit TPS1 and TPS2 (or TPS3 or TPS4) for the minimum of 500us each. The known-good drive current and pre-emphasis level (or those used in the last “full” Link Training with AUX transactions) must be used when Link Training is performed without AUX transactions. Regardless of this bit’s value, a DP Sink device must send an IRQ_HPD pulse when it cannot synchronize to the incoming stream. For embedded implementations in which there is no HPD line, either the proper operation should be guaranteed by design or the Source device can periodically poll the link status.	Read Only
	7	TPS4_SUPPORTED Indicates Link Training Pattern Sequence 4 (TPS4) support. 0 = TPS4 is not supported. 1 = TPS4 is supported (mandatory for Downstream devices with DPCD r1.4).	

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02204h	NORP & DP_PWR_VOLTAGE_CAP Note: When bits 7:5 are cleared to 000 (binary), the downstream device is capable of producing the default 3.3V DP_PWR setting DP_PWR only. A downstream DP device capable of generating DP_PWR voltage higher than the default 3.3V DP_PWR setting must complete the voltage level transition within 1ms. During the transition, the DP device must not generate a voltage exceeding the voltage range of the higher of the two voltage levels between which the switching is taking place.		Read Only
	0	NORP: Number of Receiver Ports = Value + 1 0 = One receiver port. 1 = Two or more receiver ports (see Note below). For SST transport format, the maximum number is two (for which this bit is set to 1), one for an uncompressed video stream and the other for its associated audio stream. The receiver can simultaneously receive up to “NORP” isochronous streams. The smallest available Receiver Port number is assigned. For example, when there is only one receiver port, the receiver port is assigned to Receiver Port 0. Receiver Port 1 shall be assigned only after Receiver Port 0 has already been assigned. Note: An MST Sink device might have more than two receiver ports because it can have three or more stream sinks. However, an MST Sink device must program this bit according to the number of receiver ports when it is operating in SST mode. The MST Sink device is required to operate in SST mode to interoperate with an SST upstream device. A Topology Manager in an MST Source device must use the LINK_ADDRESS and REMOTE_DPCD message transactions to discover the number of receiver ports, rather than relying on this bit.	
	4:1	RESERVED	Read all 0s
	5	5V_DP_PWR_CAP 0 = Downstream device is not capable of producing +4.9 to +5.5V on the DP_PWR pin of its DP connector. 1 = Downstream device is capable of producing +4.9 to +5.5V on the DP_PWR pin of its DP connector.	Read Only
	6	12V_DP_PWR_CAP 0 = Downstream device is not capable of producing +12V ±10%. 1 = Downstream device is capable of producing +12V ±10% on the DP_PWR pin of its DP connector.	
	7	18V_DP_PWR_CAP 0 = Downstream device is not capable of producing +18V ±10%. 1 = Downstream device is capable of producing +18V ±10% on the DP_PWR pin of its DP connector.	

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02205h	DOWN_STREAM_PORT_PRESENT		Read Only
	0	DFP_PRESENT 1 = Device is a Branch device and has downstream-facing port(s) (DFP(s)).	
	2:1	DFP_TYPE Indicates the DFP type of DFP 0. 00 = DisplayPort. 01 = Analog VGA or analog video over DVI-I. 10 = DVI, HDMI, or DP++. 11 = Others (this DFP type might not have an EDID in the Sink device (e.g., Sink devices on composite video and Svideo ports do not have an EDID, but Sink devices on a wireless or USB interface might)). A Branch device must provide more-detailed Downstream enumeration data on all of its DFPs, including DFP 0 at DPCD Addresses 00080h through 0008Fh. Note: Further requirements for Branch devices are provided in Section 5.3.3. Requirements for Source devices when transmitting through a Branch device are provided in Section 5.1.6.	
	3	FORMAT_CONVERSION 0 = This Branch device does not have a format conversion block. 1 = This DFP has a format conversion block. Notes: 1 Applicable only to a Branch device. 2 Topology Manager in an MST Source device must use the LINK_ADDRESS message transaction to discover the DFP capability, rather than relying on this bit.	
	4	DETAILED_CAP_INFO_AVAILABLE 0 = DFP capability field is 1 byte per port, starting from DPCD Address 00080h. 1 = DFP capability field is 4 bytes per port for detailed capability description starting from DPCD Address 00080h. Detailed capability information support is mandatory.	
	7:5	RESERVED	Read all 0s

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02206h	MAIN_LINK_CHANNEL_CODING		Read Only
	0	ANSI 8b/10b 1 = DisplayPort receiver supports the Main-Link channel coding specification, as specified in ANSI X3.230-1994, Clause 11.	
	7:1	RESERVED	Read all 0s
02207h	DOWN_STREAM_PORT_COUNT		Read Only
	3:0	DFP_COUNT Value = Number of DFPs. 0h = No DFPs. Type and capability of the DFP are enumerated at DPCD Addresses 00080h through 0008Fh.	
	5:4	RESERVED	Read all 0s
	6	MSA_TIMING_PAR_IGNORED Applies to eDP and box-to-box DP. 0 = Sink device requires the MSA timing parameters HTotal[15:0], HStart[15:0], HSyncPolarity[0] (HSP), HSyncWidth[14:0] (HSW), VTotal[15:0], VStart[15:0], VSyncPolarity[0] (VSP), and VSyncWidth[14:0] (VSW) to be sent by the Source device for rendering the incoming video stream. 1 = Sink device is capable of rendering the incoming video stream without the above-mentioned MSA timing parameters.	Read Only
	7	OUI Support 0 = OUI is not supported. 1 = OUI is supported (for DPCD r1.2 and DPCD r1.4, OUI and Device Identification support is mandatory; for DPCD r1.3 (which is for <i>eDP v1.4</i> DPRX), support for OUI is an implementation-specific option). IEEE_OUI registers (DPCD Addresses 00400h through 00402h) for a Sink device, plus DPCD Addresses 00403h through 0040Bh for Device Identification. IEEE_OUI registers (DPCD Addresses 00500h through 00502h) for a Branch device, plus DPCD Addresses 00503h through 0050Bh for Device Identification.	

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02208h	RECEIVE_PORT0_CAP_0 Receiver Port 0 Capability 0. <i>Note: A Source device operating in MST mode does not use this register.</i>		Read Only
	0	RESERVED	Read all 0s
	1	LOCAL_EDID_PRESENT 0 = This receiver port does not have a local EDID. 1 = This receiver port has a local EDID. A local EDID is mandatory for Sink devices and Format Converters.	Read Only
	2	ASSOCIATED_TO_PRECEDING_PORT 0 = This port is used for the main isochronous stream. This bit must always be cleared to 0 for Receiver Port 0. 1 = This port is used for the secondary isochronous stream of the main stream received in the preceding port.	
	7:3	RESERVED	Read all 0s
02209h	RECEIVE_PORT0_CAP_1 Receiver Port 0 Capability 1. <i>Note: A Source device operating in MST mode does not use this register.</i>		Read Only
	7:0	BUFFER_SIZE Buffer size = (Value + 1) * 32 bytes per lane. The maximum is 8KB per lane.	
0220Ah	RECEIVE_PORT1_CAP_0 Receiver Port 1 Capability 0. Bit definition is identical to that of the RECEIVE_PORT0_CAP_0 register (DPCD Address 02208h), but for Port 1. <i>Notes:</i> - When Receiver Port 1 is not present, this register is read all 0s. - A Source device operating in MST mode does not use this register.		Read Only

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
0220Bh		RECEIVE_PORT1_CAP_1 Receiver Port 1 Capability 1. Bit definition is identical to that of the RECEIVE_PORT0_CAP_1 register (DPCD Address 02209h), but for Port 1. Notes: 1 When Receiver Port 1 not present, this register is read all 0s. 2 A Source device operating in MST mode does not use this field.	Read Only
0220Ch		I²C Speed Control Capabilities Bit Map Bit or bits set to indicate I²C speed control capabilities. Support for source control of the I²C speed is optional but recommended when the DPRX implements a physical I²C bus. If the DPRX does not implement a physical I²C bus, this register is cleared to 00h. Otherwise, if the DPRX does not provide source control of the I²C speed, this register is also cleared to 00h. In this case the DPRX, upon receiving an I²C-over-AUX transaction, generates an I²C transaction at the I²C bit rate of its choice. Otherwise, bit values in this register are assigned to I²C speeds. 00000001b = 1Kbps. 00000010b = 5Kbps. 00000100b = 10Kbps. 00001000b = 100Kbps. 00010000b = 400Kbps. 00100000b = 1Mbps. 01000000b = RESERVED. 10000000b = RESERVED.	Read Only

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
0220Dh	eDP_CONFIGURATION_CAP Always reads 00h for external receivers. Read Only for eDP RXs.		Read Only
	0	ALTERNATE_SCRAMBLER_RESET_CAPABLE 1 = Indicates that this is an eDP device that can use the eDP alternate scrambler reset value of FFFEh.	
	1	RESERVED (The FRAMING_CHANGE option for eDP has been deprecated.)	Read all 0s
	7:2	RESERVED for eDP.	
0220Eh	TRAINING_AUX_RD_INTERVAL		Read Only
	6:0	TRAINING_AUX_RD_INTERVAL Link Status/Adjust Request read interval during Main-Link Training. 00h = 100us for the Main-Link Clock Recovery phase and 400us for the Main-Link Channel Equalization phase. 01h = 100us for the Main-Link Clock Recovery phase; 4ms for the Main-Link Channel Equalization phase. 02h = 100us for the Main-Link Clock Recovery phase; 8ms for the Main-Link Channel Equalization phase. 03h = 100us for the Main-Link Clock Recovery phase; 12ms for the Main-Link Channel Equalization phase. 04h = 100us for the Main-Link Clock Recovery phase; 16ms for the Main-Link Channel Equalization phase. All other values are RESERVED.	
	7	EXTENDED_RECEIVER_CAPABILITY_FIELD_PRESENT 0 = Not present. 1 = Present at DPCD Addresses 02200h through 022FFh. A DPRX with DPCD r1.4 (or higher) must have an Extended Receiver Capability field.	

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
0220Fh	ADAPTOR_CAP Capabilities of Branch devices that adapt to legacy video transports.		Read Only
	0	FORCE_LOAD_SENSE_CAP 0 = Does not support VGA force load adaptor sense mechanism. 1 = Supports VGA force load adaptor sense mechanism.	
	1	ALTERNATE_I2C_PATTERN_CAP 0 = Does not support alternate I ² C patterns. 1 = Supports alternate I ² C patterns.	
	7:2	RESERVED	Read all 0s

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02210h	DPRX_FEATURE_ENUMERATION_LIST Support for bits 7:4 and 1 added in <i>DP v1.4</i> .		Read Only
	0	GTC_CAP A DPRX indicates support for the GTC feature by setting this bit. The GTC feature is defined in Section 2.13. 0 = Not supported. 1 = Supported.	
	1	SST_SPLIT_SDP_CAP A DPRX indicates support for SDP splitting in SST mode by setting this bit. The SST mode SDP Splitting feature is defined in Section 2.2.5.12. 0 = Not supported. 1 = Supported.	
	2	AV_SYNC_CAP A DP device indicates support of the AV Sync capability through audio delay insertion by setting this bit. The AV Sync feature is defined in Section 2.12. 0 = Not supported. 1 = Supported.	
	3	VSC_SDP_EXTENSION_FOR_COLORIMETRY_SUPPORTED A DP Source device, upon detecting this bit being set to 1 by a DP Sink device, can set the MISC1 field, bit 6, of an MSA Packet to 1 to indicate that pixel encoding format and colorimetry format are indicated in the VSC SDP. 0 = Not supported. 1 = Supported.	
	4	VSC_EXT_VESA_SDP_SUPPORTED 0 = Not supported. 1 = Supported.	
	5	VSC_EXT_VESA_SDP_CHAINING_SUPPORTED Support of up to 64 VSC_EXT_VESA SDP chaining is required for DP Sink devices that support chaining. DP Sink devices that support more than 64 SDPs of chaining indicate the maximum chaining count beyond 64 in the VSC_EXT_VESA_SDP_MAX_CHAINING_COUNT field in the VSC_EXT_VESA_SDP_MAX_CHAINING register (DPCD Address 02212h, bits 7:0). 0 = Not supported. 1 = Supported.	

表2-165：DPCD扩展接收器功能字段中的地址映射（DPCD地址02200H至022FFH）（续）

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within Extended Receiver Capability Field	
02210h	6	VSC_EXT_CEA_SDP_SUPPORTED 0 = Not supported. 1 = Supported.	Read Only
	7	VSC_EXT_CEA_SDP_CHAINING_SUPPORTED 0 = Not supported. 1 = Supported. Support of up to 64 VSC_EXT_CEA SDP chaining is required for DP Sink devices that support chaining. DP Sink devices that support more than 64 SDPs of chaining indicate the maximum chaining count beyond 64 in the VSC_EXT_CEA_SDP_MAX_CHAINING_COUNT field in the VSC_EXT_CEA_SDP_MAX_CHAINING register (DPCD Address 02213h, bits 7:0).	
02211h	EXTENDED_DPRX_SLEEP_WAKE_TIMEOUT_REQUEST		Read Only
	7:0	DPRX_SLEEP_WAKE_TIMEOUT_PERIOD 00h = 1ms. 01h = 20ms. 02h = 40ms. 03h = 60ms. 04h = 80ms. 05h = 100ms. All other values are RESERVED. A downstream DP device (including a DP Sink device) must request the minimum timeout duration that it is capable of supporting.	
02212h	VSC_EXT_VESA_SDP_MAX_CHAINING New to <i>DP v1.4</i> .		Read Only
	7:0	VSC_EXT_VESA_SDP_MAX_CHAINING_COUNT DP Sink device supports the maximum number of SDP chaining equal to 64 plus the value in this register.	
02213h	VSC_EXT_CEA_SDP_MAX_CHAINING New to <i>DP v1.4</i> .		Read Only
	7:0	VSC_EXT_CEA_SDP_MAX_CHAINING_COUNT DP Sink device supports the maximum number of SDP chaining equal to 64 plus the value in this register.	
02214h through 022FFh	RESERVED for Extended Receiver Capability		Read all 0s

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
The Protocol Converter Extension field, containing CEC-tunneling registers, is valid only with DPCD r1.4 (or higher).				
03000h	CEC_TUNNELING_CAPABILITY Consumer Electronics Channel (CEC)-Tunneling-over-AUX capability.			Read Only
		0	CEC_TUNNELING_CAPABLE Set to 1 by a DP-to-HDMI protocol converter capable of CEC-Tunneling-over-AUX to indicate the capability to the DP Source device. A DP-to-HDMI converter with DPCD r1.4 (or higher) must set this bit to 1. Support of CEC-Tunneling-over-AUX by a DP-to-HDMI converter paired with a DP Source device to constitute an HDMI Source device is an implementation-specific choice.	
		1	CEC_SNOOPING_CAPABLE Set to 1 by a DP-to-HDMI protocol converter capable of passively snooping CEC messages to indicate the capability to the DP Source device.	
		2	CEC_MULTIPLE_LA_CAPABLE Set to 1 by a DP-to-HDMI protocol converter capable of acting as a Follower for multiple CEC Logical Addresses to indicate the capability to the DP Source device.	
		7:3	RESERVED	Read all 0s

表2-166：DPCD协议转换器扩展字段中的地址映射（DPCD地址03000H至030FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03001h	CEC_TUNNELING_CONTROL			Read/Write
		0	CEC_TUNNELING_ENABLE Prompts a DP-to-HDMI protocol converter to enable CEC message reception from, and transmission to, the CEC bus. The DP-to-HDMI protocol converter does not receive CEC messages unless this bit is set to 1. The DP-to-HDMI protocol converter does not acknowledge CEC messages unless this bit is set to 1 and at least one bit is set in the CEC_LOGICAL_ADDRESS_MASK register (DPCD Addresses 0300Eh and 0300Fh). When this bit is set to 1, temporary storage for received CEC messages is reset/cleared to 0 in the CEC_RX_MESSAGE_BUFFER register (DPCD Addresses 03010h through 0301Fh). Setting this bit to 1 shall bring the CEC-Tunneling-over-AUX function of the DP-to-HDMI protocol converter to a defined initial state. The DP-to-HDMI protocol converter, upon power-on reset and an upstream DP device disconnect/connect, must clear this bit to 0. When the upstream DP device clears this bit, the DP-to-HDMI protocol converter must flush the buffer and clear the status indication flags.	
		1	CEC_SNOOPING_ENABLE Prompts a DP-to-HDMI protocol converter to enable passive CEC message reception from the CEC bus when bit 0 (CEC_TUNNELING_ENABLE is set to 1. Writes are ignored when CEC_SNOOPING_ENABLE is cleared to 0. 0 = Receive all directly addressed CEC messages selected by the CEC_LOGICAL_ADDRESS_MASK register (DPCD Addresses 0300Eh and 0300Fh), and all CEC Broadcast messages. 1 = Receive all CEC messages, regardless of the Destination logical address. A DP-to-HDMI protocol converter, upon power-on reset or an upstream DP device disconnect/connect, must clear this bit to 0. When the upstream DP device clears this bit, the DP-to-HDMI protocol converter must flush the buffer and clear the status indication flags. Regardless of the state of this bit, a DP-to-HDMI protocol converter shall only act as a Follower for CEC frames according to the CEC_LOGICAL_ADDRESS_MASK register. This means that the converter shall not acknowledge or report CEC Line errors for CEC frames in which the bit corresponding to the Destination address is not set in the CEC_LOGICAL_ADDRESS_MASK register.	
		7:2	RESERVED	Read all 0s

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03002h	CEC_RX_MESSAGE_INFO A DP-to-HDMI protocol converter, upon 1) power-on reset, 2) an upstream DP device disconnect/connect, or 3) CEC_TUNNELING_ENABLE cleared to 0, must clear this register to 00h.			Read Only
		3:0	CEC_RX_MESSAGE_LEN Length of the CEC frame received from the CEC bus by a DP-to-HDMI protocol converter and placed into the CEC_RX_MESSAGE_BUFFER. The DP-to-HDMI protocol converter determines this by detecting the START bit and then waiting for the end-of-message (EOM) bit or the first not acknowledged block. The actual length (in number of blocks/bytes) is equal to CEC_RX_MESSAGE_LEN value + 1.	
		4	CEC_RX_MESSAGE_HPD_STATE Set to 1 by a DP-to-HDMI protocol converter if the Logical HPD was asserted at the start of this message. (See Table 5-8 for the definition of Logical HPD.)	
		5	CEC_RX_MESSAGE_HPD_LOST Set to 1 by a DP-to-HDMI protocol converter if the Logical HPD was de-asserted since the start of the previous message, since power-on reset, or an upstream device disconnect/connect. (See Table 5-8 for the definition of Logical HPD.)	
		6	CEC_RX_MESSAGE_ACKED Set to 1 by a DP-to-HDMI protocol converter if the received CEC frame was acknowledged. For broadcast messages this is 1 if no device negatively acknowledged any block in the frame. For a directly addressed message this is 1 if the follower acknowledged all blocks in the frame.	
		7	CEC_RX_MESSAGE_ENDED Set to 1 by a DP-to-HDMI protocol converter if the last block in the received CEC frame was the final block in the CEC message.	

表2-166：DPCD协议转换器扩展字段中的地址映射（DPCD地址03000H至030FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03003h	CEC_TX_MESSAGE_INFO DP-to-HDMI protocol converter, upon 1) power-on reset, 2) an upstream DP device disconnect/connect, or 3) CEC_TUNNELING_ENABLE cleared to 0, must set this register to 00h.			Read/Write
		3:0	CEC_TX_MESSAGE_LEN Length of the CEC message to be transmitted by a DP-to-HDMI protocol converter on the CEC bus. Actual number of bytes is equal to CEC_TX_MESSAGE_LEN value + 1.	
		6:4	CEC_TX_RETRY_COUNT Number of CEC frame re-transmissions that a DP-to-HDMI protocol converter shall attempt if a directly-addressed message is not acknowledged, a broadcast message is negatively acknowledged, or a CEC Line Error is detected. Valid values are 0 through 5. All other values are RESERVED.	
		7	CEC_TX_MESSAGE_SEND / CEC_TX MESSAGE_BUFFER_UNAVAILABLE Set to 1 by a DP Source device after it has written a complete CEC message to the CEC_TX_MESSAGE_BUFFER, to prompt a DP-to-HDMI protocol converter to transmit the message on the CEC bus after first ensuring that the bus has been inactive for the appropriate <i>signal free time</i> , as required by CEC Specification. A DP-to-HDMI protocol converter shall clear this bit to zero after it has transmitted the CEC message on the CEC bus. The DP Source must not write a new CEC TX message into the CEC_TX_MESSAGE_BUFFER until this bit is cleared to 0 by the DP-to-HDMI protocol converter.	

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03004h	CEC_TUNNELING_IRQ_FLAGS A DP-to-HDMI protocol converter shall assert an IRQ_HPD pulse with the CEC_IRQ bit set whenever it sets a bit in this field to 1. The DP Source device must write a 1 to a bit to acknowledge the interrupt and clear the bit. DP-to-HDMI protocol converter, upon 1) power-on reset, 2) an upstream DP device disconnect/connect, or 3) CEC_TUNNELING_ENABLE cleared to 0, must set this register to 00h.			Write 1 to Clear/Read
		0	CEC_RX_MESSAGE_INFO_VALID Set to 1 by a DP-to-HDMI protocol converter after it has written a received CEC message into the CEC_RX_MESSAGE_BUFFER (mapped to DPCD addresses) and updated CEC_RX_MESSAGE_INFO. The DP Source device must read the CEC message from the CEC_RX_MESSAGE_BUFFER before clearing this bit. The reason is as follows: A DP-to-HDMI converter is required to move the next CEC RX message. If the CEC RX message is present and if this bit is cleared, from its temporary buffer to CEC_RX_MESSAGE_BUFFER, do the following: 1 Set this bit. 2 Set the CEC_IRQ bit in the DEVICE_SERVICE_IRQ_VECTOR_ESI1 register (DPCD Address 02004h, bit 2). 3 Generate an IRQ_HPD, regardless of whether the DP Source device has read the previously placed CEC RX message, If the DP Source device clears this bit before reading the CEC RX message in the CEC_RX_MESSAGE_BUFFER, the message may be overwritten with the next message.	
		1	CEC_RX_MESSAGE_OVERFLOW Set to 1 by a DP-to-HDMI protocol converter when a CEC frame is received and there is no temporary storage available to hold the message data (see CEC_RX_MESSAGE_BUFFER). The protocol converter must not receive additional CEC messages (i.e., as a Follower it must negatively acknowledge a CEC frame on the CEC bus and drop a frame while snooping) until the CEC_RX_MESSAGE_OVERFLOW bit is cleared by the DP Source device.	
		3:2	RESERVED	Read all 0s

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH) (续)

DPCD Address	Register			Read/ Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03004h		4	CEC_TX_MESSAGE_SENT Set to 1 by a DP-to-HDMI protocol converter when the CEC message in the CEC_TX_MESSAGE_BUFFER was successfully transmitted within the permitted number of retries.	Write 1 to Clear/Read
		5	CEC_TX_LINE_ERROR Set to 1 by a DP-to-HDMI protocol converter when the CEC message in the CEC_TX_MESSAGE_BUFFER was not successfully transmitted after the specified number of retries, due to detection of a CEC Line Error on any block in the CEC frame during the last transmission attempt.	
		6	CEC_TX_ADDRESS_NACK_ERROR Set to 1 by a DP-to-HDMI protocol converter when the CEC message in the CEC_TX_MESSAGE_BUFFER was not successfully transmitted after the specified number of retries, due to a negative acknowledge of the Header Block of the CEC frame during the last transmission attempt.	
		7	CEC_TX_DATA_NACK_ERROR Set to 1 by a DP-to-HDMI protocol converter when the CEC message in the CEC_TX_MESSAGE_BUFFER was not successfully transmitted after the specified number of retries, due to a negative acknowledge of a Data Block in the CEC frame during the last transmission attempt.	
03005h through 0300Dh	RESERVED for Protocol Converter Extension			Read all 0s

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
0300Eh and 0300Fh	CEC_LOGICAL_ADDRESS_MASK DP-to-HDMI protocol converter, upon 1) power-on reset, 2) an upstream DP device disconnect/connect, or 3) CEC_TUNNELING_ENABLE cleared to 0, must set these 16 bits to 8000h (to enable as a follower for a Broadcast message).			Read/Write
		14:0	CEC_LOGICAL_ADDRESS_MASK This field defines the set of logical addresses for which a DP-to-HDMI protocol converter shall act as a Follower, and controls message delivery for <i>directly addressed</i> messages when snooping is disabled. Broadcast messages are always delivered. A DP-to-HDMI protocol converter shall act as a Follower for a CEC message if and only if the CEC_LOGICAL_ADDRESS_MASK contains the Destination address of the CEC message; this includes: - Acknowledging a directly-addressed message, - Negatively acknowledging a broadcast message, - Reporting a detected CEC Line Error. Bit 0 = Logical Address 0 Bit 1 = Logical Address 1 Bit 2 = Logical Address 2 Bit 3 = Logical Address 3 Bit 4 = Logical Address 4 Bit 5 = Logical Address 5 Bit 6 = Logical Address 6 Bit 7 = Logical Address 7 Bit 8 = Logical Address 8 Bit 9 = Logical Address 9 Bit 10 = Logical Address 10 Bit 11 = Logical Address 11 Bit 12 = Logical Address 12 Bit 13 = Logical Address 13 Bit 14 = Logical Address 14 0 = Do not act as a Follower for this address. Do not deliver messages with this Destination address to the CEC_RX_MESSAGE_BUFFER unless CEC_SNOOPING_ENABLE=1. 1 = Act as a Follower for this address. Deliver messages with this Destination address to the CEC_RX_MESSAGE_BUFFER even if CEC_SNOOPING_ENABLE=0. When CEC_MULTIPLE_LA_CAPABLE=1, a DP-to-HDMI protocol converter shall accept any 16-bit value in this field.	

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
0300Eh and 0300Fh		15	CEC_LOGICAL_ADDRESS_MASK Logical Address 15 0 = Do not act as a Follower for Broadcast messages, and do not report CEC Line Errors detected while receiving the Header Block of a CEC frame. 1 = Act as a Follower for Broadcast messages, and report CEC Line Errors detected while receiving the Header Block of a CEC frame. When CEC_MULTIPLE_LA_CAPABLE=0, a DP-to-HDMI protocol converter shall reply with AUX_NACK if the DP Source device attempts to write a value where more than one of bits 14:0 is set to 1. It shall also reply with AUX_NACK if bit 15 is cleared to 0 (the converter always acts as a Follower for broadcast messages in this case).	Read/Write
03010h through 0301Fh	CEC_RX_MESSAGE_BUFFER 16-byte buffer filled by a DP-to-HDMI protocol converter when a CEC message is received and this buffer is available (either no previous message or the previous message has been read by an upstream DP device). The first byte of the buffer (= DPCD 03010h) always contains the first byte of the received CEC message. A DP-to-HDMI protocol converter shall discard messages terminated due to CEC Line Errors. When a DP-to-HDMI protocol converter receives bytes of one or more additional CEC messages while the CEC_RX_MESSAGE_INFO_VALID bit remains set to 1, it shall store those bytes into a temporary storage not mapped to DPCD addresses. The temporary storage should be large enough to hold two seconds of CEC traffic and shall at least hold one second of CEC traffic.			Read/Write
03020h through 0302Fh	CEC_TX_MESSAGE_BUFFER 16-byte buffer filled by a DP Source device with a CEC message to be transmitted to the CEC bus by a DP-to-HDMI protocol converter. The first byte of the buffer (= DPCD 03020h) always contains the first byte of the CEC message, which determines the Initiator and Destination address. <i>Note: The Initiator logical address used for message transmission shall be determined solely by the first four bits of the first byte of this buffer.</i>			Read/Write
03030h	DOWNSTREAM_LINK_ERROR_REPORTING_SUPPORTED			Read Only
		0	DOWNSTREAM_LINK_ERROR_REPORTING_SUPPORTED 0 = Not supported 1 = Supported	
		7:1	RESERVED	Read all 0s

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03031h	DOWNSTREAM_HDMI_ERROR_STATUS_CH0 <i>Note: Status is asynchronously updated on a 100ms cycle and cleared upon a read by an upstream DP device.</i>			Read Only
		0	1 = More than three errors since the last read.	
		1	1 = More than 10 errors since the last read.	
		2	1 = More than 100 errors since the last read.	
		7:3	RESERVED	Read all 0s
03032h	DOWNSTREAM_HDMI_ERROR_STATUS_CH1 <i>Note: Status is asynchronously updated on a 100ms cycle and cleared upon a read by an upstream DP device.</i>			Read Only
		0	1 = More than three errors since the last read.	
		1	1 = More than 10 errors since the last read.	
		2	1 = More than 100 errors since the last read.	
		7:3	RESERVED	Read all 0s
03033h	DOWNSTREAM_HDMI_ERROR_STATUS_CH2 <i>Note: Status is asynchronously updated on a 100ms cycle and cleared upon a read by an upstream DP device.</i>			Read Only
		0	1 = More than three errors since the last read.	
		1	1 = More than 10 errors since the last read.	
		2	1 = More than 100 errors since the last read.	
		7:3	RESERVED	Read all 0s
03034h	HDMI_SINK_YCBCR420_COMPONENT_BIT_DEPTH_SUPPORT <i>Note: This register is valid only after an EDID read. Consequently, the Source device is unable to rely on this register until after it has completed a full EDID read of all blocks in the EDID.</i>			Read Only
		0	10bpc_Supported 0 = 10bpc is not supported. 1 = 10bpc is supported.	
		1	12bpc_Supported 0 = 12bpc is not supported. 1 = 12bpc is supported.	
		2	16bpc_Supported 0 = 16bpc is not supported. 1 = 16bpc is supported.	
		7:3	RESERVED	
				Read all 0s
03035h through 0304Fh	RESERVED for Protocol Converter Extension			Read all 0s

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03050h	PROTOCOL_CONVERTER_CONTROL_0 Register name changed and bit 0 description expanded in <i>DP v1.4</i> .			Read/Write
		0	HDMI_DVI_OUTPUT_CONFIG Valid only when the DFPX_TYPE is set to HDMI, in which case this bit defaults to 1. Otherwise, this bit defaults to 0. The Source device shall clear this bit to 0 if DFPX_TYPE is set to HDMI but the Source device determines (through EDID processing) that the connected display is DVI. 0 = DVI. Protocol Converter shall not transmit HDMI INFOFRAMES and shall not use video guard bands. Protocol Converter may also suppress audio, although the Source device is not expected to transmit audio as a result of EDID processing. 1 = HDMI. Protocol Converter shall transmit HDMI INFOFRAMES, use video guard bands, and pass-through audio.	
		7:1	RESERVED	Read all 0s

表2-166: DPCD协议转换器扩展字段中的地址映射 (DPCD地址03000H至030FFH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03051h	PROTOCOL_CONVERTER_CONTROL_1 Register name changed and support for bits 3:1 added in <i>DP v1.4</i> .			Read/Write
		0	CONVERSION_TO_YCBCR420_ENABLE Must be cleared to 0 upon power-on reset or an upstream device disconnect. 0 = Disable. 1 = Enable.	
		1	HDMI_EDID_PROCESSING_DISABLE May be set by the Source device before it reads the Sink device's EDID to disable autonomous EDID processing by the Protocol Converter when the Protocol Converter snoops the EDID reads. <i>Note: The Protocol Converter may read and process the EDID before setting SINK_COUNT to 1, but this behavior is not preferred.</i> 0 = HDMI autonomous EDID processing enabled (default). 1 = HDMI autonomous EDID processing disabled. Protocol Converter shall ensure that the HDMI_SINK_YCBCR420_COMPONENT_BIT_DEPTH_SUPPORT register (DPCD Address 03034h) always reads as 00h, and that scrambling is not be autonomously enabled for TMDS Character Rates is less than 340 Mcsc.	
		2	HDMI_AUTONOMOUS_SCRAMBLING_DISABLE 0 = HDMI autonomous scrambling is enabled (default). 1 = HDMI autonomous scrambling disabled. Scrambling of HDMI output is controlled by bit 3 (HDMI_FORCE_SCRAMBLING).	
		3	HDMI_FORCE_SCRAMBLING No effect unless bit 2 (HDMI_AUTONOMOUS_SCRAMBLING_DISABLE) is set to 1. 0 = HDMI scrambling is disabled (default). 1 = HDMI scrambling is enabled.	
		7:4	RESERVED	Read all 0s
03052h	~~CONVERSION_FROM_YCBCR444_TO_YCBCR422_ENABLE~~ PROTOCOL_CONVERTER_CONTROL_2 Register name changed in <i>DP v1.4</i> .			Read/Write
		0	CONVERSION_TO_YCBCR422_ENABLE Must be cleared to 0 upon power-on reset or an upstream device disconnect. 0 = Disable. 1 = Enable.	
		7:1	RESERVED	Read all 0s

表2-166：DPCD协议转换器扩展字段中的地址映射（DPCD地址03000H至030FFH）（续）

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within Protocol Converter Extension Field	
03053h	RESERVED for Protocol Converter Extension			Read all 0s
03054h and 03055h	OUTPUT_HTOTAL New to <i>DP v1.4</i> . Used for Horizontal Blanking Expansion. A DP Source device shall program these registers prior to transmitting the video stream to be expanded by a DPRX. 0000h = Default			Read/Write
	0	7:0	OUTPUT_HTOTAL7:0 Least significant eight bits of the 16-bit OUTPUT_HTOTAL.	
	1	7:0	OUTPUT_HTOTAL15:8 Most significant eight bits of the 16-bit OUTPUT_HTOTAL.	
03056h and 03057h	OUTPUT_HSTART New to <i>DP v1.4</i> . Used for Horizontal Blanking Expansion. A DP Source device shall program these registers prior to transmitting the video stream to be expanded by a DPRX. 0000h = Default			Read/Write
	0	7:0	OUTPUT_HSTART7:0 Least significant eight bits of the 16-bit OUTPUT_HSTART.	
	1	7:0	OUTPUT_HSTART15:8 Most significant eight bits of the 16-bit OUTPUT_HSTART.	
03058h and 03059h	OUTPUT_HSP_HSW New to <i>DP v1.4</i> . Used for Horizontal Blanking Expansion. A DP Source device shall program these registers prior to transmitting the video stream to be expanded by a DPRX. 0000h = Default			Read/Write
	0	7:0	OUTPUT_HSP_HSW7:0 Least significant eight bits of the 15-bit OUTPUT_HSP_HSW.	
	1	6:0	OUTPUT_HSP_HSW14:8 Most significant seven bits of the 15-bit OUTPUT_HSP_HSW.	
	1	7	OUTPUT_HSP 0 = Positive pulse (default.) 1 = Negative pulse.	
0305Ah through 030FFh	RESERVED for Protocol Converter Extension			Read all 0s

表2-167: DPCD多触摸 (EDP) 字段中的地址映射 (DPCD地址60000H至61CFFH)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within Multi-touch (for eDP) Field	
The Multi-touch field is valid only with DPCD r1.3 (applicable to the <i>eDP v1.4</i> DPRX).			
60000h through 61CFFh	RESERVED for Multi-touch (for <i>eDP v1.4</i> or higher)		

表2-168: DPCD HDCP 1.3中的地址映射和HDCP2.2字段 (DPCD地址68000H至69FFFH)

DPCD Address	Register		Read/Write over AUX CH
	Bit #	Definition within HDCP 1.3 and HDCP2.2 Field	
68000h through 68FFFh		RESERVED for HDCP1.3 See HDCP v1.3.	
69000h through 69FFFh		RESERVED for HDCP2.2 See HDCP v2.2.	

表2-169: dpcd lt-tunable PHY中继器场中的地址映射 (DPCD通过F02FFh地址F0000h)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within LT-tunable PHY Repeater Field	
The LT-tunable PHY Repeater field is valid only with DPCD r1.4. LT-tunable PHY Repeater-related registers located at DPCD Addresses F0000h through F02FFh are valid only when the DPCD revision is DPCD r1.4 or higher. Note: DPCD Addresses F0010h through F005Fh comprise the PHY_Repeater1 Configuration and Status field.				
F0000h	LT_TUNABLE_PHY_REPEATER_FIELD_DATA_STRUCTURE_REV LT-tunable PHY Repeater must return the lowest common denominator of its own value and the downstream PHY Repeater link value only when the response received on a DFP is non-zero. If response received on a DFP is 0, the value of this field is returned.			Read Only
		3:0	Minor Revision Number 4h for this Standard.	
		7:4	Major Revision Number 1h for this Standard.	
F0001h	MAX_LINK_RATE_PHY_REPEATER Maximum link rate of Main-Link lanes = Value x 0.27Gbps.			Read Only
		7:0	MAX_LINK_RATE Only four values are supported. All other values are RESERVED except for <i>eDP v1.4</i> (DPCD r1.3 or lower) and MyDP DPRX. 06h = 1.62Gbps/lane. 0Ah = 2.7Gbps/lane. 14h = 5.4Gbps/lane. 1Eh = 8.1Gbps/lane. <i>eDP v1.4</i> DPRX (DPCD r1.3 or lower) can program the MAX_LINK_RATE register value to 00h to indicate that the DPRX supports the Main-Link rates by way of the Link Rate Table method. See <i>eDP v1.4</i> . A MyDP DPRX of an active MyDP converter (either MyDP-to-legacy converter or MyDP-to-DP lane-count converter) can support a value of 19h (6.75Gbps per lane).	

表2-169: dpcd lt-tunable PHY中继器场中的地址映射 (DPCD地址为F0000H至F02FH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within LT-tunable PHY Repeater Field	
F0002h	PHY_REPEATER_CNT Indicates the number of PHY Repeaters that are present. Up to eight are available.			Read Only
		7:0	PHY_REPEATER_CNT 80h = 1 PHY Repeater are present. 40h = 2 PHY Repeaters are present. 20h = 3 PHY Repeaters are present. ... 01h = 8 PHY Repeaters are present. This field shall default to 80h when the data response received on a DFP is 0. For the case in which a non-zero value is received on a DFP, the value of this field is data received on the DFP divided by 2. This field is also used by the LT-tunable PHY Repeater to determine which PHY_REPEATER[8:1] CONFIGURATION AND STATUS register(s) to use during Link Training.	
F0003h	PHY_REPEATER_MODE Must be programmed to 55h upon power-on reset or an upstream device disconnect. Indicates the mode in which LT-tunable PHY Repeater is operating.			Write/Read
		7:0	PHY_REPEATER_MODE The LT-tunable PHY Repeater must return the lowest common denominator of its own value and the downstream PHY_REPEATER_MODE value only when the response received on a DFP is 55h or AAh. If the response received on a DFP is a value other than 55h or AAh, the value of this field is returned. The DPTX can use this field to control the PHY_REPEATER_MODE of all PHY Repeaters between the DPTX and DPRX. For example, a write request of AAh causes all PHY Repeaters to operate in Non-transparent mode. 55h = Transparent mode (default). AAh = Non-transparent mode.	

表2-169: dpcd lt-tunable PHY中继器场中的地址映射 (DPCD地址为F0000H至F02F FH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within LT-tunable PHY Repeater Field	
F0004h	Repeater_FEC_CAPABILITY New to <i>DP v1.4</i> .			Read Only
		0	FEC_CAPABLE 0 = Not capable. 1 = Capable.	
		1	UNCORRECTED_BLOCK_ERROR_COUNT_CAPABLE 0 = Not capable. 1 = Capable.	
		2	CORRECTED_BLOCK_ERROR_COUNT_CAPABLE 0 = Not capable. 1 = Capable.	
		3	BIT_ERROR_COUNT_CAPABLE 0 = Not capable. 1 = Capable.	
		7:4	RESERVED	Read all 0s
F0005h through F000Fh	RESERVED for LT-tunable PHY Repeater			Read all 0s
F0010h	TRAINING_PATTERN_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the TRAINING_PATTERN_SET register (DPCD Address 00102h). This field is mirrored in all PHY Repeaters. The remaining PHY Repeaters between DPTX and DPRX must snoop writes to this field.			Write/Read
F0011h	TRAINING_LANE0_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the TRAINING_LANE0_SET register (DPCD Address 00103h). The LT-tunable PHY Repeater upstream of PHY_Repeater1 must snoop writes to this field and update its output levels (Swing and Pre-emphasis) based on the value written to this field.			Write/Read
F0012h	TRAINING_LANE1_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the TRAINING_LANE1_SET register (DPCD Address 00104h). The LT-tunable PHY Repeater upstream of PHY_Repeater1 must snoop writes to this field and update its output levels (Swing and Pre-emphasis) based on the value written to this field.			Write/Read

表2-169: dpcd lt-tunable PHY中继器场中的地址映射 (DPCD地址为F0000H至F02Fh) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within LT-tunable PHY Repeater Field	
F0013h	TRAINING_LANE2_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the TRAINING_LANE2_SET register (DPCD Address 00105h). The LT-tunable PHY Repeater upstream of PHY_Repeater1 must snoop writes to this field and update its output levels (Swing and Pre-emphasis) based on the value written to this field.			Write/Read
F0014h	TRAINING_LANE3_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the TRAINING_LANE3_SET register (DPCD Address 00106h). The LT-tunable PHY Repeater upstream of PHY_Repeater1 must snoop writes to this field and update its output levels (Swing and Pre-emphasis) based on the value written to this field.			Write/Read
F0015h	LINK_QUAL_LANE0_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the LINK_QUAL_LANE0_SET register (DPCD Address 0010Bh).			Write/Read
F0016h	LINK_QUAL_LANE1_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the LINK_QUAL_LANE1_SET register (DPCD Address 0010Ch).			Write/Read
F0017h	LINK_QUAL_LANE2_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the LINK_QUAL_LANE2_SET register (DPCD Address 0010Dh).			Write/Read
F0018h	LINK_QUAL_LANE3_SET_PHY_REPEATER1 Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definition is identical to that of the LINK_QUAL_LANE3_SET register (DPCD Address 0010Eh).			Write/Read
F0019h through F002Fh	RESERVED for LT-tunable PHY Repeater			Read Only
F0030h	LANE0_1_STATUS_PHY_REPEATER1 Bit definition is identical to that of the LANE0_1_STATUS register (DPCD Address 00202h).			Read Only
F0031h	LANE2_3_STATUS_PHY_REPEATER1 Bit definition is identical to that of the LANE2_3_STATUS register (DPCD Address 00203h).			Read Only

表2-169: dpcd lt-tunable PHY中继器场中的地址映射 (DPCD地址为F0000H至F02F FH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within LT-tunable PHY Repeater Field	
F0032h	LANE_ALIGN_STATUS_UPDATED_PHY_REPEATER1 Bit definition is identical to that of the LANE_ALIGN_STATUS_UPDATED register (DPCD Address 00204h).			Read Only
F0033h	ADJUST_REQUEST_LANE0_1_PHY_REPEATER1 Bit definition is identical to that of the ADJUST_REQUEST_LANE0_1 register (DPCD Address 00206h).			Read Only
F0034h	ADJUST_REQUEST_LANE2_3_PHY_REPEATER1 Bit definition is identical to that of the ADJUST_REQUEST_LANE2_3 register (DPCD Address 00207h).			Read Only
F0035h and F0036h	SYMBOL_ERROR_COUNT_LANE0_PHY_REPEATER1 Bit definition is identical to that of the SYMBOL_ERROR_COUNT_LANE0 register (DPCD Address 00210h and 00211h).			Read Only
F0037h and F0038h	SYMBOL_ERROR_COUNT_LANE1_PHY_REPEATER1 Bit definition is identical to that of the SYMBOL_ERROR_COUNT_LANE1 register (DPCD Address 00212h and 00213h).			Read Only
F0039h and F003Ah	SYMBOL_ERROR_COUNT_LANE2_PHY_REPEATER1 Bit definition is identical to that of the SYMBOL_ERROR_COUNT_LANE2 register (DPCD Address 00214h and 00215h).			Read Only
F003Bh and F003Ch	SYMBOL_ERROR_COUNT_LANE3_PHY_REPEATER1 Bit definition is identical to that of the SYMBOL_ERROR_COUNT_LANE3 register (DPCD Address 00216h and 00217h).			Read Only
F003Dh	IEEE_OUI First two hex digits.			Read Only
F003Eh	IEEE_OUI Second two hex digits.			Read Only
F003Fh	IEEE_OUI Third two hex digits.			Read Only
F0040h through F0045h	LT-tunable PHY Repeater Device Identification String Identifies an LT-tunable PHY Repeater device. Up to six ASCII characters, starting at XXXh. Remaining bytes are 00h if fewer than six characters.			Read Only
F0046h	Hardware Revision			Read Only
F0047h	Firmware/Software Major Revision			Read Only
F0048h	Firmware/Software Minor Revision			Read Only
F0049h through F005Fh	Vendor-Specific Space for PHY_Repeater1			Vendor-Specific

表2-169: dpcd lt-tunable PHY中继器场中的地址映射 (DPCD地址为F0000H至F02F FH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within LT-tunable PHY Repeater Field	
F0060h through F00AFh	PHY_REPEATER2 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0010h through F005Fh), but for PHY Repeater2.			Write/Read and Read Only
F00B0h through F00FFh	PHY_REPEATER3 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0010h through F005Fh), but for PHY Repeater3.			Write/Read and Read Only
F0100h through F014Fh	PHY_REPEATER4 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0010h through F005Fh), but for PHY Repeater4.			Write/Read and Read Only
F0150h through F019Fh	PHY_REPEATER5 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0010h through F005Fh), but for PHY Repeater5.			Write/Read and Read Only
F01A0h through F01EFh	PHY_REPEATER6 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0010h through F005Fh), but for PHY Repeater6.			Write/Read and Read Only
F01F0h through F023Fh	PHY_REPEATER7 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0010h through F005Fh), but for PHY Repeater7.			Write/Read and Read Only
F0240h through F028Fh	PHY_REPEATER8 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0010h through F005Fh), but for PHY Repeater8.			Write/Read and Read Only
F0290h	FEC_STATUS_PHY_REPEATER1			Write/Read and Read Only
		0	FEC_DECODE_EN_DETECTED 0 = Not detected. 1 = Detected.	
		1	FEC_DECODE_DIS_DETECTED 0 = Not detected. 1 = Detected.	
		7:2	RESERVED	Read all 0s

表2-169: dpcd lt-tunable PHY中继器场中的地址映射 (DPCD地址为F0000H至F02F FH) (续)

DPCD Address	Register			Read/Write over AUX CH
	Byte #	Bit #	Definition within LT-tunable PHY Repeater Field	
F0291h and F0292h	FEC_ERROR_COUNT_PHY_REPEATER1 New to <i>DP v1.4</i> .			Write/Read and Read Only
	0	7:0	FEC_ERROR_COUNT_PHY_REPEATER1_7:0 Least significant eight bits of the 15-bit error count.	
	1	6:0	FEC_ERROR_COUNT_PHY_REPEATER1_14:8 Most significant seven bits of the 15-bit error count.	
	1	7	FEC_ERROR_COUNT_VALID 0 = Not valid. 1 = Valid.	
F0293h through F0297h	RESERVED for LT-tunable PHY Repeater			Read all 0s
F0298h and F029Fh	FEC_PHY_REPEATER2 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0290h through F0292h), but for FEC_PHY Repeater2.			Write/Read and Read Only
F02A0h and F02A7h	FEC_PHY_REPEATER3 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0290h through F0292h), but for FEC_PHY Repeater3.			Write/Read and Read Only
F02A8h and F02AFh	FEC_PHY_REPEATER4 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0290h through F0292h), but for FEC_PHY Repeater4.			Write/Read and Read Only
F02B0h and F02B7h	FEC_PHY_REPEATER5 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0290h through F0292h), but for FEC_PHY Repeater5.			Write/Read and Read Only
F02B8h and F02BFh	FEC_PHY_REPEATER6 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0290h through F0292h), but for FEC_PHY Repeater6.			Write/Read and Read Only
F02C0h and F02C7h	FEC_PHY_REPEATER7 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0290h through F0292h), but for FEC_PHY Repeater7.			Write/Read and Read Only

表2-169: dpcd lt-tunable PHY中继器场中的地址映射 (DPCD地址为F0000H至F02FH) (续)

DPCD Address	Register			Read/ Write over AUX CH
	Byte #	Bit #	Definition within LT-tunable PHY Repeater Field	
F02C8h and F02CFh	FEC_PHY_REPEATER8 CONFIGURATION AND STATUS FIELD Must be cleared to 00h upon power-on reset or an upstream device disconnect. Bit definitions are identical to that of the PHY_Repeater1 Configuration and Status field (DPCD Addresses F0290h through F0292h), but for FEC_PHY Repeater8.			Write/Read and Read Only
F02D0h through F02FFh	RESERVED for LT-tunable PHY Repeater			Read all 0s

表2-170: DPCD MyDP特定字段中的地址映射 (DPCD通过FFFFFFH地址FFF00H)

DPCD Address	Register		Read/ Write over AUX CH
	Bit #	Definition within MyDP-specific Field	
FFF00h	RESERVED for MyDP-specific		
FFF01h	MyDP_POWR_CAP See MyDP v1.0 and SCR.		
FFF02h through FFFFFh	RESERVED for MyDP-specific		

2.9.4

AUX链接服务

要将等于的数据流从源设备传输到接收器设备，链接策略制定者必须首先建立主链接。主要链接必须在以下步骤序列中建立。

Note: *All the commands are memory-mapped, whether setting or getting link parameters.*

步骤_1:

除非具有预设知识，否则源必须通过读取接收器能力字段（DPCD地址00000H至000FFH；请参见表2-155）和扩展的接收器功能字段（DPCD地址02200H至022FFH；请参见表2-165）。接收器功能和扩展接收器能力字段必须描述接收器DPRX的主链接接收器功能，例如最大比特率和最大车道数。阅读DPCD的详细信息将在本节中稍后解释。

步骤_2:

基于DPCD信息，源必须启动链接初始化过程。链接初始化期间必须进行以下序列：

1源设备中的链接政策制定者必须启动链接培训。此功能调用通知接收器设备通过主链接PHY层随机传输训练模式，并在此功能中定义了链接配置和训练属性。

2源设备的链接政策制定者必须检查流政策制定者的培训状态和最终结果报告。

如果链接制定者检测到失败的链接培训尝试，则必须采取纠正措施。可能的更正措施是：

- 如果链接处于高比特率模式，则比特率的降低
- 链接初始化的终止

设置主链接配置和转发训练模式的循环，同时检查状态必须以通行证或失败的最终结果结束。“通行证”是指在每个配置的车道上都实现了位锁定和符号锁，并且所有车道都是用正确的车间对齐方式锁定的符号（在相邻车道之间偏斜了两个LS_CLK时期）。

否则，这是“失败”。

建立主链接后，源设备的链接政策制定者必须在HPD上升边缘后检测到HPD（热插头检测）信号切换时检查链接状态。源装置必须忽略低脉冲或高脉冲周期小于0.25ms。换句话说，源设备必须在上升边缘后至少0.25毫秒之前检查链接状态。

接收器设备必须在链接或设备中有状态更改时再次将HPD信号清除为0.5至1ms，然后再次将其设置高。这将通知状态更改的源设备。

源设备必须通过AUX读取事务检查链接/接收器设备状态字段（DPCD地址00200H至002FFH；请参见表2-157），以识别HPD上升边缘100ms的原因。确定原因后，链接政策制定者必须采取纠正措施。

If the HPD is the result of a new device being connected, either directly to the Source device (signaled by a long HPD), or downstream of a Branch device (indicated by incrementing the value of the DFP_COUNT field in the DOWN_STREAM_PORT_COUNT register (DPCD Address 00007h, bits 3:0) and signaled by an IRQ_HPDPulse), the Source device must read the new EDID that has been made available to it. 它可以确保通过链接传输的内容能够正确接收和渲染。

Note: *(Informative) In case the HPD signal toggling (or bouncing) is the result of the Hot Unplug followed by Hot Plug of a cable-connector assembly, then the HPD signal is likely to remain unstable during the de-bouncing period, which is in the order of tens of milliseconds. The Source device may either check stability of the HPD signal before initiating an AUX read transaction or immediately initiate the AUX read transaction after each HPD rising edge.*

2.9.4.1 IEEE OUI和设备标识

具有不同DP PHY层和/或链接层实现的设备设计必须通过IEEE OUI，设备识别字符串，硬件版本和固件/软件版本的唯一组合来区分（统称适当地称为“源设备识别，接收器设备识别或分支设备识别”）。offsets 00 n 03H至00 n 0bH的特定值由00 n 00H至00 n 02H中指定的OUI的所有者确定，n = 02H（用于n = 3用于源设备，n = 4 源设备在更新源设备标识时必须使用突发写入。

该标准并不排除源设备动态更新源设备标识。例如，如果源设备支持多个独立的源设备特定的行为，并且需要在它们之间动态切换，则源设备必须对这些行为使用不同的源标识。接收器设备必须维护与源设备特定寄存器的当前值和与每个源识别相关的功能相关的功能的当前值，当源设备从相应的源设备识别转换并在源设备切换回相应的源设备识别时，将其保存并保存。

2.9.4.2 d 使用SST模式源设备的多链接拓扑中的PCD

当一个或多个接收器设备通过分支设备连接到源设备时，DisplayPort拓扑具有多个链接。将SST传输格式从输入端口转发到输出端口（充当SST模式中继电器设备）必须理解其下游链接的DPCD，如第2.1.4.1节所述。仅SST模式上游DP设备必须仅检查其直接下游设备的DPCD，而不管链接拓扑如何。

2.9.4.2.1 下游遗产链接的接收器能力

一般而言，遗产链接没有相当于DPCD定义的接收器功能字段。

功能各不相同。一些旧的链接可以支持音频和视频，而另一些则仅限于视频。支持的像素数据速率和颜色格式也取决于旧链接的类型及其实现。

DP源设备通过DisplayPort to-egacy转换器连接到传统水槽设备时，必须根据旧水槽设备EDID表达的水槽设备功能确定流格式，以及电缆适配器是否是HDMI电缆适配器。

2.9.4.3通过链接培训链接初始化

除非源主链接发射器和接收器主链路接收器已经在链接/接收器设备状态字段中所示（DPCD地址00200H至002FFH；请参见表2-157）。在链接初始化期间，必须使用AUX Transactions用所需的一组链接配置参数来训练链接。有关链接培训顺序的详细说明，请参阅

第3.5.1.2节。

链接培训要求的例外是嵌入式显示端口连接。When DP Source device reads 1 in the NO_AUX_TRANSACTION_LINK_TRAINING bit in the MAX_DOWNSPREAD register (DPCD Address 00003h, bit 6) of DP Sink device, it may transmit TPS1 (which is a repetition of D10.2 symbols without scrambling) and TPS2, TPS3, or TPS4, depending on the common capability of the DPTX and DPRX before switching to normal operation without AUX交易（即，在培训或完成成功培训后，没有使用AUX交易来启动培训）。

框到框连接还有另一个例外。当DP源设备恢复传输（例如，从睡眠中醒来）时，如果满足以下条件，源设备可能会跳过链路训练的AUX交易：

- 源设备已确定HPD信号一直在持续断言（除IRQ_HPD通知外），因为该链接是最后一次操作。
- 源设备在初始接收器设备检测后已读取1个no_aux_transaction_link_training位。

如果满足上面列出的条件，并且源设备确定要使用的带宽与链接的最后操作最后运行时所使用的带宽相同，则源设备可以使用最后一个已知的良好电压摆动和预先设置在不带Ax的正常操作之前传输链路训练模式序列1和2（每个最小值500）。无论是否跳过了完整的链接训练，DP接收器设备都必须在HPD信号线上发送IRQ_HPD脉冲，而当它无法同步到传入的主链接流。

链接培训成功完成（这意味着DPRX已同步到传入的主链接数据），并且在主视频流的运输开始之前，源主链接发送器必须发送由BS符号序列BS + BF + BF + BF + BS的“空闲图案”，该v3} bs for a NovID in NovID in NovID in NovID in NovID（插入每213（或8192）链接符号。BS符号序列集的每512次出现必须由Scrambler RESET符号序列SR + BF + BF + SR代替。

源设备清除了DPCD中的训练_Pattern字节后，必须开始发送空闲模式。一旦更新链接/接收器设备状态字段（DPCD地址00200H至002FFH；请参见表2-157），该水槽设备应立即接收“空闲模式”，以指出成功完成链接培训到源设备。

链接训练可能会导致可用的带宽低于最初尝试的带宽（例如，尝试在HBR失败的训练，训练回到RBR）。源设备不得尝试传输所需的带宽高于实际使用的AV流。

由于某种原因，可能会重新培训链接。由于重新训练低于先前培训导致的带宽而导致的可用带宽必须耐受性，并且这可能又需要更改视频模式集。

对于封闭的嵌入式连接，可以将DPTX和DPRX设置为预校准的参数，而无需通过完整的链接训练序列。在此模式下，DPTX可能在以前校准的驱动电流和预先强调级别的时钟恢复模式传输后开始正常操作。

在链接培训之后切换到MST格式时，上游设备的DPTX必须在MSTM_CTRL寄存器（DPCD地址00111H，BIT 0）中设置MST_EN位，然后才开始启动链接培训。上游设备必须在流启动之前发送至少四个MST链接帧（四个SR循环）。

2.9.4.4 链接维护

带有DPRX的下游设备必须在正常操作期间在以下寄存器中维护链接状态标志：

- Lane x _y_STATUS寄存器（S）和Lane x _y_STATUS_ESI寄存器（DPCD地址（ES）00202H和00203H，以及分别分别为0200DH和0200DH）
- LANE_ALIGN_STATUS_UPDATED和LANE_ALIGN_STATUS_UPDATED_ESI寄存器（dpcd地址00204H和0200EH）

Upon loss of synchronization with the Source for any reason other than after receiving a request to program the SET_POWER_STATE field in the SET_POWER & SET_DP_PWR_VOLTAGE register (DPCD Address 00600h, bits 2:0) to 10b, or to request re-training the link for any reason, the Sink must clear the INTERLANE_ALIGN_DONE bit in the LANE_ALIGN_STATUS_UPDATE D and lane_align_status_updated_esi寄存器并生成一个独特的IRQ_HPD（即，由于任何其他原因，与生成的IRQ_HPD不同）。源设备的链接策略制定者必须在HPD上升边缘100ms内检测到IRQ_HPD信号切换时，必须检查链接状态。通过读取位于DPCD地址00200H至00205H的链接状态字段来执行此检查。

Note: *The format change in the transported stream does not necessarily result in a Link Status change, as long as the link remains stable. For example, some Source devices may choose to continue transmitting stuffing symbols when the stream has stopped. In this case, the Main-Link remains synchronized.*

2.9.4.5 链接质量测试支持

DisplayPort支持测量链路质量的测试程序。支持以下功能：

- 传输Nyquist图案（重复D10.2符号而无需争夺）
- 符号错误测量模式
- PRBS7位模式
- 自定义80位重复模式
- CP2520（HBR2合规性眼模式）

DP源设备可以支持主链接上每个车道独立选择测试模式。

表2-171总结了链接训练和链接质量测量的哪些模式被炒作。

表2-171：ANSI 8B/10B编码和争夺链接管理规则

Pattern Type	ANSI 8b/10b Encoded?	Scrambled?
Link Training Pattern Sequence 1	Yes	No
Link Training Pattern Sequence 2	Yes	No
Link Training Pattern Sequence 3	Yes	No
Link Training Pattern Sequence 4	Yes	Yes
D10.2 Test Pattern (Same as Link Training Pattern Sequence 1)	Yes	No
Symbol Error Rate Measurement Pattern	Yes	Yes
PRBS7	No	No
Custom 80-bit pattern	No	No
CP2520 Patterns 1/2/3	Yes	Yes

当传输未扰乱的模式时，源必须在triagh_pattern_set寄存器（DPCD地址00102H，位5）中设置Scrambling_disable位。水槽设备不得依赖于设置的位。

- 2.9.4.5.1 奈奎斯特图案的传播
- 这种模式包括重复D10.2符号（不加扰），与Bit-Lock的链接训练模式序列1相同。这种模式导致主链路以其最高频率切换（例如，当链接比特率为2.7Gbps时，1.35GHz）。系统集成商可以使用此模式来测量传输信号的抖动性能。

DP源设备通过将001写入link_qual_pattern_set字段的link_qual_lane x_SET寄存器（s）（dpcd地址（ES）0010bh至0010EH，bits 2：0）中的link_qual_pattern_set字段来发出此模式的传输。

在通知此模式的传输后，DP接收器设备必须在保持DPRX运行的同时将其屏幕空白。

- 2.9.4.5.2 符号错误率测量模式
- 这种模式包括由发射器扰乱的数据00H（在ANSI 8B/10B编码之前）的重复。（有关争夺多项式的详细信息，请参见附录E。）DP源设备必须定期（每213或8192个符号）发送单个流传输BS符号序列。PHY层必须用SR符号序列替换每个第512 BS符号序列，以重置扰动器。

VB-ID/MVID/MAUD值以及其他数据符号必须在传输符号错误率测量模式时清除为00H。

Upon being notified of the transmission of this pattern, the DP Sink device must start increasing the SYMBOL_ERROR_COUNT_LANE_x register's (DPCD Addresses 00210h through 00217h; each register is comprised of two bytes, within which the error count is stored in the 15 least significant bits) value each time it has unscrambled data value other than 00h.

DP源设备必须读取一段时间以后读取symnd_error_count_lane x值。使用读取值和经过的时间，它必须计算近似符号错误率。

传输1E + 9链接符号大约需要10秒。因此，建议发射器等待10到100，然后再读取接收器的符号错误计数。

符号错误率计算如下：

- 在8.1Gbps/lane：

$$\begin{aligned} & \text{Symbol Error Rate in units of } 10^{-9} \\ & = \text{Error\_Count} / (0.81 * \text{Measurement Period in seconds}) \end{aligned}$$

- 在5.4Gbps/Lane：

$$\begin{aligned} & \text{Symbol Error Rate in units of } 10^{-9} \\ & = \text{Error\_Count} / (0.54 * \text{Measurement Period in seconds}) \end{aligned}$$

- 在2.7Gbps/Lane：

$$\begin{aligned} & \text{Symbol Error Rate in units of } 10^{-9} \\ & = \text{Error\_Count} / (0.27 * \text{Measurement Period in seconds}) \end{aligned}$$

- 在1.62Gbps/lane：

$$\begin{aligned} & \text{Symbol Error Rate in units of } 10^{-9} \\ & = \text{Error\_Count} / (0.162 * \text{Measurement Period in seconds}) \end{aligned}$$

2.9.4.5.3

PRB和位模式

有关PRBS7位模式的详细说明，请参见Training_pattern_Set寄存器（DPCD地址00102H）。

2.9.4.5.4

80位定制模式

支持HBR2的上游DP设备必须能够发送80位重复模式。不支持HBR2的上游DP设备可能能够发送80位重复模式。自定义图案未用ANSI 8B/10B扰乱或编码。自定义模式仅在上游设备的物理合规测试中具有更大的灵活性（不适用于下游设备）。

2.9.4.5.5

CP2520（HBR2合规性眼模式）

能够支持HBR2的上游DP设备必须能够通过ANSI 8B/10B编码发送炒数据的重复。（有关争夺多项式的详细信息，请参见附录E。）对于不支持HBR2的上游设备，此功能是可选的。上游设备必须输出每个HBR2_COMPLIANCE_SCRAMBLER_RESET寄存器（DPCD地址0024AH和0024BH）符号的每个HBR2_Compliance_scrambler_reset寄存器（sr bf bf sr）的增强框架的扰动重置序列（SR BF BF SR）。如果HBR2_COMPLIANCE_SCRAMBLER_RESET少于4，则不传输crambler重置序列。

具有HBR2功能的下游DP设备必须能够从测试设备接收CP2520（HBR2合规性眼模）。在合规性测试中，链接训练完成后，下游设备扰流器将通过SR符号重置。HBR2下游DP设备必须开始增加symnd_err_count_lane x寄存器（DPCD地址00210H至00217H;每个寄存器;每个寄存器都包含两个字节，其中误差计数由15个最不重要的位置存储在15个最不重要的位置），每个寄存器每次都有一个未划分的数据值。

2.9.5 AUX设备服务

AUX设备服务用于图形主机（DP源设备）和显示设备（DP接收器设备）之间的通信。以下是通过使用AUX交易支持的显示设备服务的示例：

- EDID支持
- MCC支持
- 水槽事件通知

DDC/CI上的EDID和MCC通过将I2C交易映射到DisplayPort上，以维持最大的软件透明度来支持。

此外，预计AUX交易将用于可选的内容保护功能。

2.9.5.1 通过I2C映射的E-DDC支持

E-DDC允许显示器使用I2C总线将其身份和能力告知主机。与基本EDID块的128个字节相比，E-DDC使通信通道能够解决更大的数据集。E-DDC允许基于段指针访问多达32KB的数据，该指针允许访问多个块256个字节。

使用第2.8.5节中描述的I2C总线交易映射，可以在AUX CH上使用AUX Transactions支持E-DDC事务。

2.9.5.2 通过I2C-Ever-aux交易对DDC/CI支持的MCC

MCC提供了一组命令，可用于控制显示的功能和功能。

通过使用第2.8.5节中描述的I2C-AUX-AUX交易，可以在AUX CH上支持DDC/CI上的MCCS交易。

该标准并未定义最低所需的MCC命令集。但是，应注意的是，包括MCC标准和操作系统微标程序在内的某些规格确实定义了要支持的最低集合。

2.9.5.3 水槽事件通知

DisplayPort标准支持一种机制，通过该机制可以通过该机制通知接收器事件的源设备。

附录B中描述了如何支持接收器事件通知的一个示例。

2.10 EDP的备用炒作重置

2.10.1 协议分化方法

定义了一种替代的crambler重置方法，以确保在符合性的EDP源和非deDP接收器之间进行非交互性，在这种情况下，这种非交互性被定义为无法可靠地从源传达音频或视频数据从源传达到sink。

该方法的实现是可选的。与其他EDP实践一致，系统集成器最终负责确保EDP源和为特定应用程序选择的接收器之间的互操作性。通过嵌入式系统中使用的给定设备（源，接收器或分支）确定是超出该标准范围的实现问题。

使用备用的crambler重置方法，SR符号将LFSR在源和接收器设备中的LFSR重置为FFFEH，而不是（非EDP连接）值FFFFH。该方法仅应在提供EDP连接的设备上实现，该设备通过嵌入式（不可用户）互连。耐篡改方法应在允许在EDP或框到框的DisplayPort应用程序中使用的设备中使用系统集成器在制造/组装时间确定：

2.10.2 s YMBOL错误率测量模式输出（信息性）

表2-172包含crambler重置后符号错误率测量模式的前50个符号。这些是在争夺后和ANSI 8b/10b编码之前的8位值。

a. For example: package bond options, fuses, or external strapping options, buried vias/trace connections.

表2-172：符号错误率测量模式在crambler重置之后

Symbol #	Normal Scrambling (hex)	Alternate Scrambling (hex)	Symbol #	Normal Scrambling (hex)	Alternate Scrambling (hex)
1	FF	FF	26	02	CF
2	17	97	27	77	F1
3	C0	C0	28	2A	64
4	14	88	29	CD	07
5	B2	12	30	34	C5
6	E7	65	31	BE	DF
7	02	C9	32	E0	3F
8	82	94	33	A7	27
9	72	BA	34	5D	92
10	6E	BB	35	24	D0
11	28	AB	36	B1	0D
12	A6	2A	37	9B	D9
13	BE	01	38	A1	74
14	6D	14	39	BD	A9
15	BF	61	40	22	86
16	8D	2F	41	D4	23
17	BE	00	42	45	D2
18	40	29	43	1D	D4
19	A7	F8	44	D3	A3
20	E6	6F	45	D7	8D
21	2C	87	46	EA	A0
22	D3	CF	47	76	90
23	E2	F3	48	EE	3B
24	B2	14	49	2C	87
25	07	85	50	DA	96

本节中描述的消息AUX客户端实现了以下功能：

- 使用本机AUX Transactions从远程DP节点发送请求和接收回复的机制，以维护DP拓扑映射，以添加，更新和删除虚拟通道，读取或编写远程设备DPCD位置，并将I2C Transactions发送到连接到远程DP nodes的I2C设备（例如）。
- 报告状态的机制更改为消息AUX客户端的客户
- 向请求发起者报告请求时错误的机制。

消息AUX客户端是AUX Transaction Arbitor的客户端。消息AUX客户端提供了拓扑的任意两个DP节点之间的通信手段。图2-115显示了消息传递辅助客户端在DP节点中的位置。

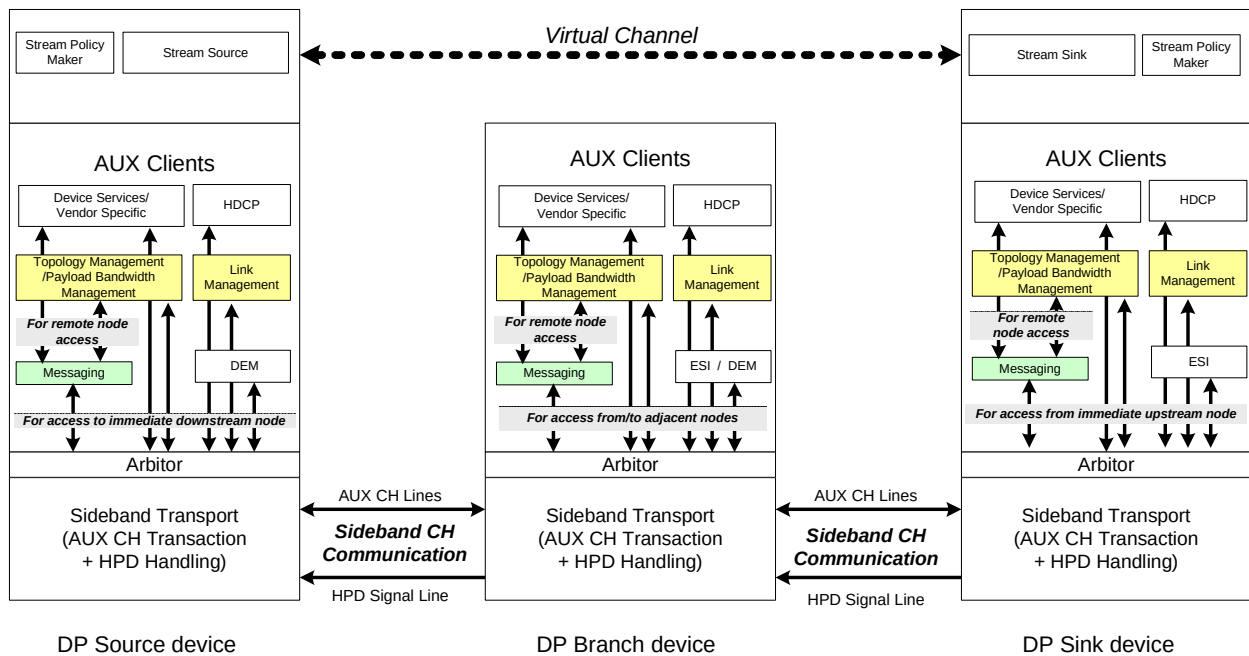


图2-115： DP节点中的消息传递辅助客户端

消息AUX客户端的客户端是拓扑管理的拓扑管理，有效负载带宽管理和流程/链接政策制定者的设备/供应商特定服务。

本节包括以下小节：

- 第2.11.1节 - 消息AUX客户端层简要概述了构成消息AUX客户端层的两个功能层；侧带MSG层的消息事务层。

- 第2.11.2节 - 消息交易层请求和回复消息事务对构成消息事务序列。

请求消息交易可以由上游DP节点的DPTX发起

(down_req_msg)或下游DP节点的DPRX (UP_REQ_MSG)。请求的语法和回复消息交易和处理多个消息交易的处理是涵盖本小节。

- 第2.11.3节 - 边带MSG层侧带MSG由侧带MSG标头和车身组成。边带味精头

描述目标DP节点地址（称为相对地址或RAD），以及沿消息路径的哪些节点接收消息。边带味精的身体带有身体消息事务。如果消息交易主体不适合单个侧班MSG主体，它分为多个边带MSG身体。每个边带MSG标头F给定的消息事务具有相同的边带MSG标头，但有点指示EN交易（EMT）或交易开始（SMT）。r
y
d
或者
d

- 第2.11.4节 - 辅助支持AUX AUX客户端侧带MSG使用本机AUX写入/读取交易到某些DPCD地址范围，以移动侧带MSG标头和相邻DP节点之间的车身。中间DP节点更新相对地址，然后将边带MSG转发到目标DP节点。

- 第2.11.5节 - 由MST设备在路径中更新的RAD RAD是size link_count_total的nibbles的数组 - 侧带MSG标头中包含1个。

- 第2.11.6节 - 广播消息交易消息AUX客户端提供广播消息以及目标消息。广播消息交易是通过独特的相对地址确定的

广播消息的收件人可以使用ACK/NACK回复消息回复。e

- 第2.11.7节 - 定义了消息传递过程和要求，用于在DP设备之间交付侧带味精

使用本机AUX请求。

- 第2.11.8节 - 在消息事务层上处理错误处理错误。当侧带MSG层检测到错误时，侧带MSG将被删除，从而导致消息事务超时错误。

- 第2.11.9节 - 可用消息交易请求的描述本小节描述了14个可用的请求消息交易。

本节中使用的消息语法假定：

- 第一个字节定义首先发送。
- 所有字段均根据最重要的位和最重要的字节定义。
- 当下一个输入位是新字节的第一个位时（下一个位在新的字节边界上）时，字节校准（）函数将返回true。

2.11.1消息传递辅助客户端层

消息AUX客户端由两个功能层组成，消息交易层和侧带MSG层，如图2-116所示。

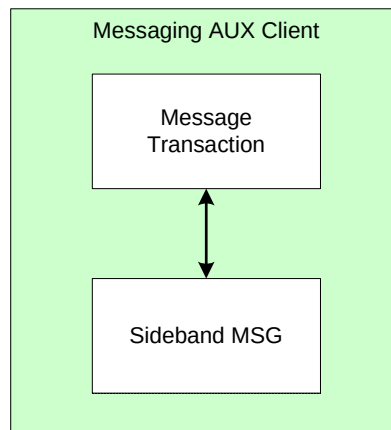


图2-116：消息辅助客户端层

消息事务层实现了构建在边界MSG协议顶部的消息交易协议。消息交易协议是一项请求 - 重新协议，支持拓扑发现和维护，建立或删除VC有效载荷以及在DP节点之间用于设备或供应商特定服务的DP节点之间的数据传输。

消息交易协议具有与之关联的版本号，如表2-173所定义。源设备通过将get_message_transaction_version消息事务传输到路径上的路径上，并使用驱动流式的分支单元传输到最后一个MST设备。最后一个MST设备使用其实施的消息交易协议版本号进行响应，或者如果该设备不支持get_message_transaction_version消息交易，则用NAK回复。上游设备将NAK视为指示协议版本编号为1。

对于符合DP V1.3及更高范围的所有MST能力分支机构和水槽设备都必须支持GET_MESSAGE_TRANSACTION_VERSION。如表2-173中所示，此类设备必须最小返回与DisplayPort标准的版本和修订号相对应的值。特别是，DP v1.3符合符合的设备不得返回01H的协议版本号，因为现在支持GET_MESSAGE_TRANSACTION_VERSION。

表2-173：消息交易协议编号

DisplayPort Standard	Protocol Version Number
Version 1 Revision 2a	01h
Version 1 Revision 3	02h

只有实现拓扑维护功能作为拓扑管理器的MST DP设备才能使用目标DP设备地址来启动请求消息交易。任何MST DP设备都可以启动广播消息交易，因为广播消息交易不包含目标DP设备。

DPTX源自DPTX的消息事务请求称为Down（即向下方向）请求消息，DOWN_REQ_MSG，并且关联的答复称为down回复消息，down_rep_msg（图2-117）。源自DPRX的消息事务请求称为UP_REQ_MSG的UP（即向上方向）请求消息，并将关联的答复称为UP回复消息UP_REP_MSG（图2-118）。

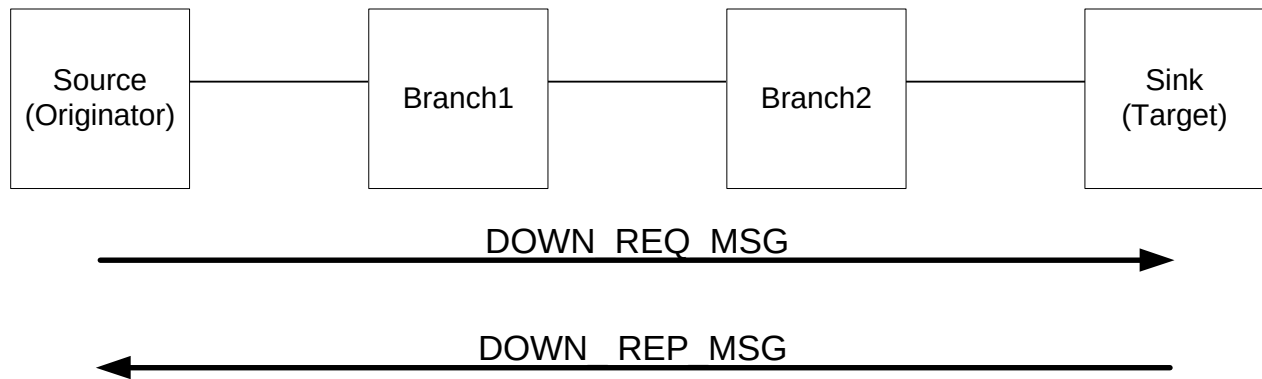


图2-117：下调请求消息和下回复消息

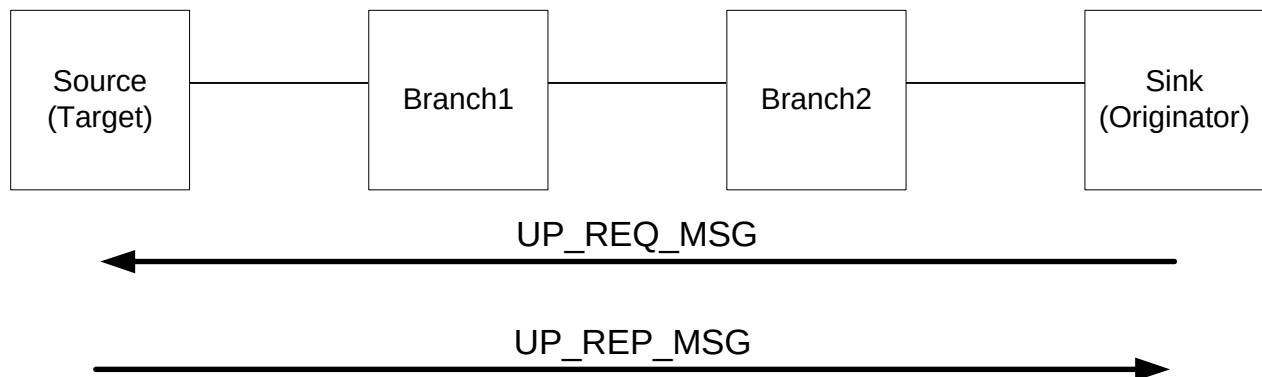


图2-118：UP请求消息和UP回复消息

侧带MSG层使用本机Aux Transactions作为基础层实现了侧带MSG协议。侧带MSG协议由两个DP节点之间发送的数据包组成。侧带MSG数据包由包含DP节点地址（相对地址或RAD）的边带MSG标头组成，然后是包含边带MSG客户端数据和边带MSG MSG车身CRC的边带数据包主体。

天然AUX交易用于将数据从DP节点传输到其直接下游或上游DP节点。

2.11.2 消息事务层

消息事务层实现了消息交易协议。一个DP节点使用消息交易协议在另一个DP节点中获取或更新信息。

2.11.2.1 消息交易协议

消息交易协议由消息交易序列组成。消息交易有两种类型 - 请求和回复消息交易。请求和复位消息事务对定义了消息事务序列。

表2-174: 消息交易序列语法

Syntax	# of Bits
Message_Transaction_Sequence() { Message_Transaction_Request() Message_Transaction_Reply() }	

2.11.2.2 Message_transaction_request ()

表2-175: 消息交易请求语法

Syntax	# of Bits
Message_Transaction_Request() { zero Request_Identifier Request_Data() }	1 7

2.11.2.2.1 request_Identifier

request_Identifier字段指定要获取或更新的信息。表2-176是有效request_Identifiers的列表。

表2-176：请求名称和标识符

Request Name	Request_Identifier
GET_MESSAGE_TRANSACTION_VERSION	00h
LINK_ADDRESS	01h
CONNECTION_STATUS_NOTIFY	02h
ENUM_PATH_RESOURCES	10h
ALLOCATE_PAYLOAD	11h
QUERY_PAYLOAD	12h
RESOURCE_STATUS_NOTIFY	13h
CLEAR_PAYLOAD_ID_TABLE	14h
REMOTE_DPCD_READ	20h
REMOTE_DPCD_WRITE	21h
REMOTE_I2C_READ	22h
REMOTE_I2C_WRITE	23h
POWER_UP_PHY	24h
POWER_DOWN_PHY	25h
SINK_EVENT_NOTIFY	30h
QUERY_STREAM_ENCRYPTION_STATUS	38h

2.11.2.2.2 Request_Data ()

request_data取决于请求消息事务的请求_识别器。 表2-177指定了具有请求数据字段的请求的请求_DATA。表2-177中的字段在第2.11.9节中定义。表2-177中未列出的请求没有请求数据。

表2-177: 请求数据

Syntax	# of Bits
<pre> Request_Data() { if (Request_Identifier == 00h) GET_MESSAGE_TRANSACTION_VERSION { Port_Number Zeros } else (Request_Identifier == 02h) CONNECTION_STATUS_NOTIFY { Port_Number zeros Global_Unique_Identifier zero Legacy_Device_Plug_Status DisplayPort_Device_Plug_Status Messaging_Capability_Status Input_Port Peer_Device_Type } else if (Request_Identifier == 10h) ENUM_PATH_RESOURCES { Port_Number zeros } else if (Request_Identifier == 11h) ALLOCATE_PAYLOAD { Port_Number Number_SDP_Streams zero Virtual_Channel_Payload_Identifier Payload_Bandwidth_Number for (i = 0; i < Number_SDP_Streams; i++) { SDP_Stream_Sink[i] } while (!bytealigned()) { zeros } } else if (Request_Identifier == 12h) QUERY_PAYLOAD { </pre>	<pre> 4 4 4 4 128 1 1 1 1 1 1 3 4 4 4 4 7 16 4 1 </pre>

表2-177: 请求数据 (续)

Syntax	# of Bits
Port_Number	4
zeros	4
zero	1
Virtual_Channel_Payload_Identifier	7
}	
else if (Request_Identifier == 13h) RESOURCE_STATUS_NOTIFY	
{	
Port_Number	4
zeros	4
Global_Unique_Identifier	128
Available_PBN	16
}	
else if (Request_Identifier == 20h) REMOTE_DPCD_READ	
{	
Port_Number	4
DPCD_Address	20
Number_Of_Bytes_To_Read	8
}	
else if (Request_Identifier == 21h) REMOTE_DPCD_WRITE	
{	
Port_Number	4
DPCD_Address	20
Number_Of_Bytes_To_Write	8
for (i = 0; i < Number_Of_Bytes_To_Write; i++)	
Write_Data[i]	8
}	
else if (Request_Identifier == 22h) REMOTE_I2C_READ	
{	
Port_Number	4
zeros	2
Number_Of_I2C_Transactions	2
for (i = 0; i < Number_Of_I2C_Transactions - 1; i++)	
{	
zero	1
Write_I2C_Device_Identifier[i]	7
Number_Of_Bytes_To_Write[i]	8
for (j = 0; j < Number_Of_Bytes_To_Write; j++)	
{	
I2C_Data_To_Write[i][j]	8
}	
zeros	3
No_Stop_Bit[i]	1
I2C_Transaction_Delay[i]	4
}	
zero	1
Read_I2C_Device_Identifier[i + 1]	7
Number_Of_Bytes_To_Read	8
}	

表2-177: 请求数据 (续)

Syntax	# of Bits
<pre> else if (Request_Identifier == 23h) { Port_Number zeros Write_I2C_Device_Identifier Number_Of_Bytes_To_Write for (i = 0; i < Number_Of_Bytes_To_Write; i++) I2C_Data_To_Write[i] } else if (Request_Identifier == 24h) { Port_Number zeros } else if (Request_Identifier == 25h) { Port_Number zeros } else if (Request_Identifier == 30h) { TBD in future version of this standard } else if (Request_Identifier == 38h) { Stream_ID Client_ID Stream_Event Stream_Event_Mask Stream_Behavior Stream_Behavior_Mask zeros } } </pre>	REMOTE_I2C_WRITE 4 5 7 8 8 POWER_UP_PHY 4 4 POWER_DOWN_PHY 4 4 SINK_EVENT_NOTIFY QUERY_STREAM_ENCRYPTION_STATUS 8 56 2 1 2 1 2

2.11.2.3 message_transaction_reply ()

每个消息事务请求必须具有相应的消息交易回复。消息交易回复语法如表2-178所示。

表2-178：消息交易回复语法

Syntax	# of Bits
Message_Transaction_Reply () { Reply_Type Request_Identifier Reply_Data() }	1 7

2.11.2.3.1回复_type

回复_TYPE字段标识消息事务答复是确认（ACK）还是负面确认（NAK）， 消息。回复_type设置为1表示消息事务是NAK， 并且回复_type设置为0表示ACK消息事务。

2.11.2.3.2 request_Identifier

request_istentifier字段是同名请求消息事务字段的副本。 这将答复与相应的请求相关联。

2.11.2.3.3 回复_data ()

消息交易回复数据字段的内容取决于回复_type字段和request_isterifier字段的值， 如表2-179所示。

表2-179：回复数据

Syntax	# of Bits
Reply_Data() { if (Reply_Type == '1') { Global_Unique_Identifier Reason_For_NAK NAK_Data } else ACK_Data() }	128 8 8

2.11.2.3.3.1 global_unique_Identifier

DP设备的全局唯一标识符，源自NAK回复消息事务。

2.11.2.3.3.2 chaction_for_nak

NAK答复的原因。表2-180给出了定义的NAK原因。

表2-180：NAK的原因

Reason_For_NAK	Short Name	Description
01h	WRITE_FAILURE	Insufficient buffer space to store message transaction
02h	INVALID_RAD	Invalid address including link count, sending a Sideband MSG to a logical port
03h	CRC_FAILURE	Message Transaction CRC error
04h	BAD_PARAM	Invalid request parameter
05h	DEFER	Unable to process message within timeout period (defer)
06h	LINK_FAILURE	Link failure
07h	NO_RESOURCES	Insufficient resources
08h	DPCD_FAIL	DPCD access failure
09h	I2C_NAK	I ² C NAK received
0Ah	ALLOCATE_FAIL	ALLOCATE_PAYLOAD request failure (not due to lack of resources)

2.11.2.3.3.3 write_failure

当MST DP设备无法按照第2.11.7节中指定的相邻MST DP设备发送时，将发送此答复。

2.11.2.3.3.4 Invalid_rad

当LCR不等于零的End设备接收请求消息时，将发送此答复。

2.11.2.3.3.5 CRC_FAILURE

当MST DP设备检测到无效的侧带MSG标头CRC值或目标设备检测无效的侧带MSG车身CRC值时，发送此答复。

2.11.2.3.3.6 bad_param

当消息交易参数错误时，将发送此答复；例如，下一个端口号是无效的，或者没有连接到与端口号关联的端口连接的设备。

2.11.2.3.3.7延期

当MST DP设备无法在第2.11.7节中指定的时间内执行消息事务时，发送此答复。例如，在执行另一个Allocate_Payload消息事务时，将收到Allocate_Payload消息事务交易时，将发送此答复。当发生这种情况时，接收第二个Allocate_payload的MST DP设备将以defer作为chinct_for_nak将NAK答复发送到第二个Allocate_Payload Load Load Message Trassaction。

2.11.2.3.3.8 link_failure

此答复是由需要主动主链接的消息交易请求发送的。这些请求是enum_path_resources和Allocate_payload。当无法使用下游DPRX建立链接时，将发送此答复。

2.11.2.3.3.9 no_resources

当请求的PBN带宽不可用时，该答复是针对Allocate_Payload消息事务发送的。该答复是由MST DP设备发送的，该设备检测到缺乏带宽。当Allocate_Payload消息交易失败时，此答复不会发送，因为另一个源正在使用资源或由于已经达到了流计数限制，因此无法分配新的资源。流数限制是实施决策，可能小于63。

2.11.2.3.3.10 dpcd_fail

此答复与远程_DPCD请求相关联。当执行远程_DPCD请求导致的任何本机AUX事务中，将回复发送给任何AUX NACK或延期。所有AUX重新验证后，发送DPCD_FAIL响应。

2.11.2.3.3.11 I2C_NAK

此答复与远程_i2c请求相关联。当通过执行远程_DPCD请求而导致的任何I2C-over-aux事务收到AUX NACK或延期时，将发送答复。所有AUX重试后，发送I2C_NAK响应。

2.11.2.3.3.12 Allocate_fail

当Allocate_payload消息事务出于任何原因以外的其他原因，该链接的可用PBN均小于所请求的PBN时，此答复是针对Allocate_Payload消息事务发送的。

2.11.2.3.3.13 nak_data

NAK回复所需的任何其他信息。例如，DPCD写入故障原因_FOR_NAK回复使用nak_data字段指示发生故障之前编写的字节数。

2.11.2.3.3.14 ack_data ()

表2-181定义了与ACK答复所提供的的数据，以回复数据。表中列出的数据字段在描述每个请求的第2.11.9节中定义。

2.11.2.4 Handling of Multiple Message Transaction Requests

表2-181: ack_data

Syntax	# of Bits
<pre> ACK_Data() { if (Request_Identifier == 00h) GET_MESSAGE_TRANSACTION_VERSION { Message_Transaction_Version_Number } else (Request_Identifier == 01h) LINK_ADDRESS { Global_Unique_Identifier zeros Number_Of_Ports for (i = 0; i < Number_Of_Ports; i++) { Input_Port[i] Peer_Device_Type[i] Port_Number[i] Messaging_Capability_Status[i] DisplayPort_Device_Plug_Status[i] if (Peer_Device_Type[i] == 101b) { Current_Capabilities_Structure } if (Input_Port[i] == 0) { Legacy_Device_Plug_Status[i] zeros DPCD_Revision Peer_Global_Unique_Identifier Number_SDP_Streams[i] Number_SDP_Stream_Sinks[i] } else { zeros } } } else if (Request_Identifier == 10h) ENUM_PATH_RESOURCES { Port_Number zeros Full_Payload_Bandwidth_Number_Available Payload_Bandwidth_Number } else if (Request_Identifier == 11h) ALLOCATE_PAYLOAD { Port_Number zeros Virtual_Channel_Payload_Identifier Allocated_Payload_Bandwidth_Number } } </pre>	<pre> 8 128 4 4 1 3 4 1 1 128 1 5 8 128 4 4 6 4 4 16 16 4 5 7 16 </pre>

表2-181: ack_data (续)

Syntax	# of Bits
<pre> else if (Request_Identifier == 12h) { Port_Number zeros Allocated_PBN } else if (Request_Identifier == 20h) { zeros Port_Number Number_Of_Bytes_Read for (i = 0; i < Number_Of_Bytes_To_Read; i++) Data_Read[i] } else if (Request_Identifier == 21h) { zeros Port_Number else if (Request_Identifier == 22h) { zeros Port_Number Number_Of_Bytes_Read for (i = 0; i < Number_Of_Bytes_To_Read; i++) Data_Read[i] } else if (Request_Identifier == 24h) { Port_Number zeros } else if (Request_Identifier == 25h) { Port_Number zeros } else if (Request_Identifier == 38h) { Stream_State Stream_Repeater_Function Stream_Encryption Stream_Authentication Zeros Stream_output_sink_type Stream_Output_CP_Type Zeros Signed Stream_ID if (Signed == 1) { L' } } } </pre>	QUERY_PAYLOAD 4 4 16 REMOTE_DPCD_READ 4 4 8 8 REMOTE_DPCD_WRITE 4 4 REMOTE_I2C_READ 4 4 8 8 POWER_UP_PHY 4 4 POWER_DOWN_PHY 4 4 QUERY_STREAM_ENCRYPTION_STATUS 2 1 1 1 3 3 2 2 1 8 160

消息事务发起者最多可以向给定的目标MST DP节点发出两个请求，而无需等待答复。目标MST DP节点可以同时执行请求。 消息事务执行不得将转发节点类型的边带味精抑制到其他MST DP节点。直到MST DP节点执行了消息所需的操作，路径消息才不会转发。如果需要在执行另一条消息之前完成一条消息，则消息发起者有责任等待第一条消息通过接收ACK完成，然后再发出第二个消息。

2.11.3 侧带MSG层

侧带MSG提供了在MST DP节点之间传输数据的机制。侧带MSG协议用于传输消息交易请求和MST DP节点之间的答复。如果消息事务长度大于适合侧带MSG主体的消息，则消息事务将在多个侧带MSG上拆分。图2-119显示了如何在多个边界MSG上拆分消息事务。在示例中，侧带MSG标头大小的长度为五个字节。侧带MSG的第一个字节写入适当的DPCD侧带MSG缓冲区的开头。

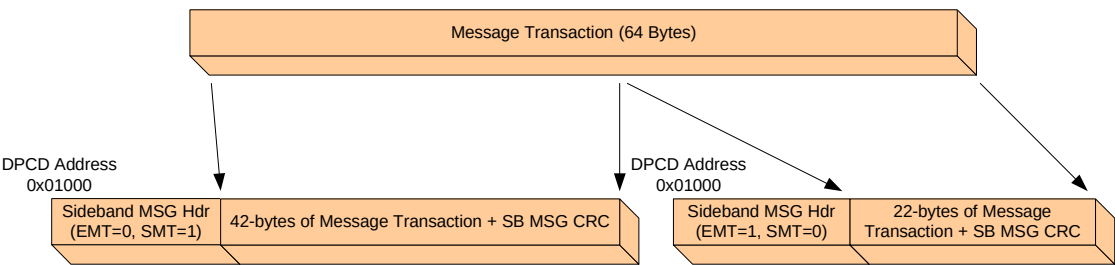


图2-119：将消息事务映射到多个边带MSG（SB MSG CRC是sideband_msg_data_crc字段）

侧带MSG数据包由sideband_msg_header和sideband_msg_body组成。侧带MSG数据包必须小于或等于48个字节。 sideband_msg_header包含寻址信息，而sideband_msg_body包含要传输的数据。侧带MSG数据包在表2-182中定义。

表2-182：侧带MSG语法

Syntax	# of Bits
Sideband_MSG { Sideband_MSG_Header() Sideband_MSG_Body() }	

2.11.3.1.4 sideband_msg_body_length

sideband_msg_body_length给出了边带味精主体中包含的字节数。在边带MSG主体中传输的数据字节数是sideband_msg_body_length字段的值-1。sideband_msg_body_length字段值包括sideband_msg_data_crc。可以通过添加传输消息交易所需的所有sideband_msg_body_length字段值，然后减去传输消息交易所需的边带MSG计数所需的所有sideband_mbody_length字段值来计算消息事务的大小。

2.11.3.1.5 start_of_message_transaction

设置为1时，start_of_message_transaction（SMT）位表明侧带MSG主体包含新消息事务的开始。

2.11.3.1.6 end_of_message_transaction

设置为1时，END_OF_MESSAGE_TRANSACTION（EMT）位指示当前的边界MSG是当前消息事务的最后一个边界MSG。即使当前的消息事务仅需要一个边带味精，该位也将设置为1。

2.11.3.1.7 path_message

设置为1时，PATH_MESSAGE位指示发起者和目标之间的所有MST DP节点都必须读取并反应侧带MSG数据区域中的数据。当清除到0时，沿消息事务路径的中间DP节点可能仍需要修改边带MSG数据区域内的数据，但数据仅针对目标MST DP节点。如图2.11.3.1.3和第2.11.3.1.2节所述，沿边界MSG路径的所有MST DP节点都必须修改相对地址和链接计数剩余字段（LCR），而与PATH_MESSAGE位的状态无关。DP设备一次只能执行一个路径消息，无论消息的源头如何。

2.11.3.1.8 message_sequence_no

Message_sequence_no（MSN）将单个消息交易标识为给定的DP设备。DP消息事务发起人无法将两个带有相同MSN的消息事务发送到同一DP设备，而无需首先回复第一个消息事务。

2.11.3.1.9 sideband_msg_header_crc

sideband_msg_header上CRC-4计算的结果始于link_count_total, 并以message_sepnce_no字段结束。CRC-4的多项式为 $x^4 + x + 1$ 。CRC-4计算在下面定义。

```
uint8_t crc4 (const uint8_t * data, size_t numberOfnibbles) {  
  
    uint8_t bitmask = 0x80; uint8_t bitshift = 7; uint8_t arrayIndex = 0; int numberOfbits = number  
    numberOfnibbles * 4; uint8_t 剩余 = 0; while (numberOfbits != 0) {numberOfbits--; 其余  
    <= 1; 剩余 |= (data [arrayIndex] & bitmask) >> bitshift; BitMask >= 1; Bitshift--; if  
    (bitMask == 0) {bitmask = 0x80; Bitshift = 7; arrayindex ++; } if ( ( 剩余 & 0x10)  
    == 0x10) { 剩余 ^= 0x13; }} numberOfBit = 4; while (numberOfbits != 0) {numberO  
    fBits--; 其余 <= 1; if ( ( ( 剩余 & 0x10) != 0) { 剩余 ^= 0x13; }} 返回 剩余;  
}
```

}

2.11.3.2 sideband_msg_body ()

侧带MSG主体包含要在MST DP节点之间传输的数据。侧带MSG协议未检查侧带MSG主体的内容。侧带MSG身体语法如表2-184所示。

表2-184： 边带MSG身体语法

Syntax	# of Bits
Sideband_MSG_Body() { for (i = 0; i < Sideband_MSG_Body_Length - 1; i++) { Sideband_MSG_Data } Sideband_MSG_Data_CRC }	 8 8

2.11.3.2.1 sideband_msg_data

侧带MSG数据包含要从一个DP节点传输到另一个DP节点的信息。 sideband_msg_body_length字段指定侧带味精主体中的数据字节数。数据字节的数量是sideband_msg_body_length字段减去一个值的值。

2.11.3.2.2 sideband_msg_data_crc

侧面_msg_body的sideband_msg_data字段上的CRC-8计算结果。CRC-8的多项式为 $X^8 + X^7 + X^6 + X^4 + X^2 X^2 + 1$ 。CRC-8计算在下面定义。

```
uint8_t crc4 (const uint8_t * data, uint8_t numberOfbytes) {

    uint8_t bitmask = 0x80; uint8_t bitshift = 7; uint8_t arrayIndex = 0; uint16_t numberOfbits = numberOfbytes * 8; uint16_t 剩余 = 0; while (numberOfbits != 0) {numberOfbits--; 其余<<= 1;其余|= (data[arrayIndex]&bitmask) >> bitshift; BitMask >>= 1; Bitshift--; if (bitMask == 0) {bitmask = 0x80; Bitshift = 7; arrayIndex++; } if ( (剩余&0x100) == 0x100) {剩余^= 0xd5; }} numberOfbit = 8; while (numberOfbits != 0) {numberOfbits--;其余<<= 1; if ( (剩余&0x100) != 0) {剩余^= 0xd5; }}返回剩余&0xff;

}
```

2.11.4 辅助支持MESEVAND AUX客户端

Sideband MSG数据包使用本机AUX读写交易从MST DP节点移动到节点。在以下小节中，使用AUX指示AUX交易。

2.11.4.1 消息传递AUX客户端DPCD位置

有关与消息AUX客户端相关的以下DPCD位置，请参见第2.9节。

2.11.4.1.1 mstm_cap dpcd位置的mstm_cap位

MSTM_CAP寄存器（DPCD地址00021H，位0）中的MSTM_CAP位指定MST DPRX设备是否支持消息框架。如果DPRX表示它支持消息传递框架，则必须准备好接受MST DPTX的消息交易。

2.11.4.1.2 UP_REQ_EN MSTM_CTRL DPCD位置

MSTM_CTRL寄存器（DPCD地址00111H，位1）中的UP_REQ_EN位指定MST DPTX设备是否接受并响应UP Sideband MSGS。一旦MST DPTX将UP_REQ_EN位设置为1，就必须准备好接受并回复MST DPRX的消息交易。

2.11.4.1.3 dower_rep_msg_rdy位的位置

MST DPRX设备在device_service_irq_vector和Device_Service_IRQ_VECTOR_VECTOR_ES I0寄存器中设置Down_rep_msg_rdy位（DPCD地址为00201H和02003H，位置为02003H），位于1 loc doc_msg之后，将其local_rep_msg locip_msg locip_mmsg locip_msg location_rep_msg编写了down_rep_msg。设置了Down_rep_msg_rdy位后，MST DPRX向连接的MST DPTX发出IRQ_HPD。

当MST DPTX设备检测IRQ_HPD时，MST DPTX读取device_service_irq_vector和device_service_irq_irq_vector esi0寄存器检查down_rep_msg_rdy位是否设置为1。DPCD位置。读取消息完成后，DPTX设备必须将Down_rep_msg_rdy位清除为0。

MST DPTX设备无需等待IRQ_HPD信号。MST DPTX设备可以轮询适当的MST DPRX设备DPCD位置，以确定是否需要采取任何操作。无论MST DPTX设备是否支持检测IRQ_HPD信号，都需要MST DPRX生成IRQ_HPD信号。

2.11.4.1.4 up_req_msg_rdy位的位置_service_irq_vector dpcd位置

The MST DPRX device sets the UP_REQ_MSG_RDY bit in the DEVICE_SERVICE_IRQ_VECTOR and DEVICE_SERVICE_IRQ_VECTOR_ESI0 registers (DPCD Addresses 00201h and 02003h, respectively, bit 5) to 1 after a valid Sideband UP_REQ_MSG is written to the MST UP_REQ_MSG DPCD locations.一旦UP_REQ_MSG_RDY

设置了位，MST DPRX向连接的MST DPTX发出IRQ_HPD。

When the MST DPTX device detects the IRQ_HPD, the MST DPTX reads the DEVICE_SERVICE_IRQ_VECTOR and DEVICE_SERVICE_IRQ_VECTOR_ESI0 registers checking whether the UP_REQ_MSG_RDY bit is set to 1. If the UP_REQ_MSG_RDY bit is set to 1, the Sideband UP_REQ_MSG is read from the MST DPRX UP_REQ DPCD位置。读取消息完成后，MST DPTX设备必须将UP_REQ_MSG_RDY位清除为0。

MST DPTX设备不需要支持检测IRQ_HPD信号。MST DPTX设备可以轮询适当的MST DPRX设备DPCD位置，以确定是否需要采取任何操作。无论MST DPTX设备是否支持检测IRQ_HPD信号，都需要MST DPRX生成IRQ_HPD信号。

2.11.4.1.5 down_req侧带MSG缓冲区

侧带down_req侧带MSG缓冲区保存请求边带MSG由MST DPTX设备将由MST DPRX设备处理。每个down_req边界MSG的第一个字节都写在down_req sideband msg缓冲区的起始地址。如果预计预期希望使用MST数据包在主链接上，则需要使用MST DP接收器设备来支持DOWN_REQ和DOWN_REP侧带MSG缓冲区（down_req和down_rep寄存器（DPCD地址分别为01000H至01400H至015FFH））。所有MST DP分支设备都必须为每个MST DPRX支持Down_req侧带MSG缓冲区。

2.11.4.1.6 UP_REP侧带MSG缓冲区

UP_REP侧带MSG缓冲区保留由MST DPTX设备编写的回复边带MSG，该设备将由MST DPRX设备处理。每个UP_REP边界MSG的第一个字节都写入UP_REP侧带MSG缓冲区的起始地址。不需要MST DP接收器设备来支持UP_REQ和UP_REP侧带MSG缓冲液（UP_REQ和UP_REP寄存器（DPCD地址为01600H至017FFH，以及01200FFH，以及01200H至013FFH，如果不是源于所有MST dp dp bufferp bufferp bufferp bufferp bufferp，则分别为013ffh至013ffh））。

2.11.4.1.7 down_rep侧带MSG缓冲区

侧带DOWN_REP侧带MSG缓冲区保留了由MST DPTX设备处理的MST DPRX设备编写的回复侧带MSG。包含消息交易开始的边界MSG的第一个字节写入Down_Rep侧带MSG DPCD的起始地址。如果MST DP寄存器（DOWN_REP寄存器（DPCD地址为01400H至015FFH），则需要使用MST DP接收器设备来支持DOWN_REP侧带MSG缓冲区，如果它希望使用MST数据包在主链接上接收数据。所有MST DP Branch设备都必须支持每个MST DPRX的DOSD_REP侧面Buffer。

2.11.4.1.8 UP_REQ侧带MSG缓冲区

侧面UP_REQ侧带MSG缓冲区保留了由MST DPTX设备处理的MST DPRX设备编写的请求侧带MSG。包含消息事务开始的边界MSG的第一个字节始终写入UP_REQ Sideband MSG DPCD的起始地址。An MST DP Sink device is required to support the UP_REQ Sideband MSG buffer and corresponding UP_REP Sideband MSG buffer (UP_REQ and UP_REP registers (DPCD Addresses 01600h through 017FFh and 01200h through 013FFh, respectively) if the DP Sink device supports UP_REQ Sideband MSG transactions. All MST DP Branch devices must support the UP_REQ Sideband每个MST DPRX的MSG缓冲区。

2.11.5路径中的MST设备更新

RAD是大小link_count_total的大小的数组 - 侧带MSG标头中包含的1个数组，如第2.11.3.1节所述。相对_address字段的每个nibble指定发送消息的每个DPTX或DPRX节点的端口号。当消息到达DP节点时，相对_address [0]是节点内的dptx或dprx的端口号以发送消息。相对_address [0]是作为RAD的一部分发送的第一个端口号。 每个节点按照以下代码示例所述修改相对_address数组：

```
for (i = 0; i < link_count_remaining - 1; i++) {ferver_address [i] = }相对_ad  
dress [i] = input_port_number;
```

当侧带MSG到达目标DP节点时，相对_ADDRESS数组包含侧带MSG发起者的相对地址。图 2-120显示了如何修改RAD作为消息遍历从发起者到目标的路径的示例。

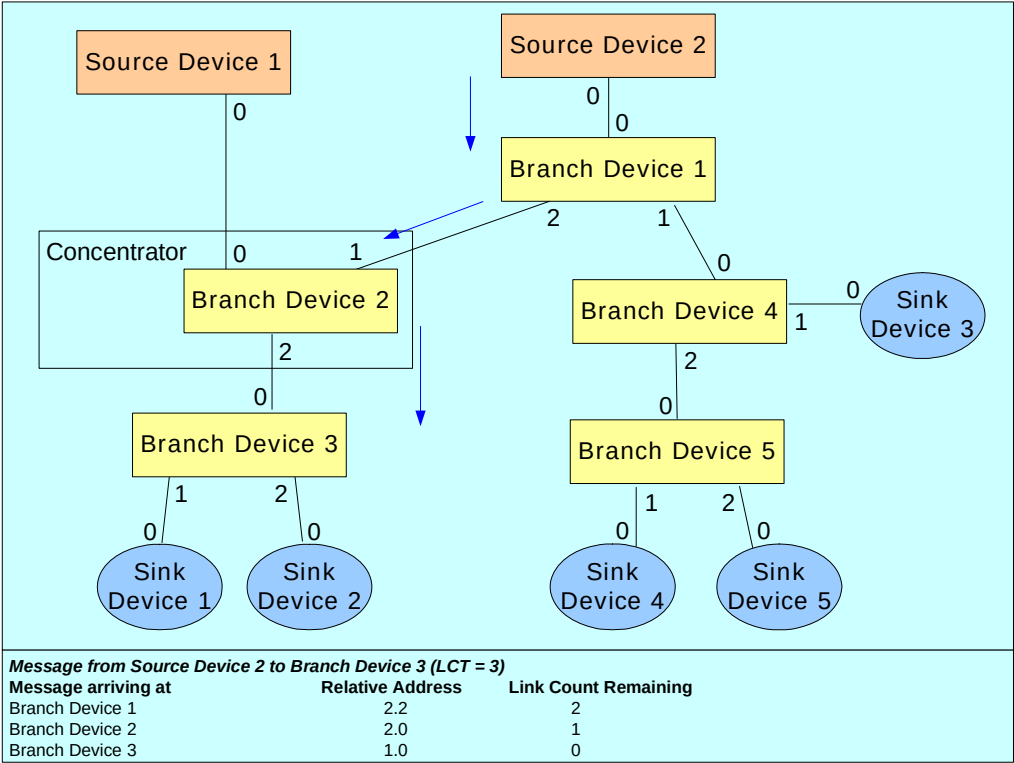


图2-120：使用示例拓扑沿路径进行RAD更新

2.11.6 广播消息交易

侧带 MSG协议支持传播我 s鼠尾草交易。

2.11.6.1广播消息语法

带有广播的侧带MSG，将侧面带MSG标题位集定义为“广播消息”。广播消息一次发送一个链接，直到该消息到达End MST DP设备。广播的边带MSG没有RAD。LCT等于1，而LCR等于6。由于广播消息从一个MST DP设备传输到另一个DP设备，因此LCR值降低了。删除了具有零LCR的广播消息，未传输到相邻的DP设备。当拓扑包含循环时，该机制会删除广播消息。

广播消息可以向下移动（由上游MST DP设备）或向上转移（由下游MST DP设备发起）。当从上游端口（UFP）收到广播消息时，将收到所有DFP。相反，如果从DFP收到广播消息，则该消息将发送出所有UFP。

广播消息可以是路径请求或节点请求，具体取决于边带MSG标头的Path_message位值。如果广播消息是节点请求，则仅端设备，MST DP源或接收器设备处理请求（或MST DP分支设备（如果未插入源/接收器设备））。如果广播消息是路径请求，则所有接收广播消息的MST DP设备都必须处理该请求。

2.11.6.2广播消息回复

接收该消息的相邻MST DP设备必须回复广播消息交易（由一个或多个广播消息组成）。侧带MSG标头的有效性以及边带MSG车身CRC的有效性验证。如果发现错误，则将NAK消息发送到表示发现错误的消息的发射器。相邻的MST DP设备必须重试五次转发广播消息，然后再与NAK回复。发射器可以解决错误并再次发送消息。如果找不到错误，则将ACK答复发送到发射器，并且发射器不需要进一步的操作。

2.11.7 消息传递

以下各节中描述了一个DP设备传递边带MSG的过程和要求。根据DP设备是消息始发设备，消息目标设备还是消息转发设备，给出了过程和要求。

2.11.7.1 消息发起设备

2.11.7.1.1 向下请求消息

发起人首先确保其没有将消息事务发送到具有下一个消息序列号（MSN）的同一DP设备。如果未从前两个消息交易请求中收到答复，请等待两个未偿请求之一的答复或超时。

使用释放的MSN来发送消息交易。如果有要求以定义的顺序执行消息交易，则发起者有责任通过在发送后续消息之前等待回复来确保消息交易执行。

消息交易请求分为所需的边带MSG数量。SMT位设置在消息交易请求的第一个边界MSG的边带MSG标头中，EMT位设置在最后一个边界MSG的边带MSG标头中。如果可以使用一个边带MSG传递消息事务请求，则SMT和EMT位设置在边带MSG标题中。

原始设备将尝试使用本机AUX请求将第一个边界MSG写入DPCD Down_Req侧带MSG缓冲区。如果接收设备用AUX_DEFER回复，请重试将边带MSG发送特定于实现的次数。如果接收设备用AUX_ACK回复，请继续编写剩余的消息交易边带MSG。在成功编写最后一条消息交易侧带MSG之后，请等待四秒钟以从目标的答复中。

2.11.7.1.2 UP请求消息

如果未从前两个消息交易请求中收到答复，请等待两个未偿请求之一的答复或超时。使用释放的MSN来发送消息交易。发起人负责通过在发送后续消息之前等待回复来确保以给定顺序执行消息。

消息交易请求分为所需的边带MSG数量。SMT位设置在消息交易请求的第一个边界MSG的边带MSG标头中，EMT位设置在最后一个边界MSG的边带MSG标头中。如果可以使用一个边带MSG传递消息事务请求，则SMT和EMT位设置在边带MSG标题中。

原始设备将第一个边带MSG写入DPCD UP_REQ侧带MSG缓冲区，在device_service_irq_vector和device_service_irq_irq_vector_esi0寄存器中写入1个to up_req_msg_rdy位，并在dpcd地址000201H和02003H地址，然后分别为irq，然后分别为irq_irq，然后分别为02003H，然后设备。110ms或上游DP设备将0写入UP_REQ_MSG_RDY位之后，请确保清除UP_REQ_MSG_RDY位，然后从DPCD UP_REQ up_req sideband msg buffer中删除Sideband MSG。上游DP设备读取最后一条消息交易侧面邮件MSG之后，原始DP设备等待4S进行答复。

2.11.7.2消息转发设备（向前和执行路径消息）

2.11.7.2.1降低请求消息交易

如果至少有48个字节可供接收边带MSG接收，请使用AUX_ACK回复本机AUX请求，将侧带MSG写入DPCD down_req Sideband MSG Buffer。如果执行第一个侧面MSG MSG MSG Write请求时没有48个字节，请使用AUX_DEFER回复，直到有48个字节可用。

在最后一个边带MSG本机AUX写入后，通过验证边带MSG标头CRC来检查侧带MSG标头的有效性。检查LCR和路径位，以确定是否要转发侧带MSG或是要在本地执行的消息事务请求的一部分。如果要转发侧带MSG，请尝试使用本机AUX请求将侧带MSG写入下游DP设备的DPCD down_req侧带MSG缓冲区。尝试转发20ms之后，通过消息交易NAK回复消息交易发起人。

如果侧带MSG是路径消息事务的一部分，请将此侧带MSG与任何其他边界MSG组合进行相同的消息事务，直到设置EMT Sideband MSG标头位为止。收到最后一个消息事务边界MSG后，在50毫秒内执行消息事务。执行消息事务后，尝试使用本机AUX请求将侧带MSG写入下游DP设备的DPCD Down_req侧带MSG缓冲区。尝试转发20ms之后，通过消息交易NAK回复消息交易发起人。

有关此DP设备针对的节点消息交易的处理，请参见第2.11.7.3.1节。

2.11.7.2.2下降回复消息事务

检测到IRQ_HPD后，发送本机AUX请求以读取Down_rep_msg_rdy bit中的device_service_irq_vector和device_service_irq_irq_esi0寄存器（DPCD地址00201H和02003H，分别为02003H，bit 4），以确定down Reply wiss noug pown Replaction deal Replactions reval temage be deal read read read read read read。如果可用回复，请阅读DPCD down_rep侧带MSG缓冲区的答复，然后在接收IRQ_HPD的100ms内清除Down_rep_msg_rdy位。下游DP设备将从IRQ_HPD脉冲末尾110ms后从dpcd down_rep sideband msg缓冲区中清除down_rep_msg_rdy lit和sideband msg。

在最后一个边带MSG Anitial Aux读取后，通过验证边带MSG标头CRC检查边带MSG标头的有效性。检查LCR和路径位，以确定是否要转发侧带MSG或是要在本地执行的消息事务请求的一部分。如果要转发侧带MSG，请将侧带MSG写入DPCD down_rep侧带MSG缓冲区，将1写入down_rep_msg_rdy lit，然后在最后一个侧面MSG MSG MSG AUX AUX AUX AUX AUX READ READ请求的5ms内生成IRQ_HPD。110ms或上游DP设备将0写入DOWN_REP_MSG_RDY位之后，请确保清除down_rep_msg_rdy位，然后从DPCD down_rep down_rep sideband msg buffer中删除sideband msg。

如果侧带MSG是路径消息事务的一部分，请将此侧带MSG与任何其他边界MSG组合进行相同的消息事务，直到设置EMT Sideband MSG标头位为止。收到最后一个消息事务边界MSG后，在50毫秒内执行消息事务。执行完成后，将消息交易边带MSG写入Down_Rep侧带MSG缓冲区，将1写入down_rep_msg_rdy lit，然后在最后一个侧面MSG MSG MSG ANDISE AUX AUX READ请求的5ms内生成IRQ_HPD。110ms或上游DP设备将0写入DOWN_REP_MSG_RDY位之后，请确保清除down_rep_msg_rdy位，然后从DPCD down_rep down_rep sideband msg buffer中删除sideband msg。

2.11.7.2.3 UP请求消息交易

检测到IRQ_HPD后，发送本机AUX请求以读取device_req_msg_rdy bit中的device_service_irq_vector和device_service_irq_irq_esi0寄存器（dpcd地址00201H和02003H，分别为02003h），以确定必须读取up请求消息。如果有UP请求，请从DPCD UP_REQ侧带MSG缓冲区中读取请求边带MSG，并在接收IRQ_HPD的100ms内清除UP_REQ_MSG_RDY位。下游DP设备将从IRQ_HPD脉冲末端110ms之后从dpcd UP_REQ侧带MSG缓冲区从DPCD UP_req up_req up_req up_req_msg_rdy位清除up_req_msg_rdy位。

在最后一个边带MSG本机AUX读取后，通过验证边带MSG标头CRC来检查边带MSG标头的有效性。检查LCR和路径位，以确定是否要转发侧带MSG或是要在本地执行的消息事务请求的一部分。如果要转发侧带MSG，请将侧带MSG写入DPCD UP_REQ侧带MSG缓冲区，将1写入UP_REQ_MSG_RDY位，然后在最后一个侧面MSG MSG MSG MSG AUX AUX AUX AUX READ READ请求中生成IRQ_HPD。110ms或上游DP设备将0写入UP_REQ_MSG_RDY位之后，请确保清除UP_REQ_MSG_RDY位，然后从DPCD UP_REQ up_req sideband msg buffer中删除sideband msg。

如果侧带MSG是路径消息事务的一部分，请将此侧带MSG与任何其他边界MSG组合进行相同的消息事务，直到设置EMT Sideband MSG标头位为止。收到最后一个消息事务边界MSG后，在50毫秒内执行消息事务。执行完成后，将消息交易边界MSG写入UP_REQ侧带MSG缓冲区，将1写入UP_REQ_MSG_RDY位，然后在最后一个边界MSG MSG MSG ANDISE AUX AUX READ请求的5ms内生成IRQ_HPD。110ms或上游DP设备将0写入UP_REQ_MSG_RDY位之后，请确保清除UP_REQ_MSG_RDY位，然后从DPCD UP_REQ up_req sideband msg buffer中删除sideband msg。如果上游DP设备未在110ms内读取UP请求消息交易边界MSG，请将消息交易NAK发送到原始设备。

请参阅第2.11.7.3.2节，以获取针对此DP设备的上的节点消息交易。

2.11.7.2.4向上回复消息交易

如果至少有48个字节可用于接收边带MSG，请回复AUX_ACK对本机AUX请求，将侧带MSG写入DPCD UP_REP sideband MSG Buffer。如果执行第一个侧面MSG MSG MSG Write请求时没有48个字节，请使用AUX_DEFER回复，直到有48个字节可用。

在最后一个边带MSG本机AUX写入后，通过验证边带MSG标头CRC来检查侧带MSG标头的有效性。检查LCR和路径位，以确定是否要转发侧带MSG或是要在本地执行的消息事务请求的一部分。如果要转发侧带MSG，请尝试使用本机AUX请求将边带MSG写入下游DP设备的DPCD UP_REP侧带MSG缓冲区。试图转发20ms并丢弃边带MSG之后。

如果侧带MSG是路径消息事务的一部分，请将此侧带MSG与任何其他边界MSG组合进行相同的消息事务，直到设置EMT Sideband MSG标头位为止。收到最后一个消息事务边界MSG后，在50毫秒内执行消息事务。执行消息事务后，尝试使用本机AUX请求来编写下游DP设备的DPCD UP_REP侧带MSG缓冲区。尝试编写消息交易边界MSG的超时回复20ms并丢弃消息事务边界MSG。

2.11.7.3消息目标设备

2.11.7.3.1 向下请求消息

如果至少有48个字节可供接收边带MSG接收，请使用AUX_ACK回复本机AUX请求，将侧带MSG写入DPCD down_req Sideband MSG Buffer。如果执行第一个侧面MSG MSG MSG Write请求时没有48个字节，请使用AUX_DEFER回复，直到有48个字节可用。

在最后一个边带MSG本机AUX读取后，通过验证边带MSG标头CRC来检查边带MSG标头的有效性。检查LCR和路径位，以确定是否要转发侧带MSG或是要在本地执行的消息事务请求的一部分。如果侧带MSG是要在本地执行的节点消息事务的一部分，请将此侧带MSG与任何其他边带MSG组合进行相同的消息事务，直到设置EMT Sideband MSG标头位为止。收到最后一个消息事务边界MSG后，在50毫秒内执行消息事务。执行完成后，将消息交易回复侧带MSG给down_rep侧带MSG缓冲区，在device_service_irq_vector和device_service_irq_irq_vector_esi0寄存器中写入down_rep_msg_rdy lit_rep_msg_rdy lit MSG本机AUX读取请求。110ms或上游DP设备将0写入down_rep_msg_rdy位之后，请确保清除down_rep_msg_rdy位，然后从DPCD down_rep down_rep sideband msg buffer中删除sideband msg。如果上游DP设备未在110ms内读取倒数消息交易侧面邮件，请将消息交易NAK发送到原始设备。

如果必须使用多个边带MSG发送消息交易答复，请在有足够的填充每个边界MSG后立即发送边界MSG。尤其是在读取I2C的情况下，一旦有足够的填充侧带MSG而不等待整个I2C数据的读取，请立即发送边带MSG。

2.11.7.3.2 UP请求消息

检测到IRQ_HPD后，发送本机AUX请求以读取device_req_msg_rdy bit中的device_service_irq_vector和device_service_irq_irq esi0寄存器（dpcd地址00201H和02003H，分别为02003h），以确定必须读取up请求消息。如果有UP请求，请从DPCD UP_REQ侧带MSG缓冲区中读取请求边带MSG，然后在接收IRQ_HPD的100ms内清除UP_REQ_MSG_RDY位。下游DP设备将从IRQ_HPD脉冲末端110ms之后从dpcd UP_REQ侧带MSG缓冲区从DPCD UP_req up_req up_req_msg_rdy位清除up_req_msg_rdy位。

在最后一个边带MSG本机AUX读取后，通过验证边带MSG标头CRC来检查边带MSG标头的有效性。检查LCR和路径位，以确定是否要转发侧带MSG或是要在本地执行的消息事务请求的一部分。如果侧带MSG是要在本地执行的节点消息事务请求的一部分，请将此侧带MSG与任何其他边界MSG组合进行相同的消息事务，直到设置EMT Sideband MSG标头位为止。收到最后一个消息事务边界MSG后，在50毫秒内执行消息事务。执行消息事务后，尝试使用本机AUX请求来编写下游DP设备的DPCD UP_REP侧带MSG缓冲区。尝试编写消息交易边界MSG的超时回复20ms并丢弃消息事务边界MSG。

如果必须使用多个边带MSG发送消息交易答复，请在有足够的填充每个边界MSG后立即发送边界MSG。尤其是在读取I2C的情况下，一旦有足够的填充侧带MSG而不等待整个I2C数据的读取，请立即发送边带MSG。

2.11.8 错误处理

本节介绍了消息辅助客户端层的错误处理。

2.11.8.1消息交易层错误处理

除了侧带MSG标头中的错误外，必须在消息事务层检测并处理错误。这些错误包括无效的请求语法，无法在所需的超时期内响应请求以及请求执行错误。检测上述一个错误的DP节点将通过NAK答复回复发起人。NAK答复将指示检测到的错误类型。消息事务发起人必须执行回复超时检查。如果请求的错误导致系统处于无效状态（例如，所有节点未能删除虚拟频道，则消息交易发起者的责任将系统返回到有效状态）。消息交易发起者负责任何重试。

2.11.8.2边带味觉层错误处理

侧带MSG层必须验证边带MSG标头的CRC。如果在边带MSG标头中检测到错误，则所有边界MSG事务都达到但不包括，带有start_of_of_message_transaction的边带MSG的边带MSG标头设置为1。此操作导致侧面MSG SMSG发起人超时。超时后，发起人侧带MSG层必须通知超时事件的消息交易层。在边带味精层没有进行检测。

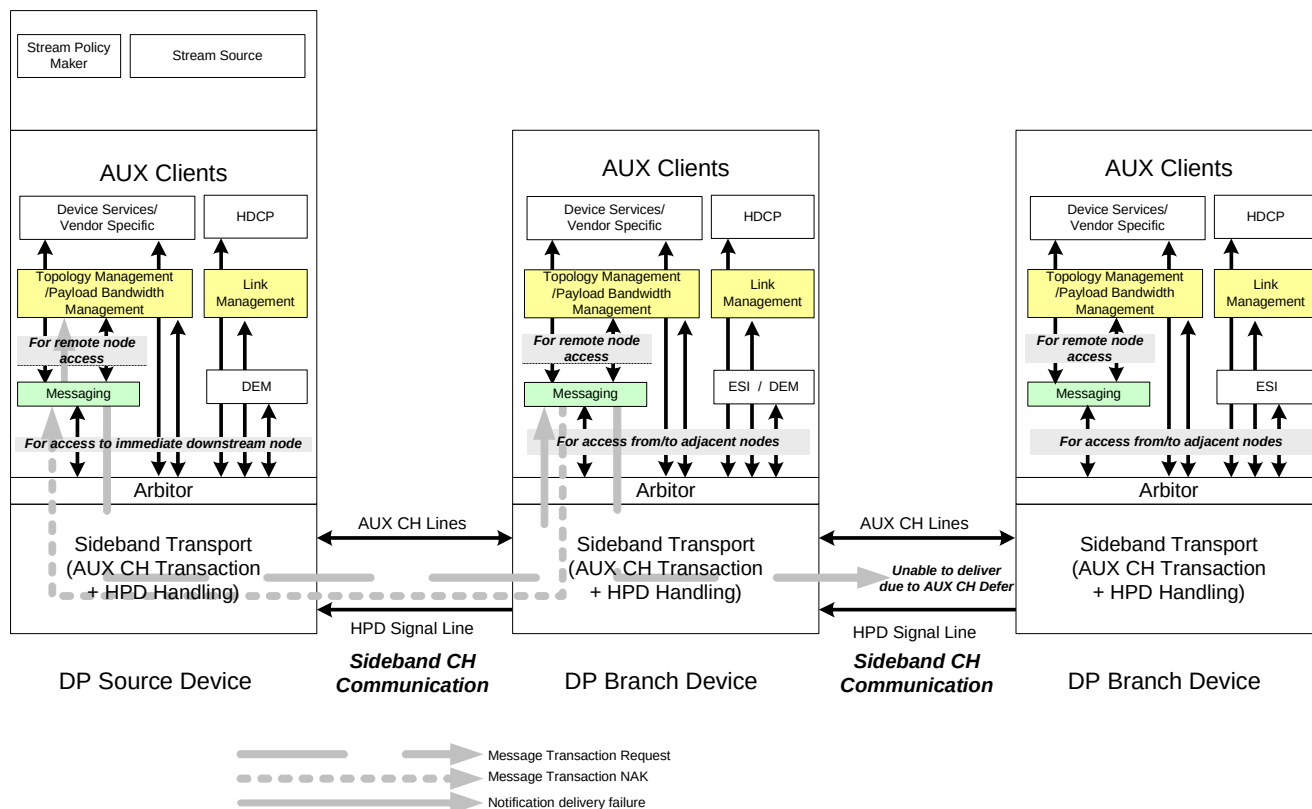
2.11.8.3辅助层错误处理侧带MSG

没有changs是由辅助交易进行的， 以支持边带消息传递。

2.11.8.3.1辅助错误处理消息交易

DPTX的AUX层使用本机Aux写入交易将侧带MSG写入适当的DPRX下侧带MSG缓冲区。

当本机AUX写入在允许的检索次数中不成功时， 侧带MSG层必须通知故障的消息事务层。消息缓冲区已满时就是这种情况。消息又应将消息事务NAK发送给消息发起者（例如， 流策略制定者）， 指示发生write_failure。

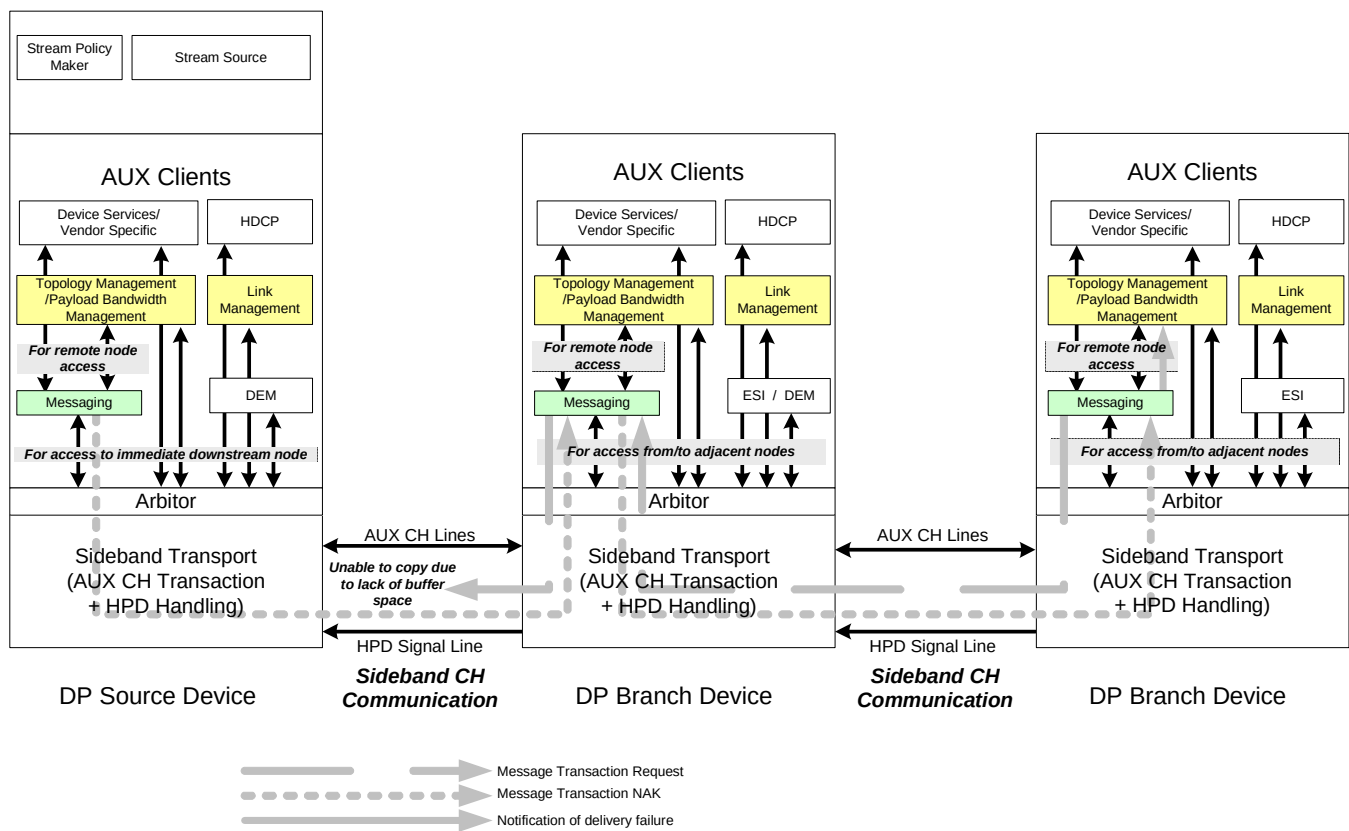


如图URE 2-121: 辅助误差, 同时交付down req m MESSAGE

2.11.8.3.2辅助错误处理消息交易

DPRX的AUX层生成IRQ_HPD，以提示其即时的上游DP节点以启动本机AUX读取交易，并指示DPTX从适当的DPRX UP Sideband MSG Buffer读取Sideband MSG。

当DPTX在其内部缓冲区中没有足够的空间来读取侧带MSG时，DPTX必须告知其故障的消息事务层。然后，消息事务层必须向消息发起者发送消息事务NAK回复，以指示发生write_failure。



图RE 2-122: 交付我的辅助错误

SSAGE

2.11.9 d 可用消息交易请求的描述

这部分描述了可用消息交易REQ

uests。

2.11.9.1 Allocate_Payload

Allocate_Payload是路径或节点请求消息事务，允许在DP源和接收器设备之间的虚拟通道的有效载荷分配更改。 Allocate_Payload请求用于分配新虚拟通道的有效负载，更改现有虚拟通道的有效载荷分配或删除现有虚拟通道的有效载荷分配。

表2-185: Allocate_Payload消息语法

Syntax	# of Bits	Format
<pre>ALLOCATE_PAYLOAD_Request() { zero Request_Identifier Port_Number Number_SDP_Streams zero Virtual_Channel_Payload_Identifier Payload_Bandwidth_Number for (i = 0; i < Number_SDP_Streams; i++) { SDP_Stream_Sink[i] } while (!bytealigned()) { zero } }</pre>	1 7 4 4 1 7 16 4 1	'0' '001 0001' '0' '0'
<pre>ALLOCATE_PAYLOAD_Ack_Reply() { Reply_Type Request_Identifier Port_Number zeros Virtual_Channel_Payload_Identifier Allocated_Payload_Bandwidth_Number }</pre>	1 7 4 5 7 16	'0' '001 0001' '0000'

如果需要建立链接，将对从源到直接上游节点的每个DP节点上进行链接培训。在DP节点确定下游链接可以支持请求的PBN之后，使用本机Aux Transactions来建立下游虚拟通道。每个DP节点在完成本地虚拟通道设置完成后，将Allocate_Payload消息转发到下一个下游设备。如果DP节点更改DP设备中的虚拟通道有效载荷标识符，则新的虚拟通道有效载荷标识符替换了接收到的Allocate_Payload请求中的虚拟通道有效载荷标识符。有关Allocate_payload消息事务的使用，请参见第2.6.6节。

当MST DP Branch设备收到该消息时，PATH DE-ALACE DE-ALACE有效负载版本的Allocate_Payload消息事务交易将转换为节点侧带MSG，并分配给两个或多个DPTX端口的VC有效负载。当脱位有效负载回复是节点回复时，接收回复的MST DP设备将在消息中转换VC有效载荷ID，并将其传递到上游MST DP设备，而无需退出VC有效负载。

2.11.9.1.1 port_number

DP设备的目标端端口号是虚拟通道的端点。该字段具有与请求中相同的回复值。

2.11.9.1.2 virtual_channel_payload_identifier

要添加，更新或删除的虚拟通道的虚拟通道有效载荷标识符。该字段具有与请求中相同的回复值。

2.11.9.1.3 payload_bandwidth_number

虚拟通道所需的有效负载带宽编号分配了上述虚拟通道标识符。

2.11.9.1.4 salocated_payload_bandwidth_number

时间插槽的有效载荷带宽编号（PBN）实际上分配给了流。分配的PBN是任何DP MST分支单元分配的最大值。由于Allocate_Payload消息交易回复在上游转发，每个DP MST分支单元替换了分配的PBN，如果其分配的PBN大于PBN，则分配的payload_bandwidth_number在答复中分配了PBN。

2.11.9.1.5 number_sdp_streams

number_sdp_streams字段指示需要路由到SDP流式接收器的SDP流数量（随后的SDP流槽表的大小）。

2.11.9.1.6 sdp_stream_sink

SDP流式水槽表中包含SDP流到可用的SDP流汇的映射。表的第一个字段与第一个SDP流相关联，第二个字段是第二个SDP流等等。表中每个字段的值是发送关联的SDP流的SDP流动池标识符。当将SDP_STREAM_SINK值清除为0时，SDP SNDP设备发送SDP流是特定于实现的。这是DP接收器设备实施程序的决定，即如何处理分配给同一SDP流槽的两个SDP流。

2.11.9.2 clear_payload_id_table

MST DP设备发送了Clear_payload_id_id_id_table广播请求消息交易，以将所有VC有效负载ID分配给分配。分配给端口的表已收到消息。此广播消息并未发送到所有DFP。广播消息将发送给那些通过清除DPRX端口分配的VC有效载荷的DPTX端口。当集中器设备收到clear_payload_id_table请求时，MST DP集中器分支设备将发送NAK回复，并将其设置为推迟。

The MST DP Concentrator Branch device, ACKs CLEAR_PAYLOAD_ID_TABLE broadcast request message transactions, and converts the CLEAR_PAYLOAD_ID_TABLE request into a series of ALLOCATE_PAYLOAD requests for the VC Payload ID allocated to the DPRX port with the new PBN value cleared to 0 (de-allocate payload) to its downstream DPTX ports.

表2-186: clear_payload_id_table消息语法

Syntax	# of Bits	Format
CLEAR_PAYLOAD_ID_TABLE_Request()		
{		
zero	1	'0'
Request_Identifier	7	'001 0100'
}		
CLEAR_PAYLOAD_ID_TABLE_Ack_Reply()		
{		
Reply_Type	1	'0'
Request_Identifier	7	'001 0100'
}		

2.11.9.3 Connection_status_notify

Connection_status_notify 节点广播请求消息交易是DP分支设备检测DP或Legacy设备插件或拔出插头事件时发送的。DPTX检测到连接状态更改的MST设备将在上游广播消息，而DPRX检测到连接状态更改的MST设备将在下游广播消息。随着广播消息在上游和下游，分配给断开DP端口的所有有效载荷都将脱离分配。

带有分支单元的MST设备，其DPRX检测到断开事件必须清除断开DPRX端口的VC有效载荷ID表，同时维护其他DPRX/DPTX端口的VC有效载荷ID表，并启动Allocate_Payload Procedure以删除VC有效载荷的端口，以删除分配的端口。

具有分支单元的MST设备，其DPTX检测到断开连接必须清除DPTX的VC有效载荷ID表，同时维护其他DPTX/DPRX端口的VC有效载荷表。

表2-187: Connection_status_notify消息语法

Syntax	# of Bits	Format
CONNECTION_STATUS_NOTIFY_Request() { zero Request_Identifier Port_Number zeros Global_Unique_Identifier zero Legacy_Device_Plug_Status DisplayPort_Device_Plug_Status Messaging_Capability_Status Input_Port Peer_Device_Type }	1 7 4 4 128 1 1 1 1 1 3	'0' '000 0010' '0000' '0'
CONNECTION_STATUS_NOTIFY_Ack_Reply() { Reply_Type Request_Identifier }	1 7	'0' '000 0010'

2.11.9.3.1 global_unique_Identifier

DP设备的全局唯一标识符（GUID）发送Connection_status_notify消息事务。

2.11.9.3.2 port_number

检测到连接事件的端口号。

2.11.9.3.3 legacy_device_plug_status

如果将PEER_DEVICE_TYPE设置为SST-to-legacy Converter，并且DisplayPort_device_plug_status位设置为1。此位表示该位表示遗留设备的连接状态（VGA，DVI或HDMI设备），则该位是有效的。当Legacy_device_plug_status位设置为1时，将连接旧设备。断开遗产设备时，将清除LEGACY_DEVICE_PLUG_STATUS位为0。如果DisplayPort_device_plug_status位设置为1，则此字段是有效的。

2.11.9.3.4 displayport_device_plug_status

设置为1时，将DPTX或DPRX连接到适当的Micro Packet设备，并初始化DPTX或DPRX。

2.11.9.3.5 Messaging_capability_status

设置为1时，启用了MSTM_CAP寄存器（DPCD地址00021H，位0）中的MST_CAP位，DPRX单元和MSTM_CTRL寄存器（DPCD地址00111H，BIT 1）中的UP_REQ_EN位启用。如果DPCD MST_CAP或UP_REQ_EN位被禁用，则将位清除为0。如果DisplayPort_device_plug_status位设置为1，则此字段是有效的。

2.11.9.3.6 input_port

设置为一个时，端口信息是针对DPRX的；否则，端口信息用于DPTX。

2.11.9.3.7 peer_device_type

PEER_DEVICE_TYPE提供连接到指示端口的DP设备类型。表2-188定义了可用的设备类型。将返回连接到DFP的SST分支设备的PEER_DEVICE_TYPE数字，以及带有MST分支单元的DP设备，无论分支单元是否是MST分支设备的一部分，MST Composite Sink设备还是MST接收器设备。

表2-188：对等设备类型

Peer_Device_Type	DP Peer Device Description
000	No device connected
001	Source device or SST Branch device connected to a UFP
010	Device with MST Branching Unit or SST Branch device connected to a DFP
011	SST Sink device or Stream Sink in an MST Sink/Composite device
100	DP-to-Legacy converter (DP to VGA, DVI, or HDMI)
101	DP-to-Wireless converter (DP to WDE or other wireless interfaces)
110	Wireless-to-DP converter (WDE or other wireless interface to DP)
111	RESERVED

表2-189提供了有关如何从电缆插头状态和DPCD状态确定PEER_DEVICE_TY
PE和MESGAGINE_STATUS FIELDS的信息。

表2-189: PEER_DEVICE_TYPE确定^a

Peer Device Connected to	Peer Device Description	Message Capability/Type		Signal Used for Presence Detection	DPCD Bits Used for Peer_Device_Type Determination			
		Message_Capability_Status	Peer_Device_Type		DFP_PRESENT ^b	DFP_TYPE ^c	MST_CAP/UP_REQ_EN ^d	UPSTREAM_IS_SRC ^e
N/A	None	0	000	No	X	X	X	X
UFP	MST Source Device	1	001	Powered Source Detect	0	X	UP_REQ_EN=1	1
UFP	SST-only Source Branch Device	0	001	Powered Source Detect	0	X	UP_REQ_EN=0	0
	MST Branch Device	1	010	Powered Source Detect	0	X	UP_REQ_EN=1	0
DFP	SST-only Branch Device (DP out)	0	010	HPD	1	00	MST_CAP=0	X
	Device with MST Branching Unit	1	010	HPD	1	00	MST_CAP=1	X
	DP-to-Legacy Converter	0	100	HPD	1	01=VGA 10=DVI/ HDMI	0	X
	Stream Sink (without Branching Unit)	0	011	HPD	0	X	0	X
	DP-to-Wireless Converter	1	101	HPD	1	110	1	X
	Wireless-to-DP Converter	1	110	Completion of wireless pairing (beyond the scope of this Standard)	1	110	1	X

a. "X" indicates "don't care."

b. DFP_PRESENT bit in the DOWN_STREAM_PORT_PRESENT register (DPCD Address 00005h, bit 0).

c. DFP_TYPE field in the DOWN_STREAM_PORT_PRESENT register (DPCD Address 00005h, bits 2:1).

- d. *MST_CAP* bit in the *MSTM_CAP* register (DPCD Address 00021h, bit 0) and *UP_REQ_EN* bit in the *MSTM_CTRL* register (DPCD Address 00111h, bit 1).
- e. *UPSTREAM_IS_SRC* bit in the *MSTM_CTRL* register (DPCD Address 00111h, bit 2).

2.11.9.4 enum_path_resources

ENUM_PATH_RESOURCES是一种路径请求消息事务，用于确定从DP源到接收器设备的路径的最小PBN。

ta BLE 2-190: ENUM_PATH_RESOURCES消息SYN 税

Syntax	# of Bits	Format
ENUM_PATH_RESOURCES_Request () { zero Request_Identifier Port_Number zeros }	1 7 4 4	'0' '001 0000' '0000'
ENUM_PATH_RESOURCES_Ack_Reply() { Reply_Type Request_Identifier Port_Number zeros FEC_Capability Full_Payload_Bandwidth_Number Available_Payload_Bandwidth_Number }	1 7 4 3 1 16 16	'0' '001 0000' '000'

此消息针对要枚举路径的下游DP分支设备。目标的DP设备以其下游可用的PBN做出响应。沿回复消息路径的每个DP节点在回复消息中替换了可用的PBN，如果其可用的下游PBN可用的下游PBN小于答复消息中的PBN。

- 2.11.9.4.1 fec_apability
DP v1.4的新手。
- 设置为1，如果从MST BU的路径生成回复消息到路径下游以进行枚举的路线支持远程误差校正（FEC）功能。

- 2.11.9.4.2 full_payload_bandwidth_number
- 链接的带宽以训练有素的链接速率和DP源设备和DP接收器设备之间的车道计数，而没有分配给VC有效载荷的时间插槽，表示为有效载荷带宽号码。与可用的_payload_bandwidth_number一样，此数字由最低车道计数和链接率的链接确定。

- 2.11.9.4.3 可用_payload_bandwidth_number
- 路径支持的最小有效载荷带宽编号。每个节点都会更新此数字，并具有其可用有效载荷带宽号码，如果其有效载荷带宽号小于消息交易回复中的编号。

2.11.9.4.4 port_number

其他针对要列出的MST DP设备的端口号评分。

2.11.9.5 link_address

Link_Address节点消息事务的目标是在带有分支机构的MST设备上。此交易用于确定带有分支单元的特定MST设备的可用资源，以及连接到分支单元（PEER_DEVICE_TYPE）的设备类型。带有分支单元的MST设备报告的资源是输入和输出端口的数量（物理和逻辑），无论对等设备是否连接到输入或输出端口，以及对等设备是否是分支/接收器/源（PEER_DEVICE_TYPE）设备，以及设备是一个设备是一个设备，是否是sindp sink设备，是否可用peer sworts sopters Sports和PeerStoct。

至于当前功能定义，请参见表2-129。当前功能定义字段仅在边界消息版本编号为02H或更大时可用。

表2-191: link_address消息语法

[illegible]

2.11.9.5.1 `global_unique_Identifier` 目标DP设备的GUID。 2.11.9.5.2 `number_of_ports` DP节点包含的DPTX/DPRX单元的数量。 2.11.9.5.3 `Current_Capabilities_structure` 目标DP设备的CCS。 2.11.9.5.4 `input_port` 设置为1时，端口信息是针对DPRX的。否则，端口信息用于DPTX。

2.11.9.5.5 peer_device_type

PEER_DEVICE_TYPE提供连接到指示端口的DP设备类型。表2-188给出了定义的对等设备类型。DP对等分支设备类型将用于所有分支类型，物理，逻辑或组合。如果DisplayPort_Device_plug_status设置为1，则此字段是有效的。

2.11.9.5.6 port_number

报告的端口的端口号。物理端口号为0到7，而逻辑端口号为8到15（0x0f）。

2.11.9.5.7 Mesgaging_capibility_status

设置为1时，在MSTM_CAP寄存器中的MST_CAP位（DPCD地址00021H，位0）由DPRX单元或MSTM_CTRL寄存器（DPCD地址00111H，BIT 1）中的DPRX单元或UP_REQ_EN位启用。如果禁用了MST_CAP或UP_REQ_EN位，则将位清除为0。如果DisplayPort_Device_plug_status设置为1，则此字段是有效的。

2.11.9.5.8 displayport_device_plug_status

设置为1时，DPTX或DPRX将适当连接，并初始化DPTX或DPRX。

2.11.9.5.9 legacy_device_plug_status

如果将PEER_DEVICE_TYPE设置为SST-to-legacy转换器，则该位是有效的。该位指示旧设备（VGA，DVI或HDMI设备）的连接状态。当Legacy_device_plug_status位设置为1时，将连接旧设备。断开遗产设备时，将清除LECACY_DEVICE_PLUG_STATUS位为0。如果DisplayPort_Device_plug_status设置为1，则此字段是有效的。

2.11.9.5.10 dpcd_revision

DP设备的DPRX的DPCD修订号。如果DPRX未连接到端口，则将清除为0。

2.11.9.5.11 PEER_GLOBAL_UNICE_IDENIFIER

如果DP设备的DPRX的DPCD修订号为DPCD R1.2（或更高），则此字段是有效的。该字段将包含DPRX设备的GUID（GUID寄存器（DPCD地址为00030H至0003FH））。如果DP设备的修订小于DPCD R1.2，则该字段将被清除为0，或者DPRX未连接到端口。

2.11.9.5.12 number_sdp_streams

number_sdp_streams字段报告DP端口可以同时处理的SDP流的数量。如果DisplayPort_device_plug_status位设置为1，则此字段是有效的。

2.11.9.5.13 number_sdp_stream_sinks

number_sdp_stream_sinks字段报告与DP端口关联的SDP流汇数。如果DisplayPort_device_plug_status位设置为1，则此字段是有效的。

2.11.9.6 power_down_phy

power_dow n_phy请求是路径或节点请求消息trans 行动。

表2-192: power_down_phy消息语法

Syntax	# of Bits	Format
POWER_DOWN_PHY_Request() { zero Request_Identifier Port_Number zeros }	1 7 4 4	'0' '010 0101' '0000'
POWER_DOWN_PHY_Ack_Reply() { Reply_Type Request_Identifier Port_Number zeros }	1 7 4 4	'0' '010 0101' '0000'

如果该消息是作为路径请求发送的，则如果没有分配给DPTX的有效载荷包含流符号序列，则来自DP设备的所有DP节点将放置在D3功率状态下。每个节点的即时上游设备将使用本机AUX写入set_power&set_dp_pwr_voltage寄存器（DPCD地址00600H）来设置下游节点的功率状态。当回复消息事务在上游传播时，下游节点设置为D3状态。当DP设备从下游设备接收确认消息时，它使用本机Aux Transactions将下游DP设备设置为D3功率状态，然后再将ACK答复到RAD指定的上游DP设备。如果将下游设置为D3功率状态失败，则将NAK答复发送到上游DP设备。如果收到NAK答复，则功率状态不会更改。

如果该消息是节点请求，则RAD标识的DP节点将连接到port_number参数指定的端口的DP设备在D3功率状态下，如果分配给DPTX分配给DPTX的有效负载都不包含活性数据，则使用本机AUX WR到SET_POPTOR&SET_DP_DP_P_PWR_VOLTAGE寄存器。

对于路径和节点请求，power_down_phy不影响VC有效载荷ID表。

2.11.9.6.1 port_number
要关闭的DP设备的目标DFP数。

2.11.9.7.1

要供电的DP设备的目标端口号 p。

表2-193: power_up_phy消息语法

Syntax	# of Bits	Format
POWER_UP_PHY_Request() { zero Request_Identifier Port_Number zeros }	1 7 4 4	'0' '010 0100' '0000'
POWER_UP_PHY_Ack_Reply() { Reply_Type Request_Identifier Port_Number zeros }	1 7 4 4	'0' '010 0100' '0000'

如果消息是作为路径请求发送的，则来自源立即下游设备的所有DP节点，并且目标的DP节点将放置在D0功率状态中。每个节点立即上游设备将使用本机AUX写入set_power&set_dp_pwr_voltage寄存器（DPCD地址00600H）来设置下游节点的功率状态。

如果该消息是节点请求，则使用本机AUX写入set_power&set_dp_p_pwort_voltage寄存器，将RAD标识的DP节点将连接到port_number参数指定的端口的DP设备。

对于路径和节点请求, power_up_phy不影响VC有效载荷ID表。

2.11.9.8 query_payload

QUERY_PAYLOAD请求确定由Virtual_Channel_payload_identifier参数指定的虚拟通道的可用有效载荷带宽号。

表2-194: query_payload消息语法

Syntax	# of Bits	Format
QUERY_PAYLOAD_Request() { zero Request_Identifier Port_Number zeros Virtual_Channel_Payload_Identifier }	1 7 4 5 7	'0' '001 0010' '0 0000'
QUERY_PAYLOAD_Ack_Reply() { Reply_Type Request_Identifier Port_Number zeros Allocated_PBN }	1 7 4 4 16	'0' '001 0010' '0000'

2.11.9.8.1 port_number

要查询的DP设备的目标端口号。

2.11.9.8.2 virtual_channel_payload_identifier

查询虚拟通道的虚拟通道有效载荷标识符。每个DP节点更新virtual_channel_payload_identifier参数作为请求遍历。

2.11.9.8.3分配

QUERY_PAYLOAD请求消息交易参数指定的DFP上的虚拟通道的分配的下游有效载荷带标数。

2.11.9.9远程_DPCD_READ

远程_DPCD_READ请求在目标DP节点中读取DPCD位置。远程_DPCD_READ请求不是直接读取远程DPRX的DPCD，而是将DPTX的靶向到DPRX上游，导致DPTX通过本机AUX Transactions启动DPCD读取访问。

表2-195： 远程_DPCD_READ消息义 x

Syntax	# of Bits	Format
REMOTE_DPCD_READ_Request() { zero Request_Identifier Port_Number DPCD_Address Number_Of_Bytes_To_Read }	1 7 4 20 8	'0' '010 0000'
REMOTE_DPCD_READ_Ack_Reply() { Reply_Type Request_Identifier zeros Port_Number Number_Of_Bytes_Read for (i = 0; i < Number_Of_Bytes_Read; i++) DPCD_Byte_Read[i] }	1 7 4 4 8 8	'0' '010 0000' '0000'

2.11.9.9.1 port_number
本机AUX交易的DP设备的目标端口号。

2.11.9.9.2 dpcd_address
20位DPCD地址用于读取或编写数据。

2.11.9.9.3 number_of_bytes_to_read
DPCD数据字节的数量从提供的DPCD地址开始，从而增加了每个字节读取的地址。

2.11.9.9.4 number_of_bytes_read
DPCD数据字节的实际数量从给出的DPCD地址开始。

2.11.9.9.5 dpcd_byte_read
DPCD数据字节读取。

2.11.9.10远程_DPCD_WRITE

远程_DPCD_WRITE请求将数据写入目标DP节点的DPCD位置。 远程_DPCD_WRITE请求不是直接编写远程DPRX的DPCD，而是通过本机AUX Transactions启动dptx启动DPCD写入访问的DPTX立即到达DPTX。

表2-196: remote_dpcd_write消息义 x

Syntax	# of Bits	Format
REMOTE_DPCD_WRITE_Request() { zero Request_Identifier Port_Number DPCD_Address Number_Of_Bytes_To_Write for (i = 0; i < Number_Of_Bytes_Write; i++) DPCD_Byte_To_Write[i] }	1 7 4 20 8 8	'0' '010 0001' 8
REMOTE_DPCD_WRITE_Ack_Reply() { Reply_Type Request_Identifier zeros Port_Number }	1 7 4 4	'0' '010 0001' '0000'
REMOTE_DPCD_WRITE_Nak_Reply() { Reply_Type Request_Identifier Global_Unique_Identifier Reason_For_Nak Number_Of_Bytes_Written_Before_Failure }	1 7 128 8 8	'1' '010 0001'

2.11.9.10.1 port_number
用于天然AUX交易的DP设备的目标端口号。

2.11.9.10.2 dpcd_address
20位DPCD地址用于读取或编写数据。

2.11.9.10.3 number_of_bytes_to_read
DPCD数据字节的数量从提供的DPCD地址开始，从而增加了每个字节读取的地址。

2.11.9.10.4 number_of_bytes_to_write
从给出的DPCD地址开始编写的DPCD数据字节数。

2.11.9.10.5 dpcd_byte_to_write dpcd数
据字节要编写。

2.11.9.10.6 number_of_bytes_written_before_failure

如果Chane_for_nak是DPCD_WRITE_FAILURE，则number_of_bytes_written_before_failure字段包含在失败发生之前编写的DPCD字节的数字。

2.11.9.10.7 global_unique_Identifier

目标DP设备的GUID。

2.11.9.11远程_i2c_read

远程_i2c_read请求附加到远程DP节点的I2C位置。远程_I2C_READ请求针对DPTX立即到达DP节点的DPX上游，并将其i2C位置附加到该DPS，并导致DPTX启动I2C-Over-aux交易。远程_i2c_read消息交易能够运输多个I2C交易，例如I2C写入，然后是I2C读取并重复启动。

表2-197: 远程_i2c_read消息语法

Syntax	# of Bits	Format
<pre> REMOTE_I2C_READ_Request() { zero Request_Identifier Port_Number zeros Number_Of_I2C_Write_Transactions for (i = 0; i < Number_Of_I2C_Transactions; i++) { zero Write_I2C_Device_Identifier[i] Number_Of_Bytes_To_Write[i] for (j = 0; j < Number_Of_Bytes_To_Write; j++) { I2C_Data_To_Write[i][j] } zeros No_Stop_Bit[i] I2C_Transaction_Delay[i] } zero Read_I2C_Device_Identifier Number_Of_Bytes_To_Read } </pre>	<pre> 1 7 4 2 2 1 7 8 8 3 1 4 1 7 8 </pre>	<pre> '0' '010 0010' '00' '0' '000' '0' '010 0010' '0000' '1' '010 0010' '0000' '00 0000' </pre>
<pre> REMOTE_I2C_READ_Ack_Reply() { Reply_Type Request_Identifier zeros Port_Number Number_Of_Bytes_Read for (i = 0; i < Number_Of_Bytes_Read; i++) I2C_Device_Byte_Read } </pre>	<pre> 1 7 4 4 8 8 </pre>	<pre> '0' '010 0010' '0000' </pre>
<pre> REMOTE_I2C_READ_Nak_Reply() { Reply_Type Request_Identifier Global_Unique_Identifier Port_Number zeros Reason_For_Nak zeros I2C_NAK_Transaction } </pre>	<pre> 1 7 128 4 4 8 6 2 </pre>	<pre> '1' '010 0010' '0000' '00 0000' </pre>

有关如何在AUX CH上发送I2C交易的第2.8节。

2.11.9.11.1 number_of_i2c_write_transactions 使用此消息事务发送要发送的I2C写入交易的总数

。

2.11.9.11.2 port_number DP设备的目标端口号以接收I2C交易。

2.11.9.11.3 write_i2c_device_identifier i2c设备标识符接收写请求。 2.11.9.11.4 number_of_bytes_to_write 写入I2C设备的数据字节数。 2.11.9.11.5 I2C_DATA_TO_WRITE i2c写入数据。 2.11.9.11.6 no_stop_bit 设置为1时，在I2C事务末尾不会发送停止位；否则，当清除为0时，

在I2C交易的末尾将生成停止。 2.11.9.11.7 I2C_TRANSACTION_DELAY 插入该延迟与下一次I2C事务之间的延迟量。延迟单元为10ms。延迟范围为0至150ms。 2.11.9.11.8 read_i2c_device_Identifier i2c设备标识符接收读取请求。 2.11.9.11.9 number_of_bytes_to_read 从I2C设备读取的数据字节数。 2.11.9.11.10 number_of_bytes_read 从I2C设备读取数据字节的数量。 2.11.9.11.11 I2C_DEVICE_BYTE_READ 从I2C设备读取数据字节。 2.11.9.11.12 global_unique_Identifier 目标DP设备的GUID。 2.11.9.11.13 chason_for_nak 请参阅第2.11.2.3.3节。 2.11.9.11.14 I2C_NAK_TRANSACTION 收到NAK的I2C交易号。 I2C交易号为1到3。

2.11.9.12远程_i2c_write

远程_i2c_write请求将数据写入附加到远程DP节点的I2C位置。远程_i2c_write请求针对DP TX立即到达DP节点的DPX上游，并将其附加到其I2C位置的DP节点，并导致DPTX启动I 2C-over-aux Write Transactions。

表2-198： 远程_i2c_write消息语法

Syntax	# of Bits	Format
REMOTE_I2C_WRITE_Request() { zero Request_Identifier Port_Number zeros Write_I2C_Device_Identifier Number_Of_Bytes_To_Write for (i = 0; i < Number_Of_Bytes_Write; i++) I2C_Data_To_Write }	1 7 4 5 7 8 8	'0' '010 0011' '0 0000'
REMOTE_I2C_WRITE_Ack_Reply() { Reply_Type Request_Identifier zeros Port_Number }	1 7 4 4	'0' '010 0011' '0000'

有关如何在AUX CH上发送I2C交易的第2.8节。

2.11.9.12.1 port_number

DP设备的目标端口号接收I2C交易。

2.11.9.12.2 write_i2c_device_istifier

I2C设备标识符接收写请求。

2.11.9.12.3 number_of_bytes_to_write

写入I2C设备的数据字节数。

2.11.9.13 Resource_status_notify

当两个事件中的任何一个中的任何一个中， resource_status_notify notify node node no de request request recess trass tractaction均可发送。一个事件是， 当链接的可用PBN总数不支持所有分配有效载荷的总PBN时。在分配有效载荷后发生链接培训时， 可能会发生这种情况， 而新的可用总PBN值不支持分配的有效载荷。收到此广播消息后， DP源可以使用query _payload请求来确定仍分配了哪些流并取消分配的流。如果链接培训后， 链接将训练新的可用PBN， 但可用的PBN仍支持所有分配的有效负载， 则此广播消息不会如第2.6节中所述发送。

第二个事件是通过MST DP浓度分支设备的可用PBN更改。例如，当由于Allocate_payload请求而导致的MST DP集中器分支设备更改时，Resource_status_notify Notify Node node brotive请求将发送出所有DPRX端口。resource_status_notify节点广播请求消息是为了响应导致集中器有效载荷分配更改的任何请求发送。

表2-199: Resource_status_notify消息语法

Syntax	# of Bits	Format
RESOURCE_STATUS_NOTIFY_Request() { zero Request_Identifier Port_Number zeros Global_Unique_Identifier Available_PBN }	1 7 4 4 128 16	'0' '001 0011' '0000'
RESOURCE_STATUS_NOTIFY_Ack_Reply() { Reply_Type Request_Identifier }	1 7	'0' '001 0011'

2.11.9.13.1 global_unique_Identifier
DP设备报告资源更改的GUID。

2.11.9.13.2 port_number
DPTX端口数量更改的数量。

2.11.9.13.3 avaliable_pbn
newl y可用的PBN用于资源分配C的端口 吊死。

2.11.9.13.4 sink_event_notify
Sink_event_notify是一个向上的广播消息事务。例如，通过OSD按钮和菜单诱导的接收器设备（例如，显示）的更改将通过sink_event_notify广播消息交易传达到源设备（例如PC Graphics）。语法将在此标准的未来修订中定义。

2.11.9.13.5 query_stream_encryption_status
有关QUERY_STREAM_ENCRYPTICT_STATUS的定义，请参见附录I。

2.12 音频到视频和音频到原声

2.12.1 概述

音频到视频同步是一种机制，可以将音频流与单个监视器或多监视/雏菊链配置上的视频流同步。在多监视器配置中，如果将相同的音频流发送到多个显示器，则需要控制音频到ADIO同步以提供良好的最终用户体验。本节介绍了启用AV（音频到视频）同步和DP源设备之间同步AA（音频到原告）同步的机制。本节适用于提供音频功能和所有DP分支设备的源和下沉设备。

ATSC Guidelines^a是“声音程序绝不应该导致视频程序超过15毫秒，并且永远不要将视频程序滞后超过45毫秒。”这种容忍度可确保在听媒体内容时良好的用户体验。

DisplayPort要求如果音频到视频处理延迟从音频到视频流到达DP输入连接器的位置，则水槽设备在内部执行音频到视频延迟补偿。水槽设备必须遵守ATSC规范中指定的指南。此标准提供的音频到视频同步功能允许在雏菊链拓扑中的多个设备或拓扑中存在分支设备时，将这些流发送到多个设备时，可以同步音频到视频路径。

接收器设备必须通过音频 - 视频同步数据块（AVSDB）报告音频和视频的处理延迟。有关AVSDB规范，请参见第2.12.2节。源设备必须读取音频和视频延迟数据，并计算将音频与视频同步所需的延迟补偿。有关AV同步延迟补偿的详细信息，请参见第2.12.3.2节。

当将相同的音频流发送到多个接收器设备时，会执行音频到Audio延迟补偿。来源必须执行粗糙的延迟补偿，水槽设备必须执行精细的延迟补偿。源必须从各种连接的接收器设备列举处理/解码延迟值后确定粗延迟值。有关音频到ADIO延迟补偿的详细信息，请参见第2.12.3.3节。

图2-123显示了一个示例，该示例的源设备通过不同的端口连接到三个显示器，这些端口通过这些端口输出音频和视频。源设备通过DPCD寄存器通过AUX通道读取音频和视频的处理延迟，并将延迟值发送到补偿音频效率延迟的高级应用程序。源可以生成音频延迟值并将其写入独立的显示设备，以便可以在这些设备端点中执行音频延迟补偿。

Note: *Dependencies on the application itself exist to provide a system level solution beyond the scope of this standard, and as such all Source requirements described within this section are optional.*

a. www.atsc.org/standards/is_191.pdf, “ATSC Implementation Subcommittee Finding: Relative Timing of Sound and Vision for Broadcast Operations.”

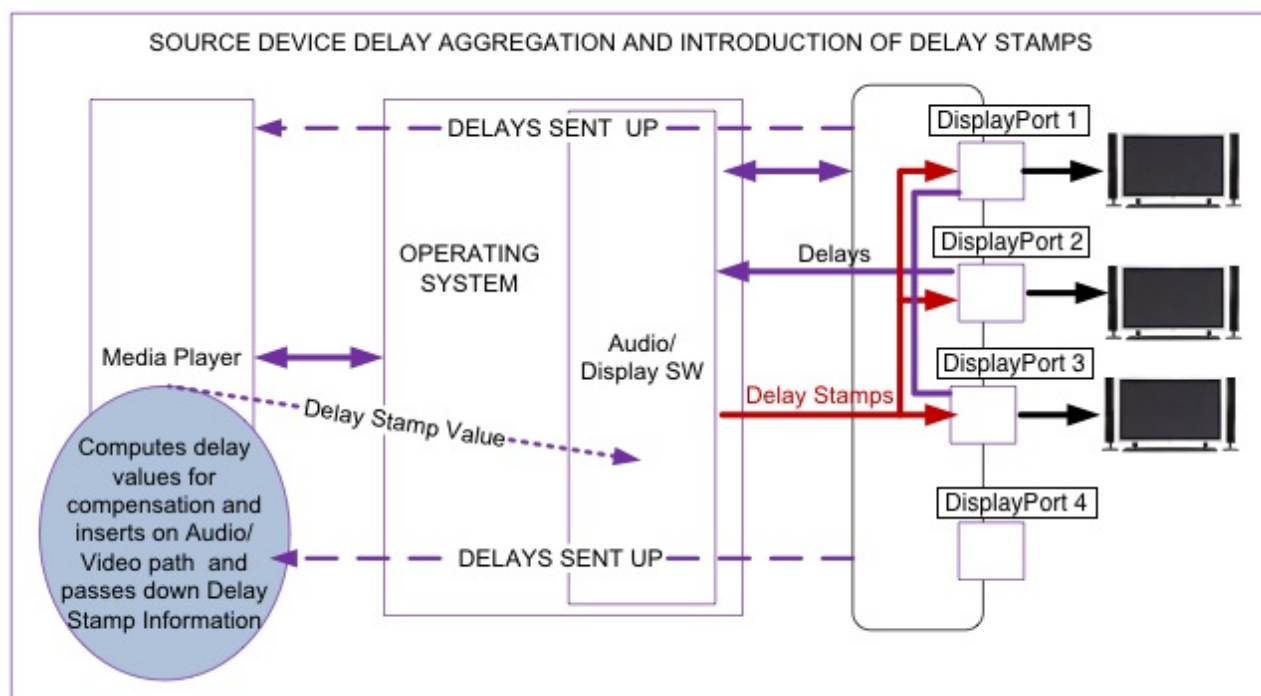


图2-123：源设备延迟聚合和引入延迟邮票

2.12.2 DisplayPort AV同步数据块

AV Sync数据块（AVSDB）是一组DPCD寄存器，描述了水槽的音频到视频解码和后处理延迟，以及其他延迟插入功能。水槽设备报告的值必须是静态的。接收器设备负责满足报告的静态延迟值，并在内部补偿不同的操作模式之间的任何变化。AVSDB分配给DPCD地址为00023H至0002DH。

2.12.3 Delay Compensation

2.12.3.1 音频延迟DPCD寄存器

audio_delay [7: 0], audio_delay [15: 8]和audio_delay [23:16]寄存器（分别为dpcd地址00112H至00114H）在水槽设备中需要允许基于设备设备设备设备的细粒度控制音频路径延迟。源设备将计算需要在接收器设备中引入的其他音频延迟，并将此值写入AUDIO_DELAY相关的寄存器。水槽设备必须负责根据延迟邮票值在音频路径上添加指定的额外延迟。有关如何计算延迟邮票值，请参见第2.12.3.2节和第2.12.3.3节。

2.12.3.2 AV同步延迟补偿

如果水槽设备能够渲染音频流，则水槽设备必须在AVSDB中报告音频和视频延迟。源设备必须读取延迟值并计算必要的延迟补偿。预计水槽设备内部将执行AV补偿，以确保音频到视频潜伏期一致。在将流连接到多个DP接收器设备（例如，通过中继器或中间分支设备）的配置中，源必须执行延迟补偿以确保AV Sync。当连接相同的源设备（通过源设备的多个输出端口）到多个DisplayPort设备时，源还必须执行延迟补偿，渲染包含相同数据音频到视频数据的音频到视频流。

图2-124显示了通过中继器设备连接的DisplayPort监视器的示例。在此示例中，中继器设备连接到源设备，并通过DP电缆接收音频到视频流。中继器设备将视频流转发到仅支持视频的DP监视器，而音频输出直接由Repeater设备驱动，该设备还包括音频渲染功能。监视器和中继器设备可能具有不同的视频和音频处理延迟。源设备将列举这些延迟中的每一个，并确定同步点（POS），这是将音频和视频流渲染的时间点。要满足POS，源设备必须为视频流添加延迟。源设备必须计算音频延迟邮票值，并在接收器设备上写下延迟邮票值。

$$\begin{aligned} & \text{Audio delay stamp value} \\ &= \text{PoS} - (\text{Sink device or Repeater inherent audio delay} + \\ & \quad \text{delay added to audio in Source device}) \end{aligned}$$

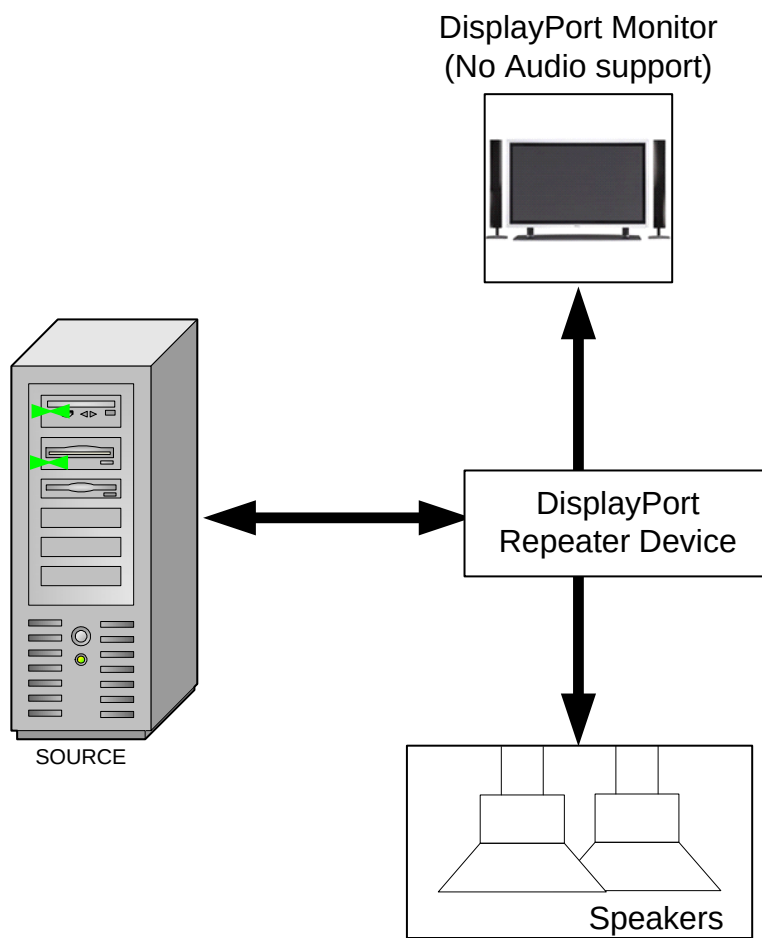


图2-124：通过中继器设备连接的DisplayPort监视器

水槽设备必须至少提供5毫秒的内置缓冲，以进行细粒度的延迟补偿。如果计算出的音频延迟不超过接收器设备的功能，则源设备以AUDIO_DELAY相关的寄存器编程，所需的延迟。如果计算出的音频延迟超过了接收器设备的功能，则源设备必须在音频路径上引入粗粒延迟，并重新计算水槽设备所需的细粒延迟。然后将最终的细粒延迟编程到AUDIO_DELAY相关的寄存器中。图2-125中描述了此延迟补偿时间的一个示例。

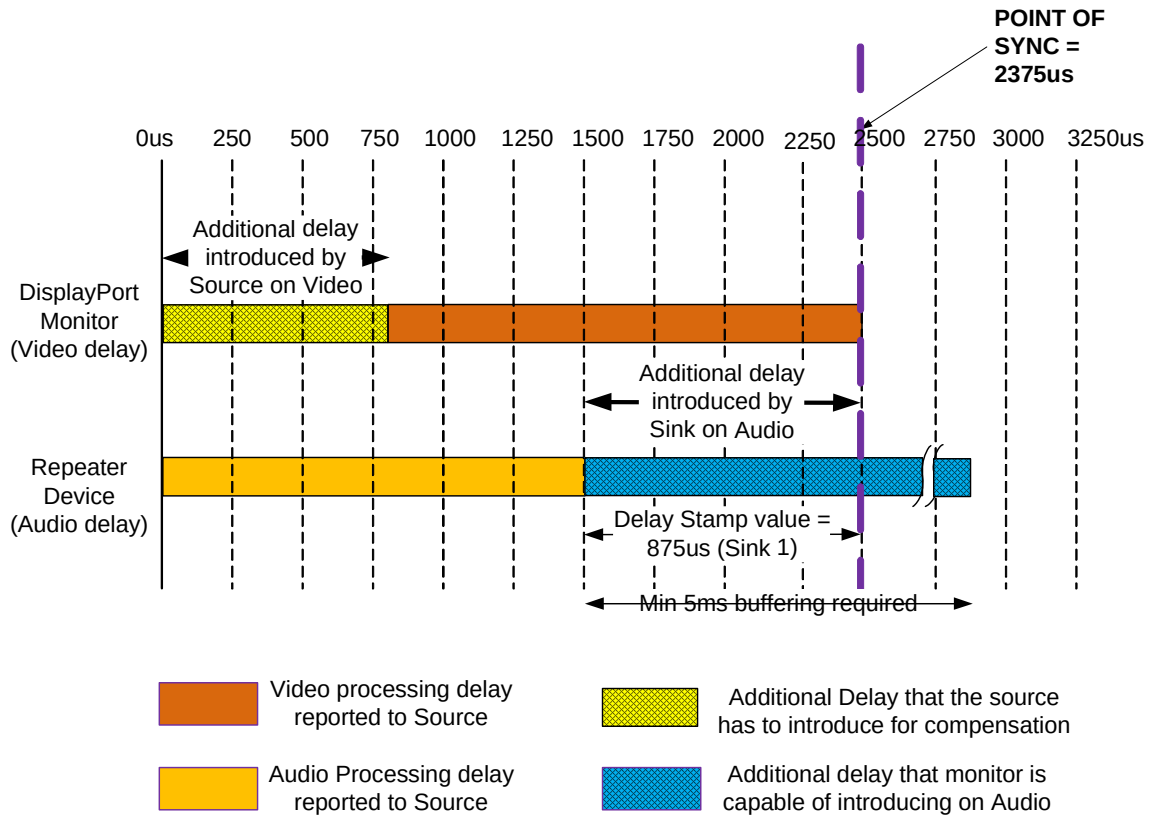


图2-125：音频到视频同步的延迟补偿

在图2-126中，DP源将相同的音频到视频流传输到多个DP监视器，每个DP显示器可能具有不同的音频到视频解码/后处理潜伏期。源设备列举了每个监视器中的每个监视器之间的延迟。它还列举了能够插入的音频缓冲延迟。源将确定所有不同监视器的所有音频到视频流的POS。POS必须等于或大于接收器设备在配置中引入的最大音频或视频延迟。源必须补偿源设备上视频路径上所需的任何其他延迟才能满足POS。

预计其路径上的每个接收器设备的音频插入延迟至少为5ms。重叠区域（ROO）的区域定义为在不同显示器之间的音频路径上的总音频延迟（监视器固有的后处理或解码音频延迟+接收器延迟）重叠的区域。如果源无法识别ROO，则可以在音频路径上增加粗略的延迟以具有ROO。通过编写延迟邮票值来控制细粒音频延迟调整。来源可以选择ROO内的任何时间点，并将其确定为POS。赔偿后，音频和视频的总延迟应等于POS。

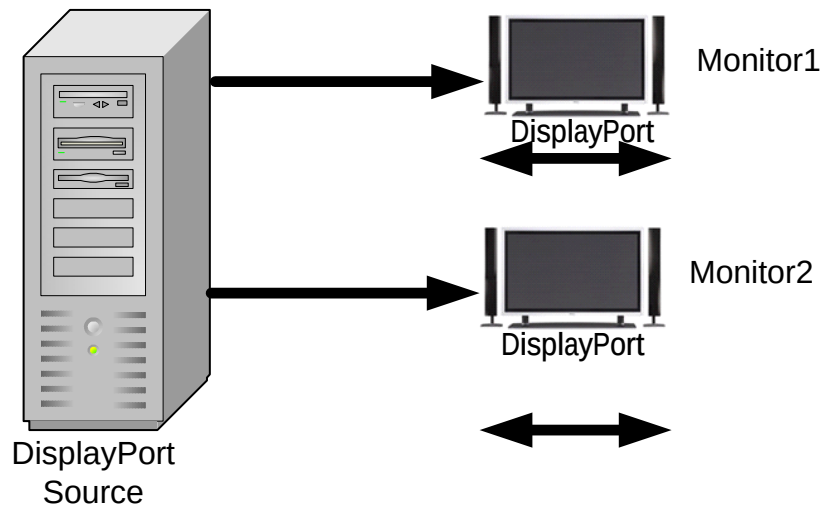


图2-126：DisplayPort源流的音频到视频流到多个显示器

图2-127说明了在两个不同的水槽设备中产生的音频和视频延迟。来源列举了水槽设备的音频和视频路径发生的各种延迟。来源将补偿视频延迟以满足POS。计算音频延迟邮票以满足POS，POS减去固有的处理或解码延迟提供“音频延迟邮票值”。如果这超出了接收器插入延迟（5ms或更多），则源设备将必须在音频路径上插入粗延迟，并且细胞延迟将通过音频延迟邮票进行调节。最终音频延迟邮票由源设备通过AUDIO_DELAY [7: 0]，AUDIO_DELAY [15: 8]和AUDIO_DELAY [23:16]寄存器编写（分别为00112H至00114H）。

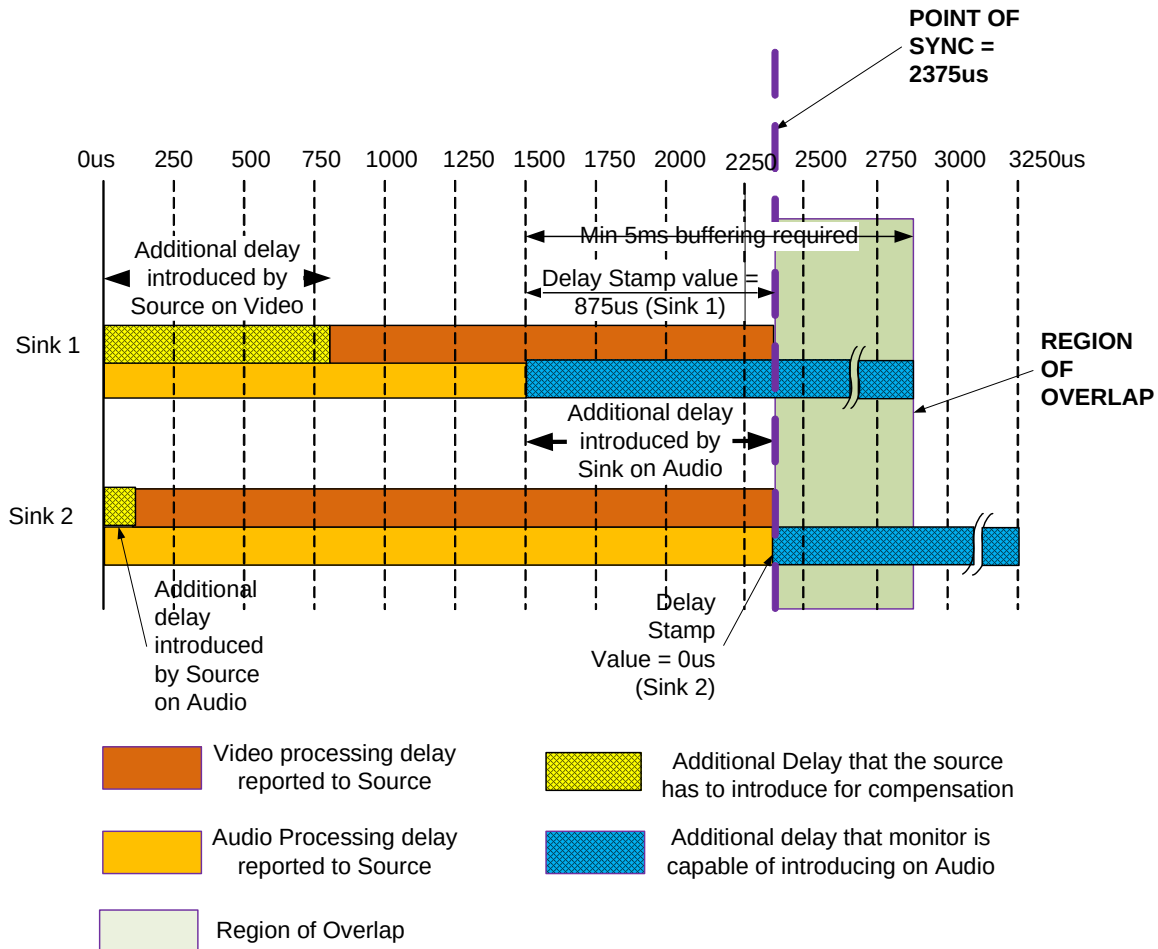


图2-127：在多监视器配置中对音频到视频同步的延迟补偿

2.12.3.3 音频到Audio同步延迟补偿

在图2-128所示的配置中，单个音频流被发送到能够在内置显示器扬声器上播放音频流的多个DisplayPort设备。可以将这些接收器设备配置为仅播放音频，即不发送视频流到接收器设备。接收器设备必须在AV同步数据块上报告音频帖子处理或解码延迟。来源读取这些值，以计算如何补偿潜伏期以实现这些设备之间的音频对声音同步。

需要在音频路径上产生的水槽设备至少支持5ms加上抖动（在任何给定模式下的音频解码或后处理延迟）。由于预计接收器设备将报告最坏情况下的音频延迟，因此可以使用抖动缓冲来补偿水槽设备中发生的抖动。

在图2-128的示例中，监视1和2在音频路径上产生不同的延迟。他们还支持可选的音频到原声延迟补偿的音频缓冲。源设备列举了这些显示器中的音频延迟和其他缓冲支持，然后计算Roo。如果存在Roo，则确定延迟补偿的POS。如果不存在Roo，则将插入粗延迟以具有Roo。源将计算延迟邮票值，并将其写在接收器AVSDB寄存器上。

$$\text{Audio delay stamp value} = \text{PoS} - (\text{Sink inherent delay} + \text{any delay added in Source})$$

当每个监视器根据每个延迟邮票都引入额外的延迟时，在其音频路径中产生的总延迟符合POS，并且满足了音频到Audio同步要求。

2.13.1全局时间代码

GTC是1NS单位的32位值（LSB对应于1NS）。FFFFFFFH的GTC值仅小于4.3。使用本机AUX交易对DP设备的DP链接到对齐GTC的100NS精度来定义协议。

具有DPCD R1.2或更高支持音频和所有DP分支设备的DP接收器设备需要GTC支持，并具有DPCD R1.2或更高的DP分支设备，建议用于支持音频的DP源设备。

源设备是否支持GTC能力以及是否能够通过设置TX_GTC_SLAVE_CAP和TX_GTC_CAP在link_rate_set和TX_GTC_CAPAIBATIE中的TX_GTC_CAP位来传达其下游设备，以及它是否能够作为GTC从服务器进行操作。

2.13.1.1 GTC蓄能器需求

GTC生成器通常将作为由GTC参考时钟驱动的累加器实现。每个GTC参考时钟的GTC值增加了多少计数取决于GTC参考时钟频率和累加器的精度。例如，如果GTC蓄能器为32位，LSB对应于1NS，并且GTC参考时钟为100MHz（即每个时钟周期10NS），则该值每次时钟周期增加10个小数计数。

GTC大师和GTC从属之间的GTC同步由两个阶段组成。初始频率调整阶段（锁定阶段）和随后的周期性频率调整阶段（锁定阶段）。在锁定采集阶段（调整DP链接的传播延迟的末尾），GTC值每1ms每1ms每1ms转移到GTC主机，而GTC值传输每10ms在锁维护阶段每10ms进行。

在初始频率调整阶段，两端的GTC参考时钟必须为96MHz或更高，在周期性频率调整阶段中必须为24MHz或更高。切换参考时钟时，必须注意确保切换事件不会影响GTC跟踪和锁定正时要求。参考时钟必须具有 $\pm 100\text{ppm}$ 的长期精度，其标称频率必须具有100ppm。GTC参考时钟不允许使用传播时钟。

只要GTC Master的GTC值在锁定获取阶段的错误就不会超过12个计数，并且在锁定维护阶段（均来自GTC累加器锁存器锁存器边缘不确定性）的错误不超过50个计数，则GTC Slave必须能够安顿下来：

- 在锁定阶段，应在 $\pm$ 范围内GTC Master的GTC值的12个计数（在锁定获取阶段描述部分结束时所描述的平均方法在第2.13.1.3.1节的相位偏移部分和第2.13.1.3.1节的第2.13.1.3.1.3.2节的偏移之前，都不是差不多。
- 在锁定维护阶段，应在 ± 50 个GTC Master GTC值的50计数之内，并且在任何时候都必须差于 ± 100 计数。

GTC从属必须能够通过调整参考时钟值，增量值或参考时钟频率和增量值来调整增加GTC值的速率。

在锁定维护阶段期间，如何调整GTC累加器增量率（即阻尼因子）在GTC规范的此修订版中，将GTC从实现者的选择保留。作为一般指南，GTC从应将其GTC增量调整保持在以下范围：

$$(Next\ GTC\ value - Current\ GTC\ value) - (Current\ GTC\ value - Previous\ GTC\ value) | \leq 100$$

Note: *The fact that a GTC Slave increment adjustment guideline is defined per 10ms interval does not imply that the lock maintenance period must be exactly 10ms. Though the lock maintenance interval is 10ms typical, it is bound to vary time to time. A GTC Slave compares its own delta (i.e., Current GTC value - Previous GTC value) to that the delta of a GTC Master's. This way, a GTC Slave is tolerant to the lock maintenance interval variation.*

尽管GTC是一个32位值，LSB代表1NS，但GTC从属中的GTC蓄能器必须能够以平均较低的锁定习得/维护间隔为远低于1NS的GTC累加器值。对于10ms的锁维持间隔和24MHz的GTC参考时钟频率，有240000 GTC积累周期。例如，为了将GTC值增加每10ms周期25NS，每GTC累积周期的平均增量率必须增加0.000104计数（= 25NS / 240000周期）。

2.13.1.2 GTC的DPCD字段

GTC同步涉及DPCD字段中表2-200中列出的寄存器位。

表2-200：用于GTC操作的DPCD字段

DPCD Address	Definition	Write/Read Over AUX CH
00054h	RX_GTC_VALUE_0	Read Only
00055h	RX_GTC_VALUE_1	Read Only
00056h	RX_GTC_VALUE_2	Read Only
00057h	RX_GTC_VALUE_3	Read Only
00058h	RX_GTC_MSTR_REQ The TX_GTC_VALUE_PHASE_SKEW_EN and RX_GTC_MSTR_REQ bits (bits 1:0, respectively) are used. Bits 7:2 are RESERVED (Read all 0s). See the RX_GTC_MSTR_REQ register's description in Table 2-155 for further details.	Read Only
00059h	RX_GTC_FREQ_LOCK_DONE The RX_GTC_FREQ_LOCK_DONE bit (bit 0) is used. Bits 7:1 are RESERVED (Read all 0s). See the RX_GTC_FREQ_LOCK_DONE register's description in Table 2-155 for further details.	Read Only
0005Ah	RX_GTC_PHASE_SKEW_OFFSET_0	Read Only
0005Bh	RX_GTC_PHASE_SKEW_OFFSET_1	Read Only
00115h	LINK_RATE_SET and TX_GTC_CAPABILITY The TX_GTC_SLAVE_CAP and TX_GTC_CAP bits (bits 4:3, respectively) are used. Bits 7:5 are RESERVED (Read all 0s). See the LINK_RATE_SET and TX_GTC_CAPABILITY register's description in Table 2-156 for further details.	Write/Read
00154h	TX_GTC_VALUE7:0	Write/Read

表2-200：用于GTC操作的DPCD字段（续）

DPCD Address	Definition	Write/Read Over AUX CH
00155h	TX_GTC_VALUE15:8	Write/Read
00156h	TX_GTC_VALUE23:16	Write/Read
00157h	TX_GTC_VALUE31:24	Write/Read
00158h	RX_GTC_VALUE_PHASE_SKEW_EN The RX_GTC_VALUE_PHASE_SKEW_EN bit (bit 0) is used. Bits 7:1 are RESERVED (Read all 0s). See the RX_GTC_VALUE_PHASE_SKEW_EN register's description in Table 2-156 for further details.	Write/Read
00159h	TX_GTC_FREQ_LOCK_DONE The TX_GTC_FREQ_LOCK_DONE bit (bit 0) is used. Bits 7:1 are RESERVED (Read all 0s). See the TX_GTC_FREQ_LOCK_DONE register's description in Table 2-156 for further details.	Write/Read
0015Ah	TX_GTC_PHASE_SKEW_OFFSET7:0	Write/Read
0015Bh	TX_GTC_PHASE_SKEW_OFFSET15:8	Write/Read
02004h	DEVICE_SERVICE_IRQ_VECTOR_ESI1 The LOCK_ACQUISITION_REQUEST and RX_GTC_MSTR_REQ_STATUS_CHANGE bits (bits 1:0, respectively) are used. Bits 7:3 are RESERVED (Read all 0s). See the DEVICE_SERVICE_IRQ_VECTOR_ESI1 register's description in Table 2-164 for further details.	Clearable Read Only (Bit is cleared when 1 is written via an AUX write transaction)

2.13.1.3 GTC锁定和维护与曼彻斯特交易格式的相邻DP设备之间

GTC主在命令字段（first_command_edge）的第一个差异信号边缘时发送其GTC值。

对于本机AUX请求事务，First_command_edge是差异信号边缘结束AUX_SYNC模式，如图2-129所示（因为命令字段中的MSB为1）。

对于回复事务，First_command_edge比同步端晚（因为对本机Aux Transaction的回复命令的MSB始终为0）。

GTC值采样点不管DPTX还是DPRX是GTC主。

GTC Master必须在First_command_edge时对GTC值进行采样。GTC主和GTC从属都必须在锁定过程中以10.25n或更高的精度测量First_command_edge位置，在锁定维护期间41NS或更高。

锁定和维护间隔定义为从一次交易开始到下一次交易开始的时间。

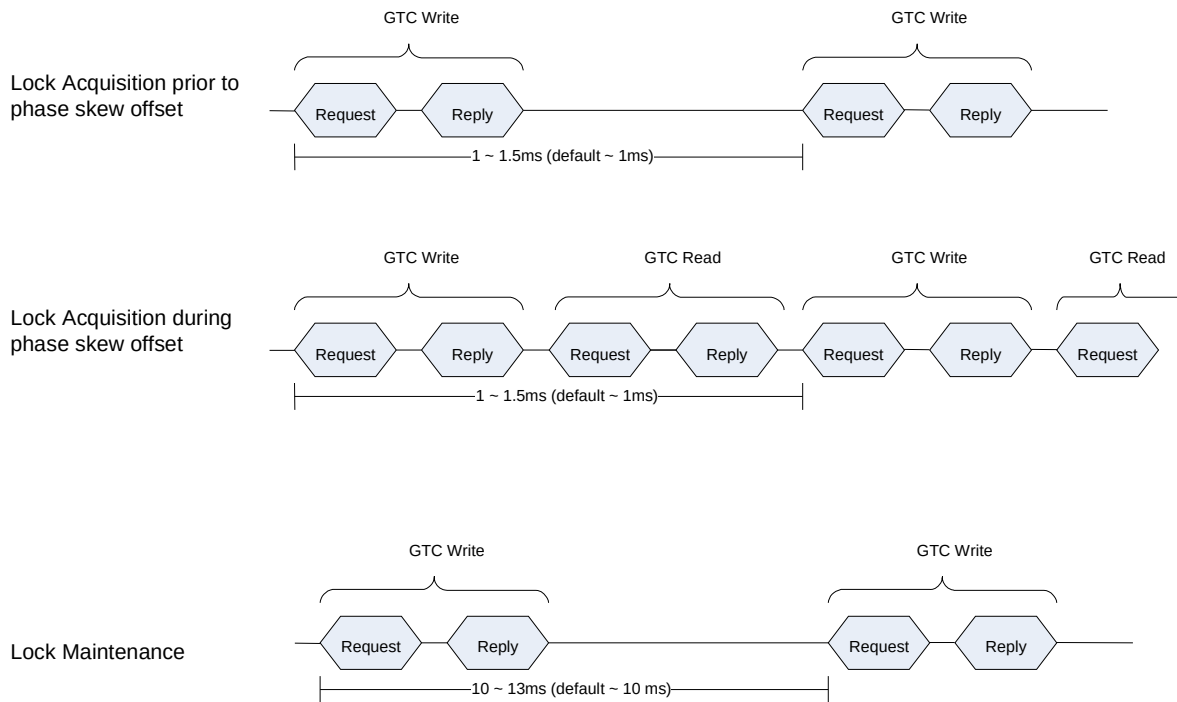


Figure 2-130: 锁定和维护间隔

阅

DPRX不得用AUX_DEFER回复。DPRX不得使用AUX_NACK回复，除了以下两个条件：

- 除非请求交易被损坏，否则DPRX可能会返回，以防请求交易损坏。
- DPRX必须是GTC Master - DPRX请求通过设置为GTC Master RX_GTC_MSTR_REQ寄存器中的RX_GTC_MSTR_REQ位（DPCD地址00058H，位0）和RX_GTC_MSTR_REQ_STATUS_CHANGE位于device_service_irq_irq_irq_esi1寄存器中的rx_gtcd地址00058h，位0）和rx_gtc_mreq_status_change位。

在AUX_NACK或重试时，DPTX必须使用重试请求交易的First_command_edge位置的GTC值重试，除非它已收到并设置了以上位的IRQ_HPDP。

2.13.1.3.1 GTC Lock Acquisition/Maintenance Procedure When DPTX Is GTC Master

2.13.1.3.1.1 锁定阶段

在锁定获取阶段，DPTX通过将值写入TX_GTC_VALUE相关寄存器（TX_GTC_VALUE7: 0, TX_GTC_VALUE15: 8, TX_GTC_GTC_VALUE23: 16, TX_GTC_VALUE15: tx_GTC_VALUE7: 0, TX_GTC_VALUE7: 0, TX_GTC_VALUE7: 0（DPCD地址00154H至00157H）），通过单个本机Aux爆发书写请求交易每个锁定间隔。DPTX必须在上一篇文章中经过1ms并收到其他待处理的AUX回复事务（或定时出版）后立即发出爆发写入交易。如果它不能在上一个之后的1.5ms内向TX_GTC_VALUE相关寄存器启动本机AUX事务，则DPTX可以在下一个间隔后启动事务，该间隔是从上一个事务开始的2ms，或者是重新启动间隔。

DPRX在以下两个时间点记录了自己的GTC值：

- 在每个AUX请求事务的First_command_edge到达时（“first_command_edge”时间值）
- 在接收32位TX GTC值（“GTC_RECEPTION”时间值）的时候，如果它是单个本机Aux Burst Write Transaction到TX_GTC_VALUE相关寄存器。

在锁定阶段，DPRX将其自己的GTC蓄能器重置为：

$$\begin{aligned} & \text{GTC\_Reset value} \\ &= \text{TX GTC value} + (\text{GTC\_Reception value} - \text{FIRST\_COMMAND\_EDGE value}) \end{aligned}$$

gtx_reception值与first_command_edge值之间的增量约为64US，因为第一个_Command_Edge之间存在64个辅助位周期，即接受32位数据（即4位命令，20位命令，20位地址，8位Len和32位数数据）。

从随后的单个天然AUX突发写入交易到TX_GTC_VALUE-相关寄存器，DPRX根据GTC_Reset和GTC_Reception值之间的增量来调整GTC累加器增量率。如果GTC_Reset值更大，则会增加增量率。如果较小，它会降低速率。频率调整多少取决于三角洲的绝对量。如果三角洲在± 12.5ns之内，则DPRX将其内部“lock_count”值增加1。如果在± 25n中，但大于± 12.5ns，则保持相同的lock_count。如果大于± 25n，则将锁定clik_count清除为0。当lock_count等于或高于5时，dprx必须设置rx_gtc_freq_lock_done lit。在此之前，它不得将位设置为1。

2.13.1.3.1.2 PHA 锁定收购末端的偏斜偏移P

hase

After 10 Native AUX write transactions to the TX_GTC_VALUE-related registers (TX_GTC_VALUE7:0, TX_GTC_VALUE15:8, TX_GTC_VALUE23:16, and TX_GTC_VALUE31:24 registers (DPCD Addresses 00154h through 00157h)) in lock acquisition interval（对于每个接收AUX_ACK回复的每个），DPTX从RX_GTC_VALUE相关寄存器（RX_GTC_VALUE_0, RX_GTC_VALUE_1, RX_GTC_VALUE_2, RX_GTC_VALUE_2, RX_GTC_VALUE_2, and rx_gtc_value_3 cookisters and dppcd ressessers）RX_GTC_FREQ_LOCK_DONE位在RX_GTC_FREQ_LOCK_DONE寄存器中（DPCD地址00059H，位0），通过向DPCD地址发出单个本机Aux Read Request事务，以00054H到00059H。

If the RX_GTC_FREQ_LOCK_DONE bit is set, the DPTX repeats a Native AUX burst write transaction to the TX_GTC_VALUE-related registers, followed by a Native AUX burst read transaction from the RX_GTC_VALUE-related registers and RX_GTC_FREQ_LOCK_DONE bit multiple times at each 1ms lock acquisition interval.

如果它读取RX_GTC_FREQ_LOCK_DONE的添加到0，则DPTX可以选择重新定位锁定锁定阶段或放弃锁定获取。

请注意，DPRX不得设计以依赖GTC爆发写入后的GTC爆发读数，并且必须在两者之间容纳无关的Aux Transactions。

对于上述本机AUX读取的每个回复交易，使用RX_GTC_FREQ_LOCK_DONE位设置为1，DPTX记录了在First_command_edge上其自己的GTC累加器值之间的delta。

在多个连续的读取回复交易中，RX_GTC_FREQ_LOCK_DONE位仍然设置了该交易，DPTX计算签名的Delta值的平均值。相位偏移量是三角洲平均值的一半。在计算平均值之前，要读取与dptx实现选择之前，读取与RX_GTC_VALUE相关的寄存器的次数有多少次。建议至少四个读取。

The DPTX then writes the calculated phase offset value to the TX_GTC_PHASE_SKEW_OFFSET7:0 and TX_GTC_PHASE_SKEW_OFFSET15:8 registers (DPCD Addresses 0015Ah and 0015Bh, respectively) with the RX_GTC_VALUE_PHASE_SKEW_EN bit in the RX_GTC_VALUE_PHASE_SKEW_EN寄存器（DPCD地址00158H，BIT 0）设置为1，通过单个本机Aux爆发写入请求交易到DPCD地址00158H至0015BH。在此本机AUX写入事务上，DPRX通过TX_GTC_PHASE_SKEW_OFFSET值增加了GTC累加器计数，而无需调整增量率。将AUX_ACK接收到本机AUX写入交易到DPCD地址00158H至0015bh，DPTX清除了RX_GTC_VALUE_PHASE_SKEW_EN与本机AUX写入交易交易到DPCD地址00158H。

2.13.1.3.1.3 锁定阶段

DPTX清除rx_gtc_value_phase_skew_en bit, rx_gtc_value_phase_phase_phase_skew_en寄存器 (dpcd地址00158H, 位0), 将输入锁定阶段。

在锁定阶段, DPTX写下TX_GTC_VALUE相关寄存器 (TX_GTC_VALUE7: 0, TX_GTC_VALUE15: 8, TX_GTC_VALUE23: 16: 16: 16, 和TX_GTC_VALUE31: TX_GTC_VALUE31: 24登记寄存器 (dpcd seldsters) 间隔。DPTX必须在从最后一个写入到TX_GTC_VALUE相关的寄存器和其他未决的AUX回复事务 (或计时) 时, 必须立即发布AUX写入交易。DPRX调整GTC累加器的增量率以维持以下条件:

$$\begin{aligned} & \text{Current GTC value} - \text{Previous GTC value} \\ &= \text{Current TX\_GTC\_VALUE} - \text{Previous TX\_GTC\_VALUE} \pm 50\text{ns} \end{aligned}$$

当DPRX法官认为尽管无法始终保持在上述范围内

the best effort, the DPRX clears the RX_GTC_FREQ_LOCK_DONE bit in the RX_GTC_FREQ_LOCK_DONE register (DPCD Address 00059h, bit 0), sets the LOCK_ACQUISITION_REQUEST bit in the DEVICE_SERVICE_IRQ_VECTOR_ESI1 register (DPCD Address 02004h, bit 1), and generates IRQ_HPD.在对GTC规范的此修订中, 何时将判断留给每个DPRX实施者。

2.13.1.3.2 GTC锁定获取/维护过程DPRX为GTC Master

对于与DPTX的DPRX接口, 可以在link_rate_set和TX_GTC_CAPABILITY寄存器中设置TX_GTC_CAP位和TX_GTC_CAPABILITY寄存器 (DPCD地址00115H, 位3) 到1) 将gtc masters的请求, IT rxcr rxcr rxcr n rxcr rxcr, RX_GTC_MSTR_REQ寄存器 (DPCD地址00058H, 位0) 和RX_GTC_MSTR_REQ_REQ_STATUS_CHANGE位在device_service_irq_irq_esi1寄存器 (DPCD地址02004H, 位0) 中, 以及IRQ_HPD。

充当GTC主的DPRX在device_service_irq_irq_vector_esi1寄存器 (DPCD地址02004H, BIT 1) 中设置lock_acquisition_request lit, 并生成IRQ_HPD以请求锁定收购开始。

2.13.1.3.2.1 锁定阶段

在锁定获取阶段, DPTX通过读取与RX_GTC_VALUE相关寄存器 (RX_GTC_VALUE_0, RX_GTC_VALUE_1, RX_GTC_VALUE_2, rx_gtc_value_2, and rx_gtc_value_3 repordes _3 reveresterss (dpcd cartisters) (rx_gtc_value_1), DPTX读取DPRX的GTC值 (RX_GTC_VALUE相关寄存器 (RX_GTC_VALUE_0) RX_GTC_FREQ_LOCK_DONE位在RX_GTC_FREQ_LOCK_DONE寄存器中 (DPCD地址00059H, 位0), 通过单个本机Aux爆发读取请求事务到DPCD地址00054H地址00054H至00059H, 每次锁定间隔1ms。在本机Aux读取回复事务上, DPRX将其GTC值存储在first_command_edge差异边缘, 结束AUX SYNC模式到RX_GTC_VALUE与与寄存器的寄存器。

DPTX在以下两个时间点记录了自己的GTC值：

- 回复事务（“first_command_edge”时间值）到达First_command_edge时。
- 当时它已经完成了32位RX GTC值（“GTC_RECEPTION”时间值）。

在锁定阶段，DPTX将其自己的GTC蓄能器重置为：

$$\begin{aligned} &GTC\_Reset\ value \\ &= RX\ GTC\ value + (GTC\_Reception\ value - FIRST\_COMMAND\_EDGE\ value) \end{aligned}$$

GTC_reception和first_command_edge值之间的三角洲大约为40 us，因为First_command_edge与32位数据的接收之间有40个辅助位周期（即8位回复命令和32位数据）。

从随后的天然AUX爆发从DPCD读取00054H到00059H每个锁定习得间隔，DPTX根据GTC_Reset和GTC_Reception值之间的增量来调整GTC累加器增量率。如果GTC_RESET值更大，则DPTX会增加增量率。如果GTC_Reset值较小，则DPTX降低了速率。

调整多少取决于三角洲的绝对数量。如果DELTA在± 12.5ns之内，则DPTX将其内部“lock_count”值增加1。如果三角洲在± 25ns中，但大于± 12.5ns，则DPTX保持相同的lock_count。如果三角洲大于± 25ns，则dptx将lock_count清除为0。当lock_count等于或高于5时，dptx必须将其GTC值写入TX_GTC_VALUE相关寄存器（TX_GTC_VALUE7: 0, TX_GTC_GTC_VALUE 15: 8, 8.8, 8.8, TX_GTC_VALUE23: 16和TX_GTC_VALUE31: 24（DPCD地址00154H至00157H））并设置TX_GTC_FREQ_FREQ_LOCK_DONE位tx_GTC_FREQ_FREQ_FREQ_LOCK_LOCK_DONE寄存器（DPCD地址00159H）到DPCD地址00154H至00159H。它必须在此之前设置位。

2.13.1.3.2.2阶段偏斜在锁定阶段结束时的偏移

在TX_GTC_FREQ_LOCK_DONE寄存器（DPCD地址00159H，BIT 0）中设置TX_GTC_FREQ_LOCK_DONE位为1，DPTX重复写入以下寄存器：

- TX_GTC_VALUE与寄存器（TX_GTC_VALUE7: 0, TX_GTC_VALUE15: 8, TX_GTC_VALUE23: 16, 和TX_GTC_VALUE31: 24（DPCD地址0000154H至00154H）
- RX_GTC_VALUE_PHASE_SKEW_EN寄存器（DPCD地址00158H）
- TX_GTC_FREQ_LOCK_DONE寄存器（DPCD地址00159H）

DPTX使用单个AUX BUSS读取事务到DPCD地址00054H到0005bh，重复读取下面列出的寄存器，直到读取RX_GTC_FREQ_LOCK_DONE位设置为1个每个锁定间隔：

- RX_GTC_VALUE相关寄存器（RX_GTC_VALUE_0, RX_GTC_VALUE_1, RX_GTC_VALUE_2和RX_GTC_VALUE_3（DPCD地址00054H））
- rx_gtc_freq_lock_done bit rx_gtc_freq_lock_done寄存器（dpcd地址00059H，位0）
- RX_GTC_PHASE_SKEW_OFFSET_0和RX_GTC_PHASE_SKEW_OFFSET_1寄存器（DPCD地址0005AH和0005BH）

DPRX记录了写入与TX_GTC_VALUE相关寄存器（TX_GTC_VALUE7: 0, TX_GTC_VALUE15: 8, TX_GTC_VALUE23: 16, 和TX_GTC_VALUE31: 24（DPCD地址）AS 001154HH，TX_GTC_FREQ_LOCK_DONE位仍设置。

对于上述本机Aux写入交易的每一个，使用TX_GTC_FREQ_LOCK_DONE设置为1，DPRX在FIRST_COMMAND_EDDE和接收到的TX_GTC_VALUE相关寄存器值之间记录了自己的GTC累加器值之间的delta。在多个连续的读取回复交易中，TX_GTC_FREQ_LOCK_DONE位仍然设置了该交易，DPRX计算了签名的Delta值的平均值。相位偏移量是三角洲平均值的一半。在计算平均值之前，要记录TX GTC值的次数有多少次留给DPRX实施选择。建议至少四个。

然后将DPRX设置为RX_GTC_PHASE_SKEW_OFFSET_0和RX_GTC_PHASE_SKEW_OFFSET_1记录到计算的阶段偏移值，并在rx_gtc_mmstr_req reperty（dpcd reperty in fit rx_gtc_mmstr_req reperty（DPCD）中，将tx_gtc_value_phase_phase_phase_phase_skew_en to DPCD从DPCD读取00054H至00059H的AUX读取事务，DPTX将其GTC累加器计数提高了RX_GTC_PHASE_SKEW_OFFSET_0和RX_GTC_PHASE_SKEW_OFFSET_1寄存器值，而无需调整增量率。用AUX_ACK回复此写入事务后，DPRX清除了TX_GTC_VALUE_PHASE_SKEW_EN位。

应该注意的是，在上述相位偏移计算过程中，DPTX的AUX爆发交易是读/写对的一部分，如图2-131所示。

如果DPTX未将TX_GTC_FREQ_LOCK_DONE位设置为1后从DPCD地址读取10次后1 000 54H到00059H，则DPRX可能会提示DPTX通过执行以下操作来停止锁定锁定：

1在RX_GTC_MSTR_REQ寄存器中清除RX_GTC_MSTR_REQ位（DPCD地址00058H，BIT 0）。

2清除device_service_irq_vector_es1寄存器中的RX_GTC_MSTR_REQ_REQ_STAT_US_CHANGE位（DPCD地址02004H，BIT 0）。

3发出IRQ_HPD。

2.13.1.3.2.3锁维护阶段

一旦DPTX读取rx_gtc_skew_en bit rx_gtc_mstr_req寄存器（dpcd地址00058H，位1），就可以输入锁定阶段。

在锁定阶段，DPTX读取RX_GTC_VALUE相关寄存器（RX_GTC_VALUE_0，RX_GTC_VALUE_1，RX_GTC_VALUE_2，RX_GTC_VALUE_2和RX_GTC_VALUE_3寄存器（DP CD寄存器）（dpcd sever sisters（dpcd offeress）DPTX必须在10毫秒中从上一篇文章到TX_GTC_VALUE相关寄存器（TX_GTC_VALUE7: 0，TX_GTC_VALUE15: 8，TX_GTC_VALUE23: 16，tx_GTC_VALUE23: 16，and TX_GTC_VALUE 31: 24 conc_value31: dptc_gtc_value31: 2431: 2431: 00157H）和其他等待的AUX回复交易将收到（或计时）。DPRX调整GTC累加器的增量率以维持以下条件：

$$\begin{aligned} & \text{Current GTC value} - \text{Previous GTC value} \\ & = \text{Current RX\_GTC\_VALUE} - \text{Previous RX\_GTC\_VALUE} \pm 50\text{ns} \end{aligned}$$

当DPRX法官认为尽管努力尽最大努力不可能始终如一地保持在上述范围内时，DPRX会执行以下操作：

- 清除RX_GTC_FREQ_FREQ_LOCK_DONE寄存器中的RX_GTC_FREQ_LOCK_DONE位（DPCD地址00059H，BIT 0），
- 在device_service_irq_vector_es1寄存器（dpcd地址02004H，位1）中设置lock_acquisition_request bit,
- 生成IRQ_HPD

在对GTC规范的此修订中，何时将判断留给每个DPRX实施者。

2.13.1.4选择GTC大师

当通过给定拓扑中的多个DP链接连接多个具有GTC功能的DP设备时，必须选择一种设备作为GTC Grand Master。连接到GTC Grand Master的设备成为GTC奴隶。当GTC从设备与另一个设备进行GTC同步时，它成为GTC Master。由于GTC同步系列，拓扑中的所有DP设备都与GTC大师同步。

默认情况下，上游设备是任何DP链接的GTC主机。因此，当拓扑中只有一个DP源设备时，一个DP源设备将成为GTC Grand Master。

2.13.1.4.1 当存在多个源设备时，GTC Grand Master的选择

当拓扑中有多个源设备具有一个或多个集中器分支设备时，只选择一种设备作为GTC Grand Master。

当集中器的UFP（UFP1）之一达到了GTC锁定或使用其上游设备（上游设备1）开始GTC锁定的采集，并且当连接到其他UFP（UFP2）的另一个上游设备（UFP2）启动GTC锁定acknowledgement时，请采取下面的操作：

1设置RX_GTC_MSTR_REQ寄存器中的RX_GTC_MSTR_REQ位（DPCD地址00058H，位0）设置为1。2设置RX_GTC_MSTR_MSTR_REQ_REQ_STATUS_CHANGE位于Device_service_service_irqector_irqector_eirq_vector_ESI1寄存器中IRQ_HPD。3在通过上游设备进行IRQ_HPD处理时，启动GTC锁定为GTC Master。

4随后，将GTC锁定为GTC Master。

如果上游设备2是另一个分支设备，则该分支设备将GTC锁定锁定为GTC主机，如果这些链接已经启动或实现了GTC锁定获取。

如果集中器同时从多个上游设备中接收到GTC锁定的本机AUX交易，则集中器将上游设备之一作为GTC Master接受。对于未选择的上游设备，集中器用AUX_NACK回复，并按照上述启动GTC锁定作为GTC主机。如果有多个源设备仅支持GTC主操作模式，则只有一个可以使用GTC。

集中器如何选择它作为GTC Grand Master接受的上游设备是一个特定于实施的决策，并且超出了该标准的范围。

2.13.1.4.1.1 禁用GTC同步

当连续五个间隔跳过了用于锁定或维护的AUX交易时，大师身份就会放弃。

2.13.1.4.1.2 分支机构GTC处理要求

分支设备的所有具有MST能力的DPTX和DPRX端口都必须能够在主模式和从模式下处理GTC。分支设备的DPTX/DPRX端口中只有一个充当GTC从属，而其他端口则充当相邻设备的GTC主体。

分支设备必须仅具有一个用于所有端口的GTC值。

2.13.1.4.1.3 使用GTC时电源管理

应该注意的是，在使用GTC时，AUX应保持动力。否则，GTC操作将不起作用。

2.13.2 GTC在音频间互相同步应用

DP音频流源在所有节点上建立了一个常见的全局时间参考后，必须确定每个音频框架的GTC演示时间。

IEC 60958音频框架由192个音频样本组成。一个位音频或DST音频框架由在一秒钟内1/75之内发生的样品数量组成。DP音频流源必须在最后32个音频框架的示例中以序列方式插入“通道”字段（图2-33至图2-35中的“C”（在图2-33到图2-35中的“C”）中的DP音频流源（每帧的样本数量-32个每帧的样本数量-1），从GTC的MSB开始，该系列是GTC的第一个音频，该示例的示例数量为GTC的MSB，该样本数量为32个）。

在32位字段中，GTC值的最显着31位（位31：1）占据了该场的最重要的31位。LSB用于指示该场的有效性。如果LSB为0，则该字段将被流式接收器忽略。

31位GTC值表示立即即将到来的音频框架的启动时间。

DP源设备必须根据音频延迟选择GTC演示值如下。
通过第2.12节中描述的机制发现的能力：

- 计算到拓扑中每个音频流的传播延迟
- 计算所有音频流插槽都可以在其音频延迟功能中实现的GTC演示值
- 通过两个音频框架

Note: *The audio sample rate is **not** synchronized to the GTC rate. The GTC should be used as a “ruler.” An audio stream sink device should render the audio within $\pm 500\text{ns}$ of the specified GTC value.*之间的gtc delta增加每个帧的GTC演示值

2.13.2.1演示时间

主持人 定义的系统中定义了时间的定义 以下：

- 带有扬声器的系统 - 在模拟扬声器终端
- 具有模拟音频输出的系统 - 在模拟音频输出插孔
- 具有数字输出的系统 - 在该特定数字协议中的信号边缘的数字输出插孔定义样本渲染。

通过将演示时间平面定义为上述，可以在已知的时间使用具有明确定义的边缘（例如锯齿波）的音频测试信号来验证在正确的时间呈现音频。

2.13.2.1.1 演示时间的动态调整

如果音频流在演示时间中已经嵌入了GTC值，但是需要调整播放偏移量，则音频源设备应在链接上的VB-ID（位4）中设置AudioMute_Flag位，然后调整演示时间时间，然后清除AudioMute_Flag lit。

In case an audio sink device encounters abrupt change in the presentation time received from an audio source device relative to its presentation time based on its current audio sampling rate without preceding the AudioMute_Flag bit, the Sink device should make sure that the change is persistent by checking the presentation time for a few extra times, and, if persistent, should make the presentation time change in a manner that results in minimum audio glitch.

2.13.2.1.2多通道音频的演示时间插入时间

当在多个物理音频渲染设备上渲染多通道音频时，通常需要源设备在所有音频频道中插入相同的演示时间。如果在多个物理音频渲染设备中需要渲染倾斜，则源设备的责任是在音频流传输之前插入偏斜的多个音频通道。

3 PHY Layer

3.1 介绍

DisplayPort PHY层指定了上游设备上端口（即DP源或分支设备上的AV输出端口）和下游设备上的端口（即DP接收器上的AV输入端口）上的直接连接的物理属性。它可以从DisplayPort链路层中解开数据传输电气规范，从而允许模块化以未来链路层的特定设计增强功能以及对传输媒体类型的未来更改，例如使用混合设备。如图3-1所示，PHY层进一步细分为逻辑和电函数亚块。

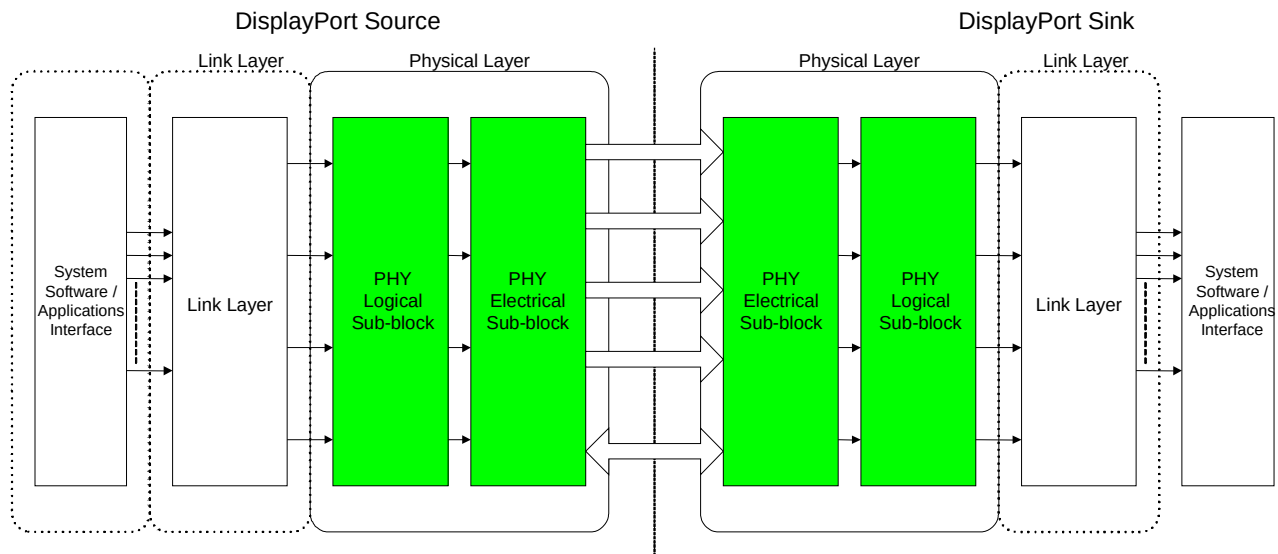


图3-1: DP PHY层

3.1.1 PHY层功能
这个宗派 n总结了displayport phy的功能 层。

3.1.1.1热插头/拔出插头检测电路

PHY层既负责检测热插头/拔出插头和链接层的通知:

- 逻辑子块 - 通知上层热插头/拔出插头事件
- 电气子块 - 检测热塞/拔出插头事件

3.1.1.2 AUX通道电路

PHY层使用1Mbps Manchester-II编码为链接配置或维护和EDID访问等服务的半双链双向AUX通道提供了。

- 逻辑子块
 - 支持曼彻斯特-II编码
 - 生成和检测开始/停止条件，并锁定适当编码的同步模式
 - 编码和解码适当的编码
- 电亚块
 - 由单个微分对组成，链接的两端配备了驱动程序和接收器，用于半双链双向操作
 - 驾驶结局
 - 以符合用于编码的AUX通道电气规范的方式驱动双重终止的AC耦合差异对
 - 接收端
 - 接收传入的差分信号并提取数据

3.1.1.3主链路电路

PHY层提供了单向主链接，用于传输等质流和次级数据包。

- 逻辑子块
 - 争先恐后地进行杂乱无章
 - ANSI 8B/10B编码/解码
 - 序列化和去序列化
 - 链接培训和链接状态监视器
 - 根据需要调整链接率，扩展，驱动当前水平和预先指示
 - 链接质量测量可测试性
- 电亚块
 - 最多包含四个差分对
 - 发射机
 - 驱动驱动器以符合主链接发射器电气规范的方式终止，交流耦合差分对
 - 接收者
 - 接收传入的差分信号，并及其链接CDR提取数据（时钟和数据恢复）电路

3.1.2 链接式层界面信号

本节总结了链接和PHY层之间的接口信号。

3.1.2.1 热插头/拔出插头检测

热插头/拔出插头检测电路为链路层的热插头/拔出状态信号提供。

驱动计时器必须属于链路层，而不属于PHY层。

3.1.2.2 AUX通道

链接和PHY层之间AUX通道的接口信号必须由8位数据信号加1位控制信号组成。控制信号用于指示AUX CH交易的开始或停止。使用1位控制信号指示开始/停止条件是特定于实现的，并且在此标准中不涵盖。

3.1.2.3主链接

链路和PHY层之间主链接的接口信号由每个主链路车道和1位控制信号的8位数据信号组成。控制信号用于特殊符号，例如BS（空白启动）和BE（空白端），用于构建等位置数据流。1位控制信号的使用是特定于实现的，并且在此标准中不涵盖。

3.1.3 PHY层和链接媒体接口信号

本节总结了PHY层和由PCB，连接器和电缆组成的链接介质之间的接口信号。（某些链接配置（例如芯片到芯片连接）可能不存在连接器和电缆。）

3.1.3.1 dp_pwr / dp_pwr_return

DP源，接收器或本地自动化的分支设备必须在框到框DP连接器的DP_PWR引脚上提供电源。不是自peeda的分支设备不需要提供DP_PWR。DP_PWR提供的电源旨在为直接连接到电力提供商连接器的消费设备提供动力。

3.1.3.2 热插头/拔出插头检测

设备（上游设备）使用一个信号，即热塞检测（HPD），以检测设备上的下游端口（DFP）是否已连接到另一个设备（下游设备）。HPD的实现对于嵌入式链接配置是可选的。至少必须在上游设备和下游设备中存在“trick滴”，才能检测到热塞事件。

每当他们断言HPD信号时，下游设备必须准备好进行AUX CH交易。即使在节能模式下（请参阅第5.2.5节），保持其HPD信号的下游设备也必须能够检测出Aux CH差异信号输入的存在。下游设备必须在检测到的差分信号的1毫秒内退出节能模式。

3.1.3.3 AUX频道

AUX通道由一对（Aux-CH +和AUX-CH-）组成。

至少必须在上游设备和下游设备中存在“trick滴功率”，以使AUX通道具有功能。

支持上游设备检测的下游设备，可选功能，必须监视AC耦合电容器及其上游连接器之间AUX CH线的直流电压。

3.1.3.4 主链接

主链接最多包含四个差速度（主链路巷0 +，主链路0-，主链路巷1 +，主链路1-...）。

上游设备和下游设备都必须完全供电，以使主链接起作用。

a. *Self-powered capable Branch devices that are physically disconnected from their independent power source are effectively “not self-powered,” and need not supply DP_PWR.*

3.1.4

合规性测量点

合规性测量点如图3-2所示。为在连接器（合规测量点TP2，TP3和TP3_EQ）进行的测量提供了规范规范。TP1和TP4的附录D中提供了适用于硅设备的信息规格。

在适当合规点的发射机测试中，使用了一对50 Ω 电阻载荷的合规性测试负载，如图3-3所示。提供等效载荷并具有内置均衡或软件等效的测试仪用于符合在TP3和TP3_EQ测量主链接和AUX Forward Channel的接收抖动期间使用的适当压力测试信号，以及在TP2上用于AUX BACKACK CHANNEL。

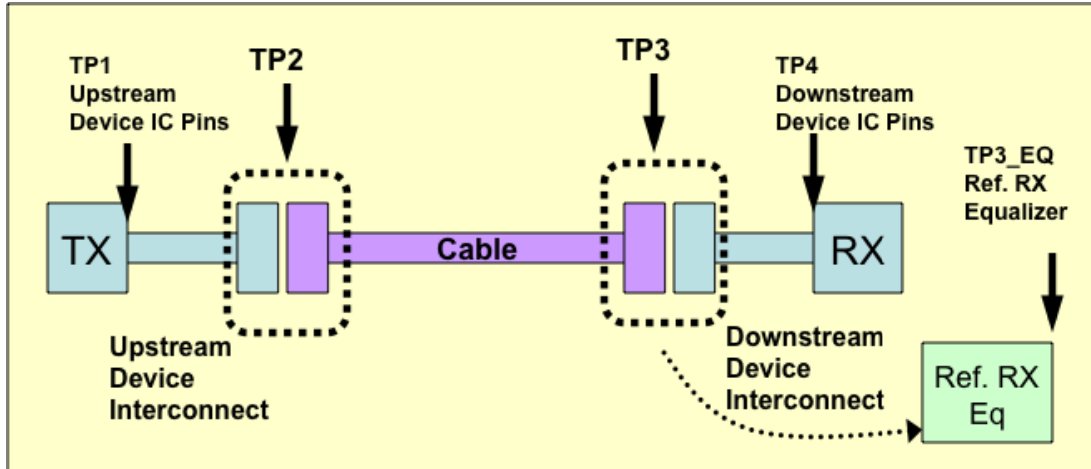


图3-2：通道的合规测量点

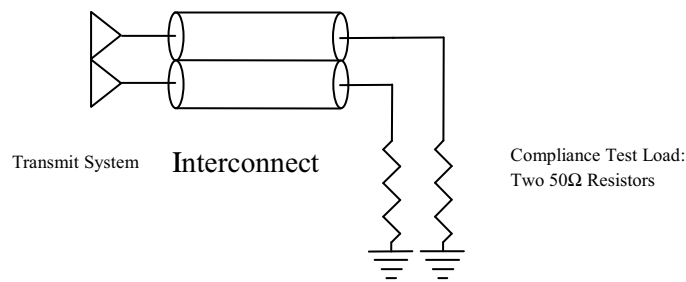


图3-3：合规性测试负载

TP3_EQ是针对HBR和HBR2引入的，因为通道互连中的损耗可能会导致TP3处的衰减或闭眼。在TP3上进行的测量通过参考接收器均衡器生成TP3_EQ（请参阅第3.5.2.10节）。

3.1.4.1 合规性电缆模型

合规性电缆模型是在合规性测试中使用的物理和/或数学模型，当必须表示电缆组件的影响以完成合规性测试时。为了确保互操作性，符合性电缆模型旨在代表现实的最坏情况电缆组件，以插入损失，回报损失，阻抗概况，远端噪声（FEN），接近端噪声（NEN）和偏斜（内部和PAIR和PAIR和PAIR）（内部和interair），但不得超过所有限制的限制性的电缆，既不超过任何限制的局限性的电缆，因为MAXER的范围均可符合MAXISTIC的限制。限制旨在覆盖各种电缆组件的结构，并非所有最大电性能限制都预计将同时发生在单个电缆中。因此，在使用物理电缆进行合规性测试的情况下，使用两个或多个物理参考电缆，而不仅仅是单个物理参考电缆，则可能是合适的。

例如，使用物理电缆模型和数学电缆模型显示了HBR2的合规配置。在所有其他情况下，都显示了物理电缆模型，但是使用数学电缆模型的等效配置同样可以接受。

对于设备发射机的合规性测试，在合规性电缆模型中，内对偏斜的态度旨在为0PS。

有关完整的合规性电缆模型信息，请参见最新的DisplayPort PHY合规性测试规范。

3.1.4.2 主链路合规配置

本节说明了用于测试上游和下游设备的合规性的测试配置。

Note: The illustrations do not include the aggressor connections that must be present for cross-talk related tests.

3.1.4.2.1 HBR2合规性配置

为了测试HBR2上游设备的合规性，使用合规性电缆模型来测量TP3_EQ的眼睛。该模型可以作为物理参考电缆或分析仪中纳入的数学模型实现。图3-4说明了这两个选项。

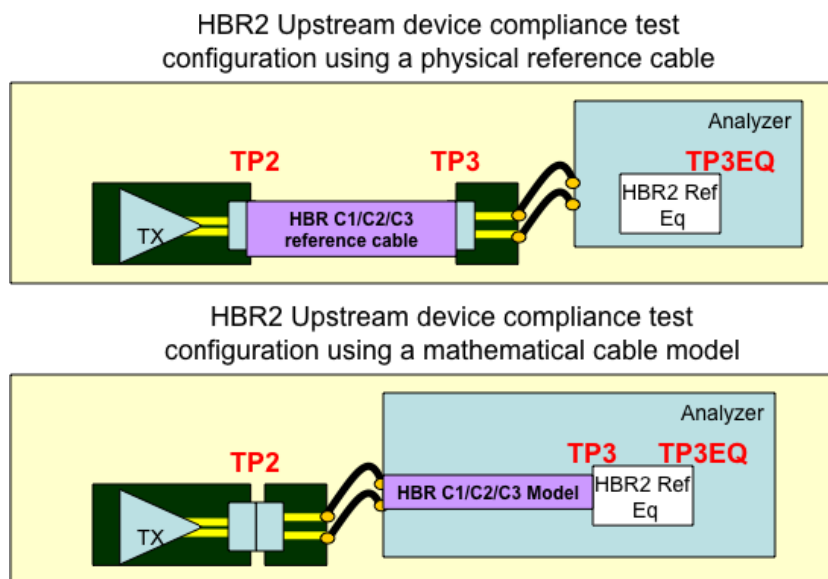


图3-4：HBR2上游设备合规性测试配置

为了测试HBR2下游设备的符合性，通过使用合规性电缆模型在TP3_EQ处测量眼睛来校准应力的信号发生器。该模型可以作为物理参考电缆或发电机中纳入的数学模型实现。然后将分析器从配置中删除，并将应力的信号发生器（包括合规性电缆模型）应用于下游设备。如果将数学模型合并到发电机中，则必须根据下游设备是带有DP插座的设备，带有Mini DP连接器的束缚设备或带有全尺寸DP连接器的束缚设备的设备。可以使用校准应力信号发生器输出以生成TP3处适当压力信号的替代方法。

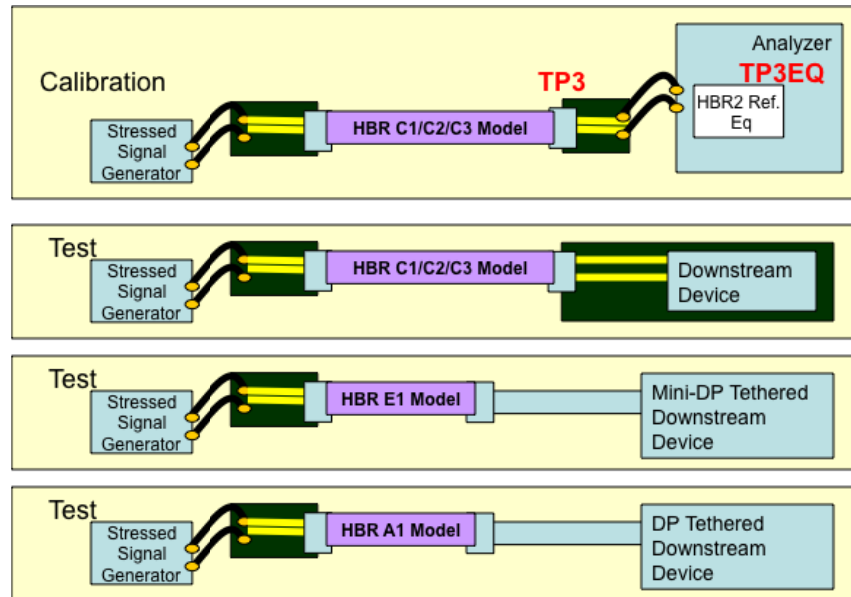


图3-5：HBR2下游设备合规性测试配置

3.1.4.2.2 HBR合规配置

分析仪直接连接到设备，以测试HBR上游设备的合规性。这在图3-6中说明了。

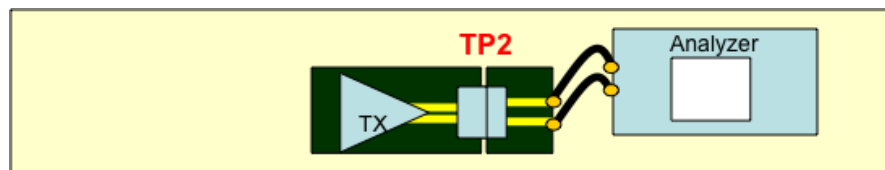


图3-6：HBR上游设备合规性测试配置

为了测试具有DP插座连接器的HBR下游设备的符合性，通过测量TP3_EQ的眼睛来校准应力的信号发生器。然后将分析器从配置中删除，并将应力信号发生器应用于下游设备。这在图3-7中说明了。

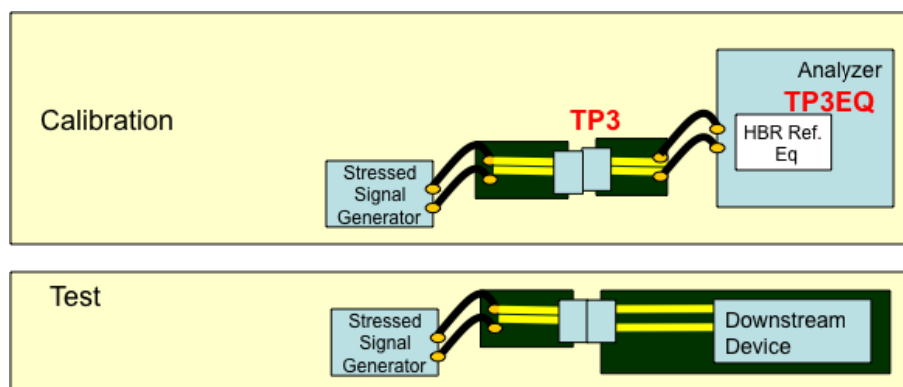


图3-7：HBR下游设备合规性测试配置

为了测试具有束缚电缆的HBR下游设备的符合性，通过测量TP2的眼睛来校准应力的信号发生器。然后将分析器从配置中删除，并将应力的信号发生器（包括合规性电缆模型）应用于下游设备。该模型可以作为物理参考电缆或发电机中纳入的数学模型实现。如果将数学模型合并到发电机中，则必须根据下游设备是带有迷你DP连接器的束缚设备，还是带有全尺寸DP连接器的束缚设备。这在图3-8中说明了。

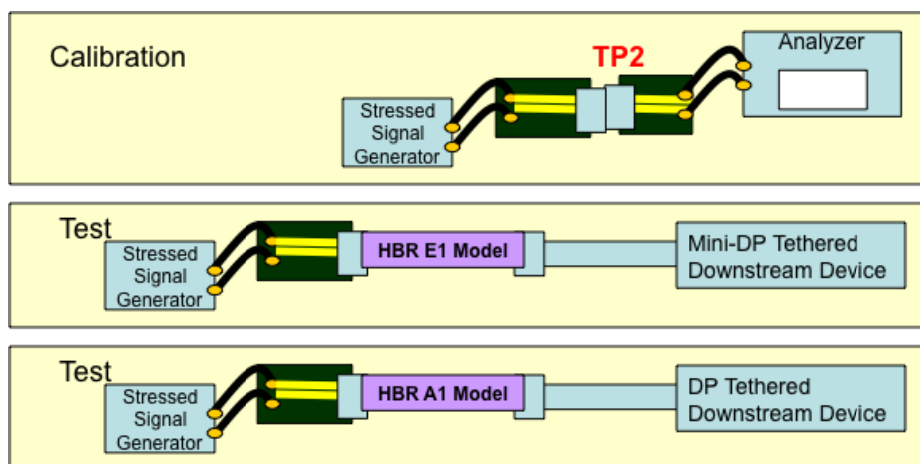


图3-8：HBR连锁下游设备合规性测试配置

3.1.4.2.3 RBR合规配置

分析仪直接连接到设备，以测试RBR上游设备的合规性。这在图3-9中说明了。

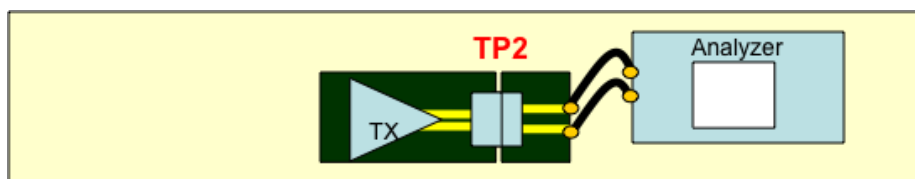


图3-9：RBR上游设备合规性测试配置

为了测试带有DP插座连接器的RBR下游设备的符合性，通过测量TP3的眼睛来校准应力的信号发生器。然后将分析器从配置中删除，并将应力信号发生器应用于下游设备。如图3-10所示。

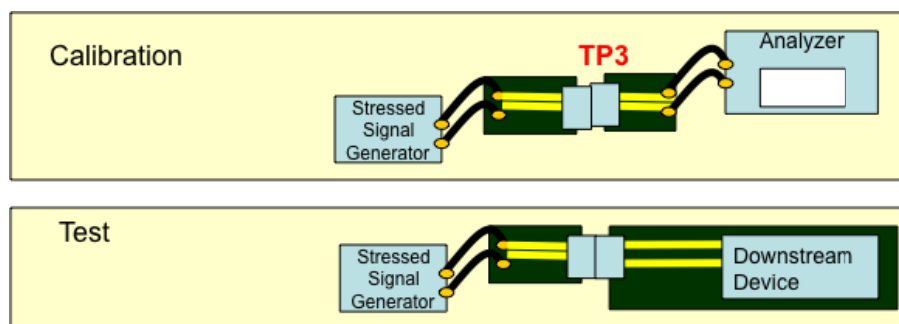


图3-1 0：RBR下游设备合规性测试配置

配给

为了测试带有束缚电缆的RBR下游设备的符合性，通过测量TP2的眼睛来校准应力的信号发生器。然后将分析器从配置中删除，并将应力的信号发生器（包括合规性电缆模型）应用于下游设备。该模型可以作为物理参考电缆或发电机中纳入的数学模型实现。如果将数学模型合并到发电机中，则必须根据下游设备是带有迷你DP连接器的束缚设备，还是带有全尺寸DP连接器的束缚设备。这在图3-11中说明了。

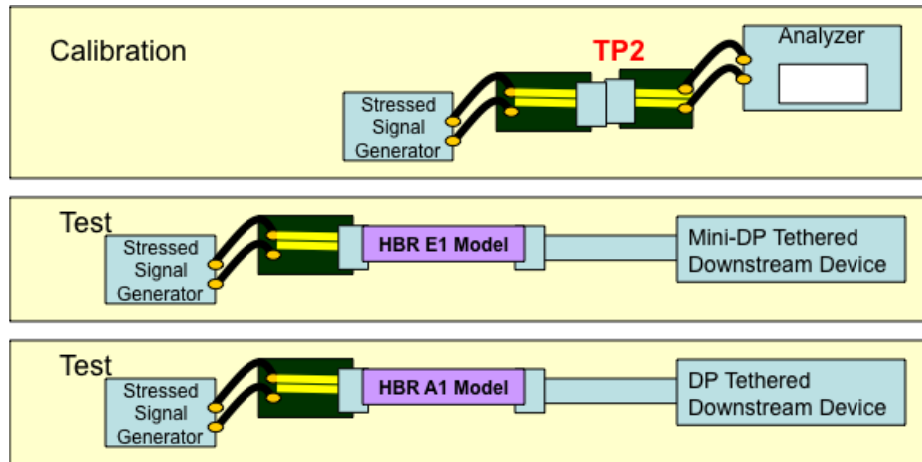


图3-11：RBR的下游设备合规性测试配置

3.1.4.3 AUX通道合规配置

AUX通道是半双链通道，因此上游端口（UFP）和DFP都具有发射机和接收器功能。从UFP到DFP的传输方向称为AUX向前通道，从DFP到UFP的传输方向称为AUX后退通道。单个辅助交易是曼彻斯特交易。

曼彻斯特向前通道发射器的合规性测试点是TP2，曼彻斯特向前通道接收器的合规性测试点为TP3。曼彻斯特的后频道发射机合规性测试点是TP3，曼彻斯特的后频道接收器合规性测试点为TP2。向前通道和后通道的合规规范是相同的。没有电缆模型用于曼彻斯特发射器或接收器合规性测试。

对于曼彻斯特发射机合规性测试，分析仪直接连接到发射机合规性测试点。对于曼彻斯特接收器的合规性测试，使用分析仪校准应力的信号发生器，然后断开分析仪，并将应力信号发生器连接到接收器。

3.1.5

电信号定义

以下 ING定义适用于主链接和AUX CH SI

Gnaling。

3.1.5.1差分电压的定义

通过在两个导体之间取电压差来定义差异信号。在此标准中，差分信号或差异对由正电导体上的电压 V_{D+} 和负电导体 V_{D-} 组成。差分电压（ V_{DIFF} ）定义为正电压和负电压的差（ $V_{DIFF} = V_{D+} - V_{D-}$ ），如图3-12所示。

公共模式电压（ V_{CM} ）定义为同一差分对（ $V_{CM} = [V_{D+} + V_{D-}] / 2$ ）上存在的平均或平均电压。

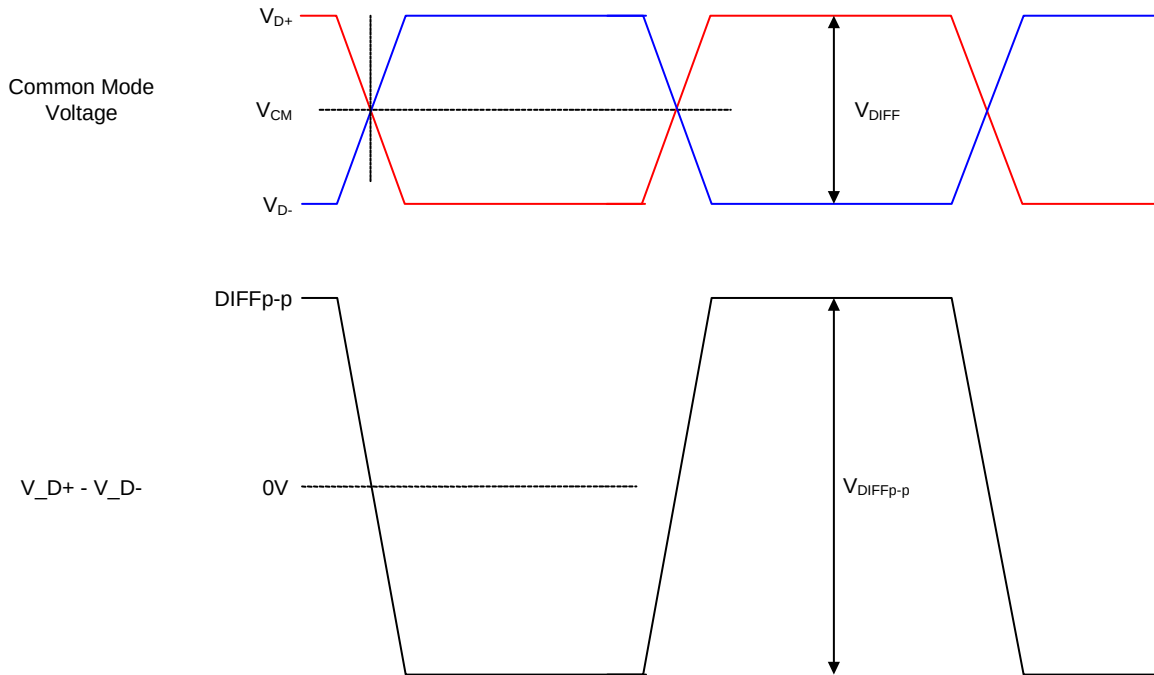


图3-12：差分电压和差速器电压的定义

该标准的电气规格通常是指峰值峰值测量值或峰值测量值，这些测量由以下等式定义：

- 对称差分摆动 $V_{DIFFP-P}$

$$= (2 * \max |V_{D+} - V_{D-}|)$$
- 不对称的微分摆动 $v_{diffp-p} = (\max |V_{d+} - V_{d-}| \{V_{d+} > V_{d-}\} + \max |V_{d+} - V_{d-}| \{V_{d+} < V_{d-}\})$
- 通用电压 $V_{CMP} = (\max |V_{D+} + V_{D-}| / 2)$

定义方程仅产生一个数字（规范表中的数字），并且不适合绘制波形。

3.1.5.2 电压挥杆和预先强调

主链接的DPTX规范允许四个差分峰峰电压摇摆水平和四个前重点（Cursor1后）水平。

电压挥杆水平和预强调水平的某些组合导致峰值峰值电压的差异超出允许范围，因此不允许。表3-1列出了电压摆动和重点水平的允许组合。

表3-1：允许vdiff_pp和pre-emphasis组合

Voltage Swing Level	Pre-emphasis Level			
	Level 0	Level 1	Level 2	Level 3
	Vdiff_pre_pp	Vdiff_pre_pp	Vdiff_pre_pp	Vdiff_pre_pp
0	Required	Required	Required	Optional
1	Required	Required	Required	Not allowed
2	Required	Required	Not allowed	Not allowed
3	Optional	Not allowed	Not allowed	Not allowed

Note: *Pre-emphasis, as used in this standard, is defined as 20 multiplied by $\log_{10}$ of the ratio of the peak-to-peak amplitude for the first T_{BIT} immediately following a transition divided by the peak-to-peak amplitude for the subsequent bits until the next transition ($20 \cdot \log(V_{DIFF-PRE} / V_{DIFF})$).*

图3-13显示了预先强调的示例。当连续传输相反值的连续单位位时，必须将所有连续的位跃迁预先强调到VDIFF_PRE的电压摇摆。

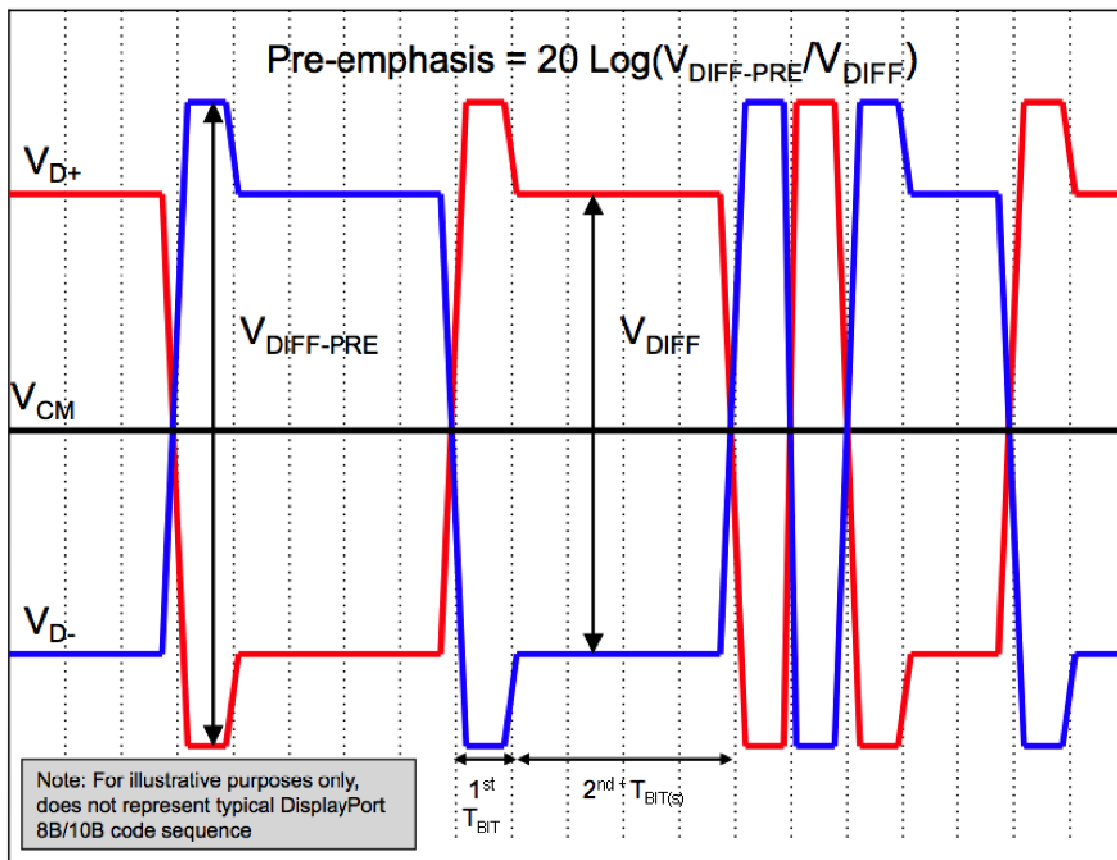


图3-13：预先强调的示例

符号 $V_{\text{DIFF-PRE\_V\_P}}$ 用于表示在电压V级别和PRAPHISIS级别P（即，在过渡位测量的电压）下测量的 $V_{\text{DIFF-PRE}}$ 。符号 $V_{\text{DIFF\_V\_P}}$ 用于表示在电压V级和PERPHASIS P级p（即在非过渡位测量的电压）下测量的 V_{DIFF} 。符号 t_{bit} 表示传输单个位所花费的时间。

测量 $V_{\text{DIFF-PRE\_2\_0}}$ 和 $V_{\text{DIFF\_2\_0}}$ 的值，并将其用作所有其他 $V_{\text{DIFF-PRE\_V\_P}}$ 和 $V_{\text{DIFF\_V\_P}}$ 所有其他值的要求。

3.1.6

争夺

在发射机上编码ANSI 8B/10B之前，对主链接数据进行了降低。在接收器的ANSI 8B/10B解码后，执行数据符号的de-scrambling。使用争夺应导致峰光谱的降低约7dB。

每个主链路车道都被炒并独立地覆盖，每个车道都有16位内部LFSR，如下所示：

$$G(X) = X^{16} + X^5 + X^4 + X^3 + 1$$

每个数据的每个字节都以相反的位顺序与最重要的8位LFSR拼写/de-scramble：

$$\begin{aligned} &\{D'[7], D'[6], D'[5], D'[4], D'[3], D'[2], D'[1], D'[0]\} \\ &= \{D[7], D[6], D[5], D[4], D[3], D[2], D[1], D[0]\} \wedge \{LFSR[8], LFSR[9], LFSR[10], \\ &LFSR[11], LFSR[12], LFSR[13], LFSR[14], LFSR[15]\} \end{aligned}$$

在单个流传输（SST）模式下，UFP必须用SR BF BF BF SR或SR CP CP CP SR符号序列替换每512 bs bs bf bf bf bf bs或bs cp cp cp bs符号序列。在多流传输（MST）模式中，UFP必须每1024个多流数据包发送SR符号为MTPH（因此，SR符号每65,536个符号每65,536个符号传输）。SR符号或SR BF BF SR或SR CP CP SR符号序列用于将LFSR重置为FFFFH（或用于EDP交替的crambler Seed Seed）的FFFFH（或FFFFEH），以便将scrambler重置后的第一个数据字节与FFH相互扰动/de-scrambled。然后先进加扰动器以包含E817H（或用于EDP替代的crambler种子的E917H）。

数据争夺规则必须如下：

- LFSR在所有符号，数据符号（d）和特殊符号（k）上的前进。
- 特殊符号（k）没有扰乱。
- 数据符号，包括“填充数据”。填充数据通常在争夺之前为零。
- 在被编码为特殊符号（k）之前，将多流索引控制符号扰乱。

在链接培训和恢复链路时钟质量测量过程中，必须禁用争夺。

接收器应实现适当的鲁棒性，以确保生成false SR符号的位错误不会导致重置De-Scrambler LFSR。

附录G中提供了crambler/de-scrambler的C代码参考实现。这包括用于推荐的稳定检测Scrambler RESET的方法的实现。

3.1.7符号编码和序列化/除外序列化

DP接口使用ANSI 8B/10B作为其通道编码方案，以提供符号级直流平衡。它还为接收器的链路时钟相跟踪提供了高过渡密度。使用此方案，分别将8位数据字符视为三位和五个位分别映射到4位代码组和一个6位代码组上。

与数据字符结合使用的控制位用于确定何时编码ANSI 8B/10B传输代码中包含的特殊符号之一。

这些代码组被串联以形成10位符号。

如图3-14所示，ABCDE将ABCDEI和FGH地图映射到FGHJ。

编码后，ANSI 8b/10b符号被序列化，因此首先运输了最小的位（LSB），最后是最显着的位（MSB）。

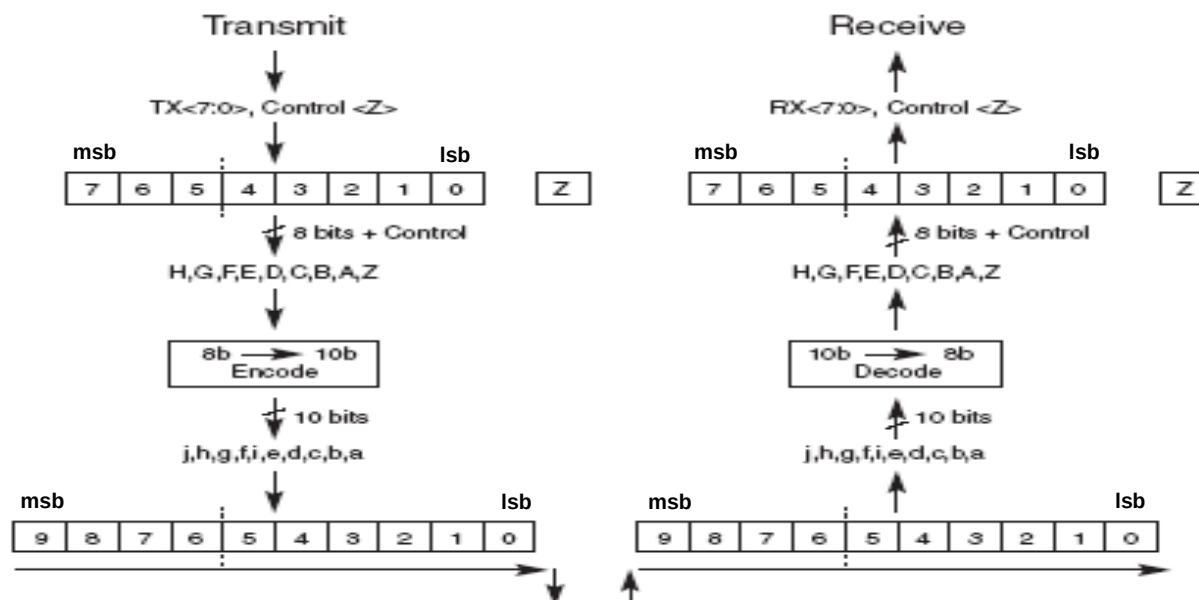


图3-14：字符到符号映射

a. The ANSI 8b/10b coding scheme is as defined in ANSI X3.230-1994, Clause 11 (and also 802.3z, 36.2.4).

3.2

box-box displayport连接的dp_pwr

DP源，水槽和自动分支设备上的DP连接器具有一个电动引脚，一个插电连接器上的返回电流引脚。启用这些设备的DP输出端口时，必须由源，水槽或自动分支设备提供此功率。允许使用不为自动的分支设备，该设备可能无法在其连接器处提供DP_PWR。

DP_PWR消费者必须直接连接到电源提供商的连接器。消费者可以是一个分支机构（有或没有其他电源），带有永久连接电缆的活动电缆组件或水槽。

带有永久连接电缆的下游设备可以选择地在插头连接器的DP_PWR引脚上提供DP_PWR。具有能够在插头连接器上提供DP_PWR的连接电缆的下游设备必须验证使用DP_PWR的设备是否连接到插头连接器。只有在下游设备确定使用设备的DP_PWR之后，才可以启用带有永久连接电缆的下游设备的DP_PWR输出。第3.2.1节中描述了使用设备检测DP_PWR的方法。

上游设备的DP_PWR引脚上的电压必须在2.89至3.6V（+ 3.3V ±范围内，降低了保险丝电压滴= 0.076V）。上游DP_PWR引脚上可用的最小功率必须为1.5W。消耗超过1.5W功率的下游设备必须具有从替代电源来获得电源的方法。

默认情况下，下游设备的DP_PWR引脚的电压必须在2.89至3.6V范围内。表3-2中所示的较高电压设置可选为下游DP_PWR引脚，如x v_dp_p_p_pwr_cap Bits在NORP&dp_pwort_volt age_cap寄存器中所声明（DPCD地址0000004H，bits 7: 5），并通过上网设备启用，并通过启动set_dn_device_dp_pwr_x v位在set_power&set_dp_pwr_voltage寄存器中（dpcd地址00600H，位7: 5），通过AUX写入交易。

检测到上游设备断开事件后（可以通过监视AUX +通用模式电压从L级别过渡到H级别，该电压从L级别过渡到H级别，该下游DP设备生成的DP_PWR电压高于默认+ 2.89 2.89至+ 3.6V必须返回+ 3.6V的box bobs and dp dp dp dp dp d.pp。连接器必须支持650mA的最大电流额定值。

-
- a. *Self-powered capable Branch devices that are physically disconnected from their independent power source are effectively “not self-powered,” and need not supply DP_PWR.*

表3-2: Box-box DisplayPort连接的DP_PWR规范

Parameter	Min	Nominal	Max	Unit	Comment
Voltage Range for Upstream DP_PWR	2.89	3.3	3.6	V	
Voltage Range for downstream device DP_PWR	2.89	3.3	3.6	V	Default DP_PWR voltage value for a downstream device
	4.9	5.0	5.5	V	“5V setting”, enabled through AUX transaction ^a
	10.8	12	13.2	V	“12V setting”, enabled through AUX transaction ^a
	16.2	18	19.8	V	“18V setting”, enabled through AUX transaction ^a
Noise voltage for DOWNSTREAM DEVICE DP_PWR			100	mV	Peak-to-peak
Power Capacity per Upstream DP_PWR pin	1.5			W	- Full-height PC add-in card with multiple upstream DP connectors must power at least 3.0W per card - Half-height PC add-in card with multiple upstream DP connectors must power at least 1.5W per card - Upstream DP connector on PC motherboard must power 1.5W per connector, regardless of the number of connectors on the motherboard.
Current drawn by a downstream device from upstream DP_PWR pin			0.5	A	
Power Capacity per downstream DP_PWR pin	1.5			W	3.3V (default) setting
	3.2			W	5V setting
	7.0			W	12V setting
	10.5			W	18V setting
Current drawn by an upstream device from Downstream DP_PWR pin			0.5	A	3.3V (default) setting
			0.65	A	5V/12V/18V setting

a. Self-powered capable Branch devices that are physically disconnected from their independent power source are effectively “not self-powered,” and need not supply DP_PWR.

3.2.1

DP_PWR用户检测方法

上游和下游DP设备的盒子对盒插座连接器的Pins Config1和Config2必须用电阻薄下。 Config 1必须始终使用1M Ω 电阻。 如果上游设备是双模式设备并支持HDMI，则Config2必须始终使用5M Ω （或更大）电阻。在其他情况下，Config2可以使用1M Ω 或更大的电阻器。有关更多信息，请参见VESA DisplayPort互操作性指南V1.1A，第5.1.1节。

具有上游功能的DP设备的这两个引脚使用DP_PWR中的电源必须由 $\leq 100 \Omega$ 电阻缩短。

具有永久连接电缆的下游设备，能够在插头连接器的DP_PWR引脚上提供电源，必须验证PIN pins config1和config2在启用其DP_PWR输出之前会短路。

为了检测DP_PWR用户的存在，具有永久连接电缆的下游设备必须为PIN Config2提供探针功率。如果PIN CONFIG1电压遵循应用于PIN Config2的探头电源电压，则存在DP_PWR用户。

会有一组电缆适配器拉起PIN Config1。那些带有DP插座连接器的电缆适配器不得是DP_PWR用户。当具有永久连接电缆的下游设备在提供PIN pin Config2的探针功率之前，请在PIN Config1上检测H级别时，它确定附加的电缆适配器不是DP_PWR用户。

3.2.2 DP_PWR线

标准DP电缆必须没有DP_PWR引脚的电线。

仅允许使用电缆电源电缆或永久连接到下游设备的电缆或调整适配器或扩展电缆大小的电缆。这些圈养/附加/调整/扩展电缆必须仅在一端具有全尺寸或MDP插头连接器（如第4.2.1节所示）。另一端必须是永久连接的，也必须具有DP插座连接器或自定义连接器。

3.2.3

Inrush Energy

消耗DP_PWR的DP设备必须将热插头期间的Inrush能量限制为0.4MJ，以在INRUSH超过0.6 A的时间段内测量，并在给定电压级别+ 10%的标称电压下测量（DP_PWR的最大电压）。建议在Inrush Energy窗口期间，峰值电流仅限于 $\leq 13.5a$ 。 scale_fact等于：

DEFAULT_VOLTAGE_SETTING / SELECTED_VOLTAGE_SETTING

例如，当选择3.3V设置时，Scale_Factor为1，选择5V设置时为0.66。

3.2.4电压下垂

在DP_PWR PIN上提供功率的DP设备应具有每个DP连接器的旁路电容，以便能够在此负载的热插头上为低ESR电容的56UF加上DP_PWR的7.2Ω常量负载。建议电源提供商设备不显示明显的系统故障，并且应确保在此负载热插头上的任何其他DP连接器（在连接器上测量）上任何其他DP连接器上的DP_PWR电源电压不超过DP_PWR电源电压的10%。此外，该设备应在相同的条件下能够支持12a的瞬时长准峰值电流。

3.2.4.1 分支机构上的DP_PWR损失和恢复

If a Branch device which controls the HPD signal for any reason loses its ability to function normally (such as may happen due to an momentary out-of-spec droop in DP_PWR), it is recommended that the device, before resuming normal operation, either de-assert or disconnect its HPD signal (leaving it terminated to GND as per the HPD Downstream Device Termination requirement) until at such time as the device has fully recovered and can resume all normal 手术。

如果以及设备恢复正常操作时，它应该像将其DPCD寄存器相应地设置为“重置或初始电源”。在恢复正常操作之前，应将HPD信号删除至少为HPD_TimeOut，然后在设备返回正常功能并可以接收AUX Communications后重新掌握。

3.2.5 过度流动的保护

出于安全和监管原因，最终用户可访问的电动连接器必须实施过度流动的保护。检测过度流动状态并将此条件报告给系统软件是可选的，并且实现了。

在上游设备连接器DP_PWR引脚和下游设备连接器DP_PWR PIN上的上游设备连接器DP_PWR销和1.5A处的预设跳闸极限不得超过3A。限制必须高于允许的电流瞬变，以避免虚假旅行。没有用户机械干预的情况下，必须可以重新安置过度电流的保护设备。

具有多个DP_PWR输出的DP设备允许使用单个过电流保护设备来保护所有输出。对于使用单个过电流保护设备的设备，预设跳闸限制必须为每个设备带有上游设备连接器的设备3A，并且每个设备带有下游设备连接器的设备1.5A。在另一个端口上存在故障状态的情况下，无需在一个端口上维护DP_PWR规范。

3.3热塞/拔下电源检测电路

每当下游设备连接到其主电源或“trick滴”电源时，下游DP设备都会主张HPD信号。HPD信号规范在表3-3中显示。

表3-3：热插头检测信号规范

Parameter	Minimum	Nominal	Maximum	Unit	Comment
HPD Voltage	2.25		3.6	V	HPD signal to be driven by the downstream device.
Hot Plug Detection Threshold	2.0			V	HPD signal to be detected by the upstream device.
Hot Unplug Detection Threshold			0.8	V	
HPD Upstream Device Termination	100			k Ω	Upstream device must pull down its HPD input with a $\geq 100\text{k}\Omega$ resistor.
HPD Downstream Device Termination	100			k Ω	When a downstream device is off, it must pull down its HPD output with a $\geq 100\text{k}\Omega$ resistor.
IRQ_HPDPulse Width Driven by Downstream Device	0.5		1.0	ms	Downstream device generates a low-going pulse within this range for IRQ (interrupt request) to the upstream device.
IRQ_HPDPulse/Glitch Detection Threshold for Upstream Device	0.25			ms	When the pulse width is narrower than this threshold, the upstream device must ignore the pulse as a glitch.
IRQ_HPDPulse/ Hot Unplug Event Detection Threshold for Upstream Device	2.0			ms	When the pulse width is narrower than this threshold, the upstream device must read the Link/Sink Device Status field (DPCD Addresses 00000h through 000FFh; see Table 2-157) first and take corrective action. When the pulse width is wider than this threshold, it is likely to be actual cable unplug/re-plug event. Upon detecting HPD high, the upstream device must read the Link/Sink Device Status field, and if the link is unstable, read the Link/Sink Capability field of the DPCD before initiating Link Training.
IRQ_HPDP Minimum Spacing	2.0			ms	Minimum Time after asserting HPD at the end of IRQ_HPDP before de-asserting HPD at the start of the following IRQ_HPDP.

HPD引脚的电压水平由上游设备监视。TTL水平必须用于检测。

下游设备可以通过监视AUX CH线的直流电压水平来检测上游设备的存在。对于上游设备DP_PWR无法提供功率的可拆卸下游设备，上游设备检测是必需的功能。

建议在外部连接上实现上游实现HPD信号的驱动。建议在检测HPD连接事件（即事件，“HPD高”）时进行100ms的周期，仅在持续断言100ms之后才能确认。应注意不要在IRQ_HPD上实施弹跳，并且在下游设备生成的一对HPD断开/重新连接事件上（通常将HPD删除超过2ms，但在这种情况下少于100ms）。为了涵盖这些案例，建议仅在检测到100ms的HPD低后才实施HPD弹药。该标准中与HPD高的检测有关的时间要求应解释为从实施依赖性驱动期开始时适用。

如果将下游设备放置在低功率模式下（请参见第5.1.5节），但可以检测到需要通知上游设备的事件，则它主张IRQ_HPD。上游设备将尝试执行辅助交易以唤醒下游设备。上游设备已经可以进行AUX交易以唤醒下游设备。在这种情况下，上游设备必须完成已经执行的操作（例如，唤醒链接和启动培训），然后执行适当的DPCD寄存器读取以确定IRQ_HPD的原因。

3.4 AUX Channel

DP AUX通道是一个半双链，双向通道，由一个差分对组成，如图3-15所示，支持比特速率约为1Mbps。

Note: The 50Ω termination resistors may be integrated on-chip. The AUX Channel is doubly terminated with 50Ω termination resistors on both ends, and AC-coupled on the DPTX end.

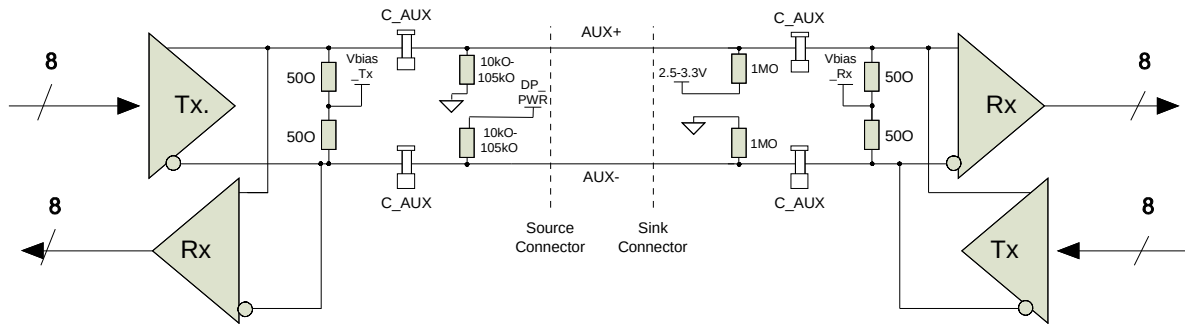


图3-15：辅助差异对

The upstream DP device must weakly pull down the AUX+ line to GND and weakly pull up the AUX- line to DP_PWR each with a resistor in the range 10kΩ to 105kΩ between the AC-coupling capacitor and the upstream device connector to assist detection of the upstream DP device and powered upstream DP device by the downstream device. 建议使用名义100K Ω电阻值。

所有下游设备都必须具有AC耦合电容器，而不管它们是否实施上游DP设备检测。下游设备必须非常弱地向上辅助+线，并且在下游设备连接器和AC耦合电容器之间使用1M Ω (± 5%) 电阻器的1M Ω (± 5%) 电阻。当Aux +线直流电压为L级别时，这意味着连接上游DP设备。当Aux-Line DC电压为H电平时，这意味着连接了电动上游DP设备。

AUX CH使用曼彻斯特-II编码来进行信号的自锁传输，如图3-16所示。

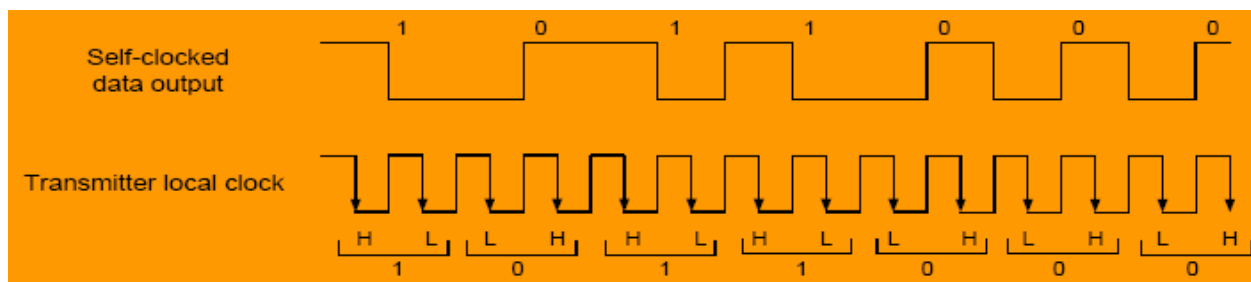


图3-16：曼彻斯特-II编码的自我锁定

3.4.1

AUX频道逻辑子块

在交易之间，AUX通道处于怠速状态。在电气空闲状态下，设备都没有驱动通道，因此，Aux-CH +和Aux-CH-都处于终止电压。

AUX通道交易由DPTX启动，该DPTX充当AUX CH请求者。DPTX是请求交易的驾驶端，通过在曼彻斯特-II代码中连续10到16个连续0s，将AUX-CH +和AUX-CH-的AUX-CH +和AUX-CH-进行预付。

主动预付费后，DPTX发送AUX同步模式。AUX同步模式必须如下：

- 从曼彻斯特-II代码连续16个0s开始，这会导致每个位期间从低到高的过渡。包括活跃的预电脉冲脉冲，在AUX同步模式结束之前，必须连续26至32个0s。
- 以2位时（比特率为1Mbps时为2U）的AUX-CH +在2位时驱动到高的时期，在2位期间较低，这在曼彻斯特-II代码中是非法的。Aux-ch-必须驱动到相反的极性。

接收端，什么H是请求交易的DPRX，必须锁定到TH是同步模式。按照同步模式，驱动器必须根据第2.8节所述的AUX CH语法发送数据。完成数据完成后，驾驶节点必须主张停止条件。停止条件必须如下：

- 将Aux-ch +驱动到高和aux-ch-至低至低的时期，然后在2位的aux-ch +到低和aux-ch-至高到2位时期，这是曼彻斯特-II的非法序列
- 停止条件后立即释放Aux CH
- AUX同步模式和停止条件如图3-17所示

DPRX（AUX CH Replier）回复了此请求事务。DPRX现在充当驾驶端，必须让公共汽车公园至少10NS，然后以10至16个预电脉冲将公共汽车预付给公共模式电压，并启动回复交易。对于请求和回复事务，同步模式和停止条件相同。

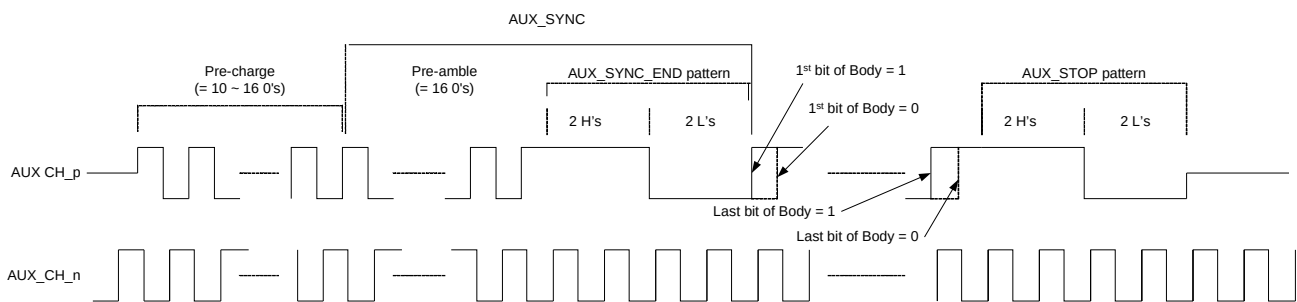


图3-17：辅助CH同步模式和停止条件

表3-4: DisplayPort Aux通道电气规格

Symbol	Parameter	Min	Nom	Max	Units	Comments
UI _{MAN}	Manchester transaction unit interval	0.4		0.6	us	Results in the bit rate of 1Mbps including the overhead of Manchester-II coding.
Pre-charge Pulses	Number of pre-charge pulses	10		16		Each pulse is a 0 in Manchester-II code.
T _{AUX-BUS-PARK}	AUX CH bus park time	10			ns	Period after the AUX CH STOP condition for which the bus is parked.
T _{cycle-to-cycle jitter}	Maximum allowable UI variation within a single transaction at connector pins of a transmitting device			0.08	UI	Equal to 48ns maximum. The transmitting device is an upstream device for a Request Transaction and a downstream device for a Reply Transaction.
	Maximum allowable variation for adjacent bit times within a single transaction at connector pins of a transmitting device			0.04	UI	Equal to 24ns maximum. The transmitting device is an upstream device for a Request Transaction and a downstream device for a Reply Transaction.
	Maximum allowable UI variation within a single transaction at connector pins of a receiving device			0.10	UI	Equal to 60ns maximum. The transmitting device is an upstream device for a Request Transaction and a downstream device for a Reply Transaction.
	Maximum allowable variation for adjacent bit times within a single transaction at connector pins of a receiving device			0.05	UI	Equal to 30ns maximum. The transmitting device is an upstream device for a Request Transaction and a downstream device for a Reply Transaction.
V _{AUX-DIFFp-p_TX}	AUX peak-to-peak voltage at a transmitting device when transmitting	0.29		0.40 ^a		$V_{AUX-DIFFp-p}$ $= 2 * V_{AUX_CH_P} - V_{AUX_CH_N} $
	AUX peak-to-peak voltage at a receiving device when transmitting	0.27		0.38 ^a		
V _{AUX-DIFFp-p_RX}	AUX peak-to-peak voltage at a transmitting device when receiving	0.29		1.38		
	AUX peak-to-peak voltage at a receiving device when receiving	0.27		1.36		
V _{AUX_TERM_R}	AUX CH termination DC resistance		100		Ω	Informative.

表3-4: DisplayPort Aux通道电气规格 (续)

Symbol	Parameter	Min	Nom	Max	Units	Comments
$V_{AUX-DC-CM}$	AUX DC common mode voltage	0		2.0	V	Common mode voltage is equal to V_{bias_TX} (or V_{bias_RX}) voltage.
$V_{AUX-TURN-CM}$	AUX turn around common mode voltage			0.3	V	Steady state common mode voltage shift between transmit and receive modes of operation.
I_{AUX_SHORT}	AUX short circuit current limit			90	mA	Total drive current of the transmitter when it is shorted to its ground.
C_{AUX}	AUX AC-coupling capacitor	75		200	nF	The AUX CH AC-coupling capacitor placed on both the DP upstream and downstream devices.

a. To reduce the near-end crosstalk (NEXT) to Main-Link differential signals from AUX reply transactions (where the DPRX is transmitting differential signals over AUX CH lines), the maximum AUX CH differential voltage swing has been reduced to $0.40V_{diff\_pp}$ at the transmitting connector pins for a DPRX operating at HBR3. In the previous version of this Standard, the maximum voltage swing was $1.38V_{diff\_pp}$.

3.4.2.1交流耦合

DP AUX通道必须进行交流耦合。表3-4指定了电容的最小值和最大值。在DPTX上指定了在互连介质上包含AC耦合电容器的要求。

3.4.2.2 终止

DP AUX通道应在链接处于活动状态时始终符合表3-4中指定的终止电阻。

3.4.2.3 DC通用模式电压

为了促进最小总线周转延迟，在曼彻斯特-II交易开始时，传输侧必须作为预电脉冲提供10到16个曼彻斯特-II代码0s。如表3-4所示，发射和接收操作模式之间的稳态公共模式电压不得超过 $V_{AUX-Turn-CM}$ 。

必须设计上游和下游设备，以耐受电动，电源或热塞事件的态度，该事件呈现由 $V_{AUX-DC-CM}$ (2.0V最大值)引起的720nC的最大充电重新分布，而 C_{AUX} (200nF最大值) (最大值的最大预付费前脉冲脉冲 (曼彻斯特交易单位间隔) 或更大的最大预付费周期)。

3.4.2.4短路要求

AUX CH块的驱动器和接收器电路必须在90mA的最坏情况下 (3.6V超过40 Ω) 生存。

3.4.2.5 差分电压/计时（眼）图

传输设备的连接器引脚处的AUX CH_EYE蒙版及其顶点值分别显示在图3-18和表3-5中。接收器件的连接器引脚的AUX CH_EYE掩码及其顶点值分别显示在图3-19和表3-6中。

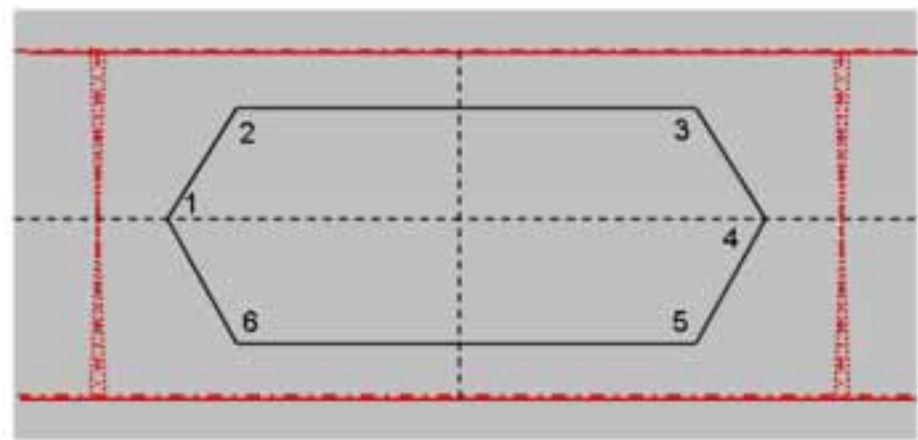


图3-18： TX设备连接器销的Aux CH眼罩

表3-5： TX设备连接器销的Aux CH的掩模顶点

Point	Time (from Eye Center) (ns)	Minimum Voltage Value at Six Vertices (mV)
1	-185	0
2	-135	145
3	135	145
4	185	0
5	135	-145
6	-135	-145

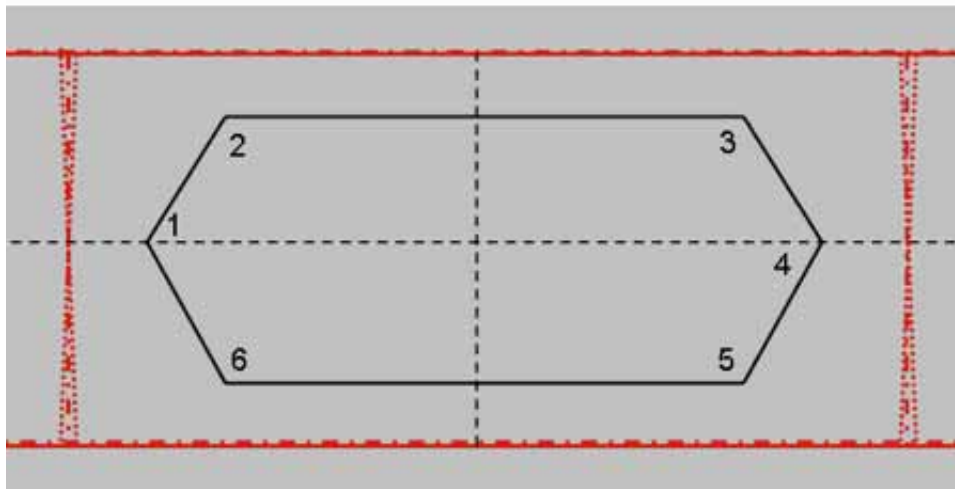


图3-19: Rx设备连接器销的Aux CH眼罩

表3-6: Rx设备连接器销的AUX CH的掩模顶点

Point	Time (from Eye Center) (ns)	Minimum Voltage Value at Six Vertices (mV)
1	-185	0
2	-135	135
3	135	135
4	185	0
5	135	-135
6	-135	-135

3.5 主链接

本节介绍了DP主链接PHY层的功能。

3.5.1 主链路逻辑子块

DP主链接PHY层的逻辑子块执行以下功能：

- 争夺和散布（请参阅第3.1.6节）
- ANSI 8B/10B编码/解码（请参阅第3.1.7节和第3.5.1.1节）
- 序列化和除外序列化（请参阅第3.1.7节）
- 链接培训和链接状态监视器（请参阅第3.5.1.2节和第3.5.1.3节）
- 链接质量测量（可测试性；请参见第3.5.1.4节）
- 正向误差校正（FEC；请参见第3.5.1.5节）

3.5.1.1 a NSI 8B/10B用于DP控制链接符号的特殊字符

在此标准中，在链路层中定义了各种控制链接符号，以在SST和MST模式的主链路车道上使用。

表3-7显示了这些控制链接符号的ANSI 8B/10B特殊字符。未使用的特殊字符保留供将来使用，并且不应由DP符合DP的链接使用。

表3-7：DP控制链接符号的ANSI 8B/10B特殊字符

Special Character	Control Link Symbol in SST Enhanced Mode ^a	Control Link Symbol in SST Enhanced Mode with FEC	Control Link Symbol in MST Mode ^b
K23.7	FE	FE ^c	Indexed 0 ^c
K27.7	BE	BE	Indexed 1
K28.0	SR	SR	Indexed 2
K28.1	CP	PM ^c	PM ^c
K28.2	SS	SS	Indexed 3
K28.3	BF	BF	Indexed 4
K28.4	RESERVED	CP	Direct RESERVED
K28.5	BS	BS	Direct SR
K28.6	EOC ^d	EOC ^d	Indexed 5
K28.7	RESERVED	RESERVED	Direct RESERVED
K29.7	SE	SE	Indexed 6
K30.7	FS	FS	Indexed 7 ^c

a. See Section 2.2.1.1 and Section 2.2.1.2 for definitions of these control symbols in SST mode.

b. See Table 2-139 for definitions of these control symbols in MST mode.

c. Parity Marker (PM) is used when FEC is enabled. K23.7 and K30.7 are used in FEC_DECODE_EN and FEC_DECODE_DIS sequences. (For details regarding FEC, see Section 3.5.1.5.)

d. End of Chunk (EOC) is used for DSC Transport. (For details regarding DSC Transport, see Section 2.7.) In MST mode, EOC is mapped to C2-C2-C2-C2, as listed in Table 2-139.

3.5.1.2 Link Training

对于开放的框到框连接，上游DP设备通过链接训练序列配置链接。一个例外是，上游DP设备正在恢复传输。在这种情况下，上游设备可以跳过第2.9.4.3节中所述的链路训练的AUX交易。

对于封闭的嵌入式连接，可以将DPTX和DPRX设置为预校准的参数，而无需通过完整的链接训练序列。在此模式下，上游DP设备可以启动正常操作，而无需进行链路训练的AUX交易，如第2.9.4.3节所述。

链接培训由两个不同的任务组成，必须成功完成以建立链接：

- 时钟恢复 - 将DPRX CR（时钟恢复）PLL锁定到D10.2数据的重复符号
- 通道均衡/符号锁/车间对准 - 当成功时，必须通过此序列结束来实现符号锁和车间对齐

培训顺序由上游设备中的链接政策制定者启动，以建立与下游设备的链接。链接政策制定者必须首先检测到HPD信号由下游设备高度宣称。 Before initiating the link training sequence , Link Policy Maker must read the downstream device' s Receiver Capability field (DPCD Addresses 00000h through 000FFh; see Table 2-155) or Extended Receiver Capability field (DPCD Addresses 02200h through 022FFh; see Table 2-165) registers (if the downstream device supports the Extended Receiver Capability field) for the following two conditions:

- 热塞检测事件（即HPD低脉冲超过2 ms）
- 使用DPCD修订为1.2或更高的下游设备，link_service_irq_irq_vector_esi0寄存器（dpcd地址02005H， bit 0）设置为1的IRQ_HPDP脉冲带有RX_CAP_CHANGED BIT。

链接政策制定者必须通过AUX CH读取接收器功能和扩展接收器功能字段。然后，链接策略制定者必须根据DPRX的功能及其自身需求确定链接配置，然后编写以下链接配置参数：

- link_bw_set寄存器（DPCD地址00100H）
- LANE_COUNT_SET字段中的Lane_count_Set寄存器（DPCD地址00101H， 位4: 0）
- downspread_ctrl寄存器（DPCD地址00107H）
- main_link_channel_coding_set寄存器（DPCD地址00108H）

撰写链接配置参数后，链接策略制定者必须通过AUX CH将21H写入训练_Pattern_Set寄存器（DPCD地址00102H）来启动链接培训，同时指导其发射机的逻辑PHY层开始传输训练模式。

链接配置参数在培训开始后不得更改链接策略制定者，直到下次训练后进行培训，除非如下所述，否则要落回较低的链接带宽和/或减少训练失败的车道计数。

必须先通过上游DP设备将21H通过AUX CH编写21H（DPCD地址00102H）。每当训练_Pattern_Set寄存器都写入到training_lane x_SET寄存器（s）（dpcd地址00103H至00106H）的启用车道（S）也必须写入。

Note: *The number of enabled lanes is written to the LANE_COUNT_SET field in the LANE_COUNT_SET register (DPCD Address 00101h, bits 4:0) prior to Link Training. The AUX CH burst write must be used for writing to TRAINING_LANE_x_SET register(s) of the enabled lane(s). An upstream device may write to the TRAINING_PATTERN_SET and TRAINING_LANE_x_SET registers in one AUX CH burst write transaction.*

每车道设置可调性是上游设备DPTX的可选功能。如果DPRX请求多个（两个或四个）车道之间的不同驱动器设置，则DPTX可以使用所有请求的设置的最高重点级别和电压摆动的设置。

当请求的前重点水平和电压摆动的组合超过了DPTX的能力时，DPTX必须根据请求设置前重点级别，并使用给定的前重点级别输出的最高电压摆动。

DPRX必须在此标准中定义的限制内发布驱动器设置调整请求。

当DPTX读取超出此标准限制的请求时，DPTX必须根据请求设置预定水平，并设置可以在给定的预先强调水平的情况下输出的最高电压摆动水平。如果要求DPTX进行9.5dB的前重点级别（对DPTX的支持是可选的），并且不能支持该级别，则必须将前重点级别设置为下一个最高级别6DB。

表3-8显示了链接训练符号模式。所有设备都必须支持TPS1和TPS2。具有HBR2功能的设备还必须支持TPS3。

具有HBR3功能的设备还必须支持TPS4。能够支持TPS4的下游设备必须通过在max_downspread寄存器中设置tps4_supported位（DPCD地址00003H，BIT 7）来宣传此功能。支持TPS4的上游设备必须检查连接的下游设备中的TPS4_Supported位。如果上游设备找到位集，则上游设备必须在链接训练的通道均衡阶段（无论链接训练的速度如何），上游设备必须将07H写入training_pattern_set寄存器（DPCD地址00102H）并传输TPS4。

在所有其他情况下，上游设备在链路训练的通道均衡阶段期间必须传输tps2（或tps3支持tps3）。如果没有AUX交易的训练，则在同一连接上的先前训练阶段或通过实现依赖性的系统配置均值（例如，在EDP上）确定TPS4的使用。

DPTX必须从TPS2/3/4转换为链接符号边界处的非训练模式，而没有任何间隙。在链接训练模式的中间，允许DPTX过渡到非训练模式。

除非没有AUX交易的训练，否则DPRX可以要求调整差分电压摆动，预先强调，或在链路训练过程的时钟恢复阶段和通道均衡阶段进行调整，如图3-20和图3-21所示。

表3-8: 链接训练的符号模式

Pattern Number	Purpose	Name
TPS1	For locking clock recovery circuit of the DPRX	Repetition of D10.2 characters without scrambling
TPS2	For setting equalization, determining symbol boundary, and achieving inter-lane alignment	K28.5-, D11.6, K28.5+, D11.6, D10.2, D10.2, D10.2, D10.2, D10.2, D10.2 without scrambling
TPS3	For setting equalization, determining symbol boundary, and achieving inter-lane alignment	K28.5-, K28.5+, K28.5-, K28.5+, D10.2-, D10.2-, D10.2-, D10.2-, D10.2-, D10.2-, K28.5-, K28.5+, D30.3-, D30.3+, D30.3-, D30.3+, D30.3-, D30.3+, D30.3-, D30.3+, D30.3-, D30.3+, D30.3-, D30.3+, D30.3-, D30.3+, D30.3-, D30.3+, D30.3- without scrambling
TPS4	For setting equalization, determining symbol boundary, and achieving inter-lane alignment	Same as CP2520 Pattern 3 defined in <i>VESA DisplayPort PHY Compliance Test Specification Version 1.2b</i> K28.0-, K28.5-, K28.5+, K28.0-, 248 00s after data symbol scrambling and ANSI 8b/10b coding (252 of 10 binary bits listed in Section 3.5.1.2.1 for clarity; the right-most bit is the least significant bit and is transmitted first, and the left-most bit is the most significant bit and is transmitted last)

3.5.1.2.1 TPS4 Bit Sequence 0010111
100 0101111100 1010000011 001011
1100 1000110101 0010010111 01101
11001 0010110100 0101110010 0111
000111 1101010010 1011010010 110
0110010 1100001110 1001011000 01
01100110 0101011110 1100001101 0
101001010 1011001101 0101100001
1010111001 0101111000 1000100110
1001101100 01100100111001110011
1000101101010111001011001011000
1111011111010100101001011101011
01000 1001101010101010101010101
0101010110110110110110110110110
1101101101101101101101101101101
101101101101101101101111转

1001110100
0101011110
0111000110
0101111000
1010100010
1001101011
0101110001
1011100100
0101010001
0101011101
1001010010
0110110100
1010100101
0010011101
0110010011
0110010111
1000101010
0011010110
0111001110
1001101100
0110011010
0010011010
0111011010
1010101010
1010100100
1001101100
1101101101
1011011101
1111111110
1010101010
1010101010
1110111011
1010101010
1010101010
1010010001
1001000110
0100011111
1111110111
0110101010
1111101111
1111111110
1111111111
111111性务

1001100110
0110010011
1000101001
1001011010
1010101101
1101100100
0111 00110
1011010110
1110110110
1101101101
1011100111
1100111100
1000000111
1111111111
1111111111
1111111111
1111111111
11111100 0
1101011111
1101010101
1101000110
010 010011
01101 1101
101100 010
1010001 10
0101011011
1101111011
0110111011
1011101100
00101 1001
0001100111
1 00111110
100100

1010111001
0011100001
0100011110
0101100101
1010110011
0111100001
1011010100
0010101001
1100111001
1100111001
1101110110
0011011011
0110100110
0011110111
1011110111
0011001111
1111111111
1111111011
1110111101
1011011011
0110110110
1101101101
1011011011
0111011011
0111101110
1101101101
1011011011
0110110110
1101101101
10111转101
0100111 10
01011001 1
0010010100
1010010010
0100100101
0101011101
01 0010001
0110110101
10 0101010
011 011000
011 011000
0111 11011
1011111100
1011111100
1010101010
1010101010
0100100100
1001111111
1111111110
0111111111
1010100111
1010100001
1010100111
1010100100
1101101001
1101101001
11111

1010011100
1001010011
0100110011
1100010111
0101001110
1001001101
0101101100
0010001011
1001011110
0110011010
0010001011
1010101101
1100011010
1100011100
0110110001
0110000101
0101100111
0010011100
1101110010
0001001110
1010101010
0110010010
1001110110
0110010011
00 0011011
010 110100
1101 11001
01001 1000
110100 001
0111010101
0101011101
1001101010
1010101001
0001 00111
1001011110
0101110100
101 010111
1100111111
001

0110101000
1011010011
0010001110
0110011100
0101111010
0101010100
1010010101
0111000111
0111001001
1100110010
0010010110
1100100111
0110010101
1001001100
0100101011
0110011101
1101000110
0110001101
1101001100
1011100001
0110101010
1010010010
01 1010011
001 101010
1100 00110
1011111111
1111111110
1111111111
1110010010
001 011010
0101 00010
01101 0110
1101 01101
0110101010
1010110111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
11 1100111
191119起

1001100010
1000011110
1000100111
1001101001
0010101011
0110111010
1100101100
1000011100
0110101011
0010001011
1010011110
0110011010
0011010010
0101011010
1010011011
0101001011
0110001010
1010011001
0101010111
0011100010
100101111
1010100001
0111100011
0010011010
0110100110
0100100111
1101110100
1000010101
1011101101
0101010101
0101111111
1111111111
1001111001
1110010110
1101101111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1111111111
1朗

1101001001
1010010010
0011100011
0010101011
1011101010
0101110100
0111101000
1011010100
1101010001
0101000110
0010101110
1011100011
1010101001
1100111000
0001001110

链路训练顺序，无论是否有辅助交易，都必须始终从负差异开始。通道均衡阶段的链路训练模式必须从K28.5-对于TPS2，TPS3的K28.5-和TPS4的K28.0-。

有关完整的DPCD地址映射，请参见表2-154。

3.5.1.2.2 时钟恢复顺序

链路训练始于时钟恢复（CR）序列。在此序列中传输的链接符号是对残疾人的d10.2数据符号的重复（tps1）。在此序列中，发射器通常必须在电压挥杆级别0，重点级别0处启动信号传导。上游设备开始传输TPS1，然后将21H写入

triending_pattern_set寄存器（DPCD地址00102H）和当前驱动器设置为triagh_lane x _SET寄存器（s）（DPCD地址（ES）00103H至00106H）。

如果已经知道最佳设置，那么上游设备可能会使用非最小差分电压摆动和/或非零的预重强调开始完整的链路训练，例如，嵌入式应用程序中的情况就是这种情况。在这种情况下，上游设备必须编写秋千和重点设置，在该设置中，它将开始训练训练triagh_lane x _SET寄存器，作为爆发写入的一部分，其中将21H写入triending_pattern_set寄存器。

按照cr的顺序，发射机必须至少等待100 us，然后发出阅读请求Aux交易，以读取车道x_cr_done lane x _x _y _STATUS寄存器中的位置（dpcd地址00202H，lan and lan and lan and and and dpcd dpcd dpcd dpcd dpcd dpcd dpcd dpcd dpcd，由接收者设置的2和3分别为）。

除非设置所有车道 x_cr_done 位，否则发射器必须执行以下操作：

- 阅读两者ADPACH_REQUEST_LANE x_y register (s) (DPCD地址 (ES) 00206H和00207H) ,
- 根据请求调整电压摇摆和/或重点级别，并
- 更新训练_lane x_SET 寄存器 (S) 以匹配新的电压摆动和/或预先强调设置。

接收器仅当其链接CDR (时钟和数据恢复) 单元已经实现并维护频率锁定时，才设置了车道 x_CR_DONE 位。为了优化发射器的驱动器设置，接收器可以推迟设置泳道 x_CR_DONE 位，直到优化完成为止。

接收器必须在DPCD中实现CR锁的那些车道上设置车道 x_CR_DONE 位。否则，接收器必须清除泳道 x_cr_done 位，并要求调整差分电压摆动和/或调整前重点级别的调整，通过更新adpad_request_lane x_y 寄存器 (s) 。

当满足以下任何条件时，发射器必须降低到较低的链路速率，并重复CR序列：

- 接收器在Adpad_request_lane x_y 寄存器中保持相同的值
more of the LANE x_CR_DONE bit(s) remain unset after five AUX_ACKs for read request transactions for reading LANE x_CR_DONE bit(s) and ADJUST_REQUEST_LANE x_y registers, the transmitter must loop five times with the same voltage swing.
- 接收器未能设置所有车道 x_CR_DONE 位 (S) 在发射器发送最大电压摆级电平 (即电压_SWING_LEVEL和PREAMPHASIS_LEVEL值的总和) 之后。
- 接收器无法在启用车道上设置所有车道 x_cr_done bit (s) , 此后总共有10个AUX_ACK, 用于阅读请求交易，用于读取Lane x_CR_DONE bit (s) 和adpadion_request_lane x_x_y nopply (s) 。

第3.1.5.2节给出了发射器必须支持的电压波。

要以较低的链路速率重新启动培训，上游设备会执行以下操作：

1清除训练_Pattern_Set寄存器 (DPCD地址00102H) 。

2在默认电压摇摆和重点 (400MV，无重音前) 下以较低的速率开始传输TPS1 (D10.2) 。

3将21H写入trienching_pattern_set寄存器 (以及适当的值为triench_lane x_SET 寄存器 (s) (dpcd地址00103H至00106H) 以启动培训

在读取所有启用车道设置的车道 x_cr_done 位 (s) 之后，发射机的链接策略制定者必须继续进入下一阶段，即通道均衡序列。

3.5.1.2.2.1在低计数车道上时钟恢复故障的情况下，后备要求

上游设备中的发射器与下游设备中的接收器之间的物理连接数可能低于接收器支持的车道数量。例如，即使接收器支持多达四个车道，也只能连接车道0和1。在这种情况下，链接训练的时钟恢复顺序可能会在没有物理连接的高计式车道上失败（上述示例中的2和3）。

图3-20在上述情况下，使用DPTX的链接政策制定者描述了上游DP设备的所需行为

。

在所有四个车道上x_CR_DONE上的上游DP设备的行为，但在链接训练的通道均衡阶段失败是一种特定于实现的选择。尝试减少车道计数是推荐的做法。

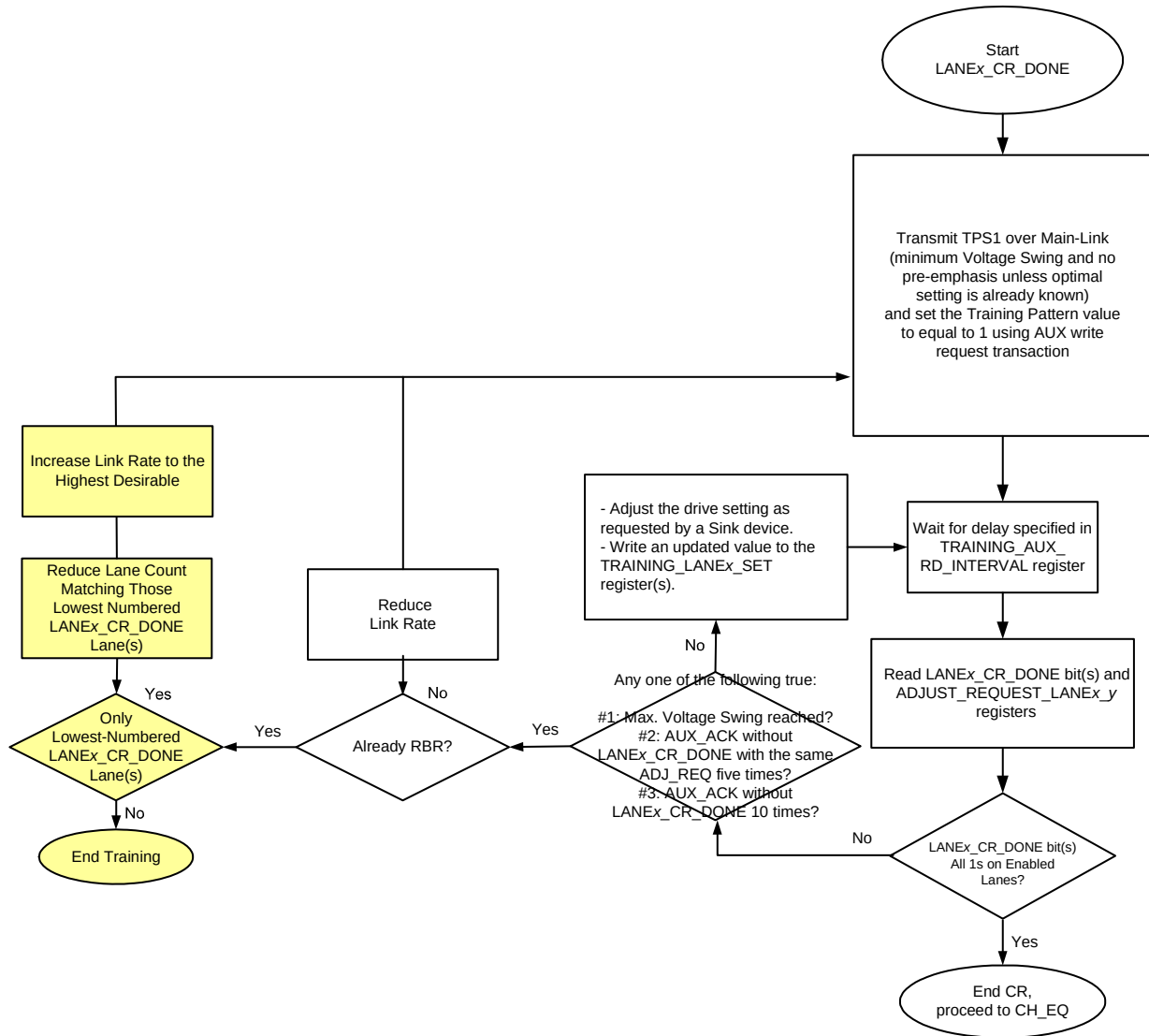


图3-20：链路训练的时钟恢复顺序

The upstream device, after reducing the link rate to RBR upon failure of the LANEx_CR_DONE bit in the LANEx_y_STATUS register(s) (DPCD Address 00202h, bits 0 and 4, and DPCD Address 00203h, bits 0 and 4, for Lanes 0, 1, 2, and 3, respectively) on all the enabled lanes, must check if it is the lane with the lowest lane_x_cr_done bit setting. If this is the case, the upstream device must reduce the lane count to match the lane_x_CR_DONE lanes, then set the link rate to the highest supported link rate, then continue using Lane x_CR_CR_DONE link training sequence.

Please note, with the reduction of lane count, only the following lane combinations are valid:

- 1 lane configuration = lane 0 enabled and lane 1, 2 and 3 disabled
- 2 lane configuration = lane 0 and 1 enabled, and lane 2 and 3 disabled

3.5.1.2.3

通道均衡序列

通道均衡 (EQ) 序列从时钟恢复序列末尾设置的发射机驱动器设置开始。

In the EQ sequence, the upstream device will use the appropriate mode (tps2, tps3 or tps4) for tps2 and tps3 disabled, and tps4 enabled. Then, the upstream device will write 22h to tps2, 23h to tps3 or 07h to tps4 to triending_pattern_set register (DPCD address 00102H), current driver setting is triending_lane_x_SET} _SET _SET register (s) (dpcd address 00103H to 00106H)

发射器至少必须等待

训练_AUX_RD_INTERVAL 字段在训练_AUX_RD_INTERVAL 寄存器 (DPCD address 0000EH, bit 6: 0) 在为 TPS2 编程 22h 之后, tps2 为 23h, tps3 或 tps4 的 07h for tps4 for tps4 for Training_pattern_set 在读取链接状态之前。

这些位是从左侧最初 (LSB) 运输到右侧最右边的 (MSB) 的。如图 2-15 所示, 发射器必须在相邻车道之间插入两个连接符号的车道偏斜。

接收者必须使用这种训练模式的识别来决定通道均衡是否成功。如何衡量均衡结果是特定于实施的。

第 3.1.5.2 节提供了发射器必须支持的电压波和重点级别组合。接收器必须通过设置以下寄存器位来表示成功:

- 车道的 lane_x_channel_eq_done 在 lane_x_y_status register (s) (dpcd address 00202H, bit 1 and 5)
- 车道的 lane_x_symbol_locked 位 lane_x_y_status register (s) (dpcd address 00202H, bit 2 and 6, dpcd address 00203H, dpcd address 00203h, bits 2 and 6)

- Interlane_align_done bits in Lane_align_status_updated和lane_align_status_updated_es寄存器（dpcd地址00204H和0200EH，分别为0）

仅当接收器正确检测并对齐ANSI 8b/10b符号边界时，才设置了车道x_symbol_locked位。鉴于位错误率目标为1E-9和链路训练期的持续时间（尽管可能需要几百毫秒，但取决于完成所需的迭代次数，但接收器应检测到链路训练期间单个符号误差，以设置lane x_symbol_symbol_lock bock botits。为了优化DPTX的驱动器设置，DPRX可以推迟设置车道x_symbol_locked位，直到优化完成。

接收器只有当它的phy层数字子块成功地将所有启用车道的符号边界与彼此保持一致时，才能设置Interlane_align_done位。为了优化DPTX的驱动器设置，DPRX可以推迟设置Interlane_align_done位，直到优化完成。

在链接训练之后的正常操作期间，接收器必须清除车道x_symbol_locked和Interlane_align_done位时，当其链路层块无法再处理由于符号错误而导致的输入符号模式，从而导致可见的/听到的符号引起的符号模式。在正常操作期间，接收器否则必须维护这些位。接收器不得在孤立的符号错误时清除这些位。附录C中给出了接收器的符号释放弹性指南。

发射器必须读取泳道x_symbol_locked和interlane_align_done位，以及adpad_request_lane x _y _y register (s)（dpcd地址（eS）00206H和00207H）。除非所有状态位均为1，否则发射器必须根据接收器的请求调整驱动器设置，并将新设置写入trienching_lane x _SET寄存器（s）（DPCD地址00103H至00106H）。

此序列中的最小循环计数是一个，而此序列中的最大环计数（见图3-21）为五。当不在RBR和一个或多个车道x_Symbol_locked和Interlane_align_done位的训练中保持不设置，在第六个环中保持不设置时，发射器必须降低到下一个较低的比特率。要以较低的比率重新启动培训，上游设备执行以下操作：

- 1清除训练_Pattern_Set寄存器（DPCD地址00102H）。
- 2在默认电压摆动和预先强调（400mV，无重音前）下以较低的速率开始传输TPS1（D10.2）。
- 3将21H写入trienching_pattern_set寄存器（以及适当的值to triench_lane x _set寄存器（s）（DPCD地址00103H至00106H）以启动培训。

在成功的EQ序列的末尾（在所有车道x_symbol_locked和Interlane_align_done位设置为接收器设置的位置），发射器必须将训练_Pattern_SET寄存器清除为00h。

具有自己的均衡器（可选）的接收器可以在每个训练环中调整其均衡器设置。如果需要，接收器最多可以连续发出七个连续的AUX防御器。但是，强烈建议将AUX延期的使用最小化以满足链接培训完成时间目标10毫秒。当发射器连续七个辅助防御器接收到链接训练时，它可能会终止链接训练。

建议在成功接受培训模式之后，接收器不会立即设置以下寄存器位：

- 车道的车道 $x\_channel\_eq\_done$ 在车道 x_y_status 寄存器（s）（dpcd地址00202H，位1和5，dpcd地址00203h，dpcd地址00203H，bits 1和5）
- Lane的Lane x_Symbol_locked 位 x_y_STATUS 寄存器（dpcd地址00202H，位2和6，dpcd地址00203H），以及lanes 2和6，分别为0、1、2和2，以及均为1、1、2和3，零位，dpcd地址00203H
- Interlane_align_done bits in Lane_align__status_updated和lane_align__status_updated_esi寄存器（dpcd地址00204H和0200EH，分别为0）

相反，接收者应提高其自身的均衡水平，或者要求更强的预定。当此类操作导致成功接收的损失时，接收器必须还原或要求最后设置。该方法的目的是确保最大的工作保证金。

3.5.1.2.3.1在2和4车道配置中的符号锁故障的情况下，后备要求

由于只有一个车道（2车道配置）或两个车道（4车道配置）可用于DP Main-Link，因此有可能在2或4车道配置中符号锁定故障。在这种情况下，在两个或四个车道上的车道 x_CR_DONE 序列应该失败。但是，众所周知，有一些DPRX实现在所有车道上错误地设置了车道 x_cr_done 位。

In the event of the Symbol Lock failure in a 4-lane configuration, the DPTX shall attempt to return to the LANE x_CR_DONE sequence after reducing the lane count to two lanes (i.e., writing the value of 02h to the LANE_COUNT_SET field in the LANE_COUNT_SET register (DPCD Address 00101h, bits 4:0) at the same link rate, as illustrated in Figure 3-21.

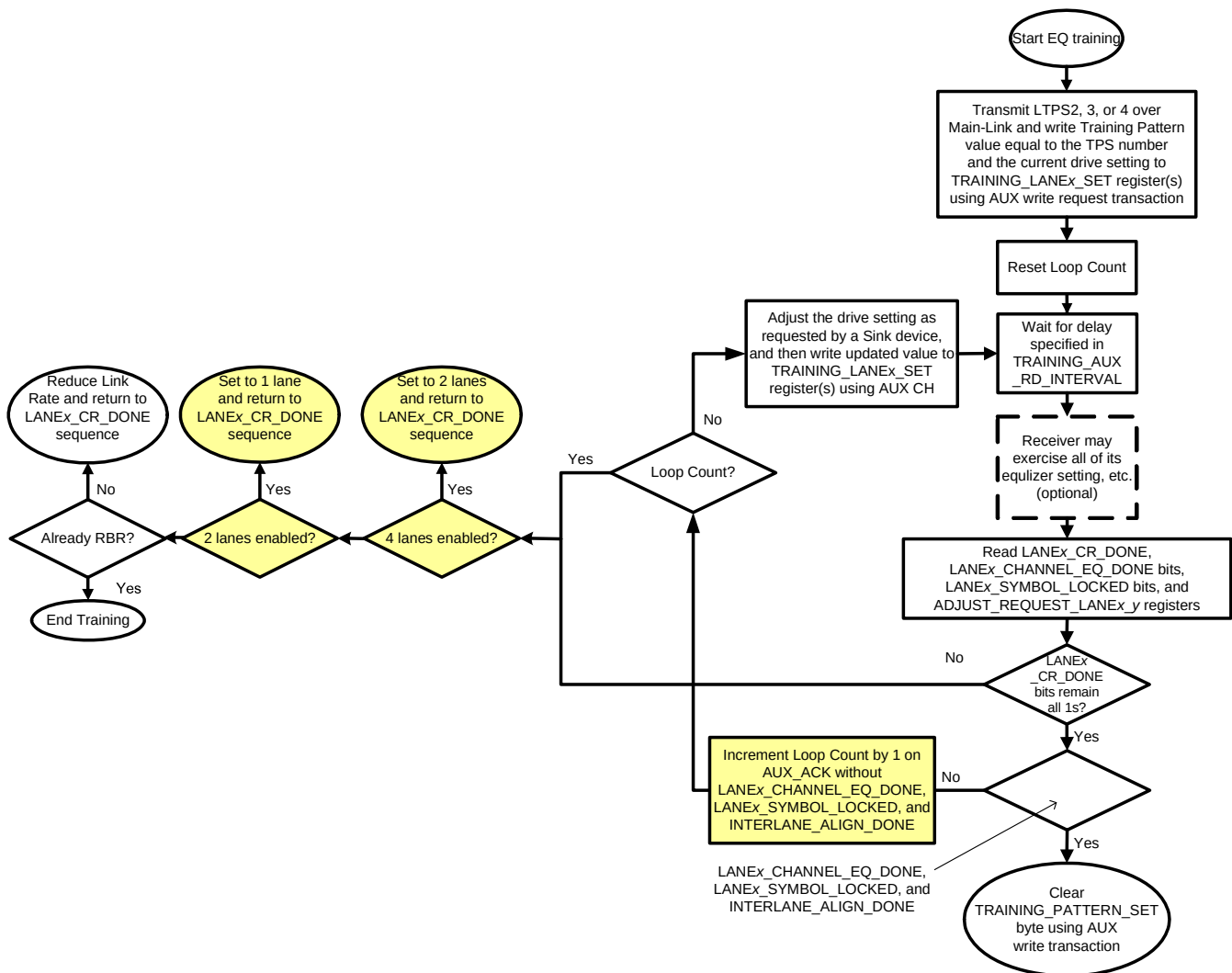


图3-21: 连接训练的通道均衡顺序

在验证通道均衡/符号/车间对齐方式都完成后，发射器必须将00H写入training_pattern_set寄存器（DPCD地址00102H），以指示培训的结束，然后开始传输流数据。

如果时钟恢复电路在频道均衡顺序中失去锁定，则接收器必须清除车道的车道x_cr_done位，x_x_y_status register(s)（dpcd地址00202H，位次，0和4，以及dpcd dpcd地址00202H地址00203H，BITS 0和4，bit适当）。如果处于高比率模式，则必须将发射器减少比特率并返回CR训练序列。如果它已经处于RBR模式，则发射器必须通过将00H写入Training_pattern_Set寄存器来结束培训，而无需建立链接。

3.5.1.2.4 post-lt_adj_req (链接后培训调整请求) 序列

下游设备可以选择支持后链接训练调整请求序列，以进一步调整发射机驱动器设置及其自己的接收器均衡设置，以防上游设备不支持TPS4。post-lt_adj_req使用随机的ANSI 8B/10B传输模式，而不是TPS2/TPS3。

支持此功能的下游设备设置了Max_lane_count寄存器（DPCD地址00002H，BIT 5）中的POST_LT_ADJ_REQ_SUPPORTED位，以声明对上游设备的支持。上游设备通过在lane_count_set寄存器中设置POST_LT_ADJ_REQ_GRANTED位来授予post-lt_adj_req进程（dpcd地址00101H，位5）。

下游设备设置链接/接收器设备状态寄存器DPCD地址00202H至00204H和DPCD地址为0200CH至0200EH，以指示链接培训的完成，以设置post_lt_adj_req_req_in_in_in__progress in lane_align_align_align_align_align_status_astatus_align_status_align_erigned and lane_Alane_Alane_Alane_alus_alusus_Alaneus_alusedated dectated and。（DPCD分别解决00204H和0200EH，位1）启动该过程，如图3-22所述。

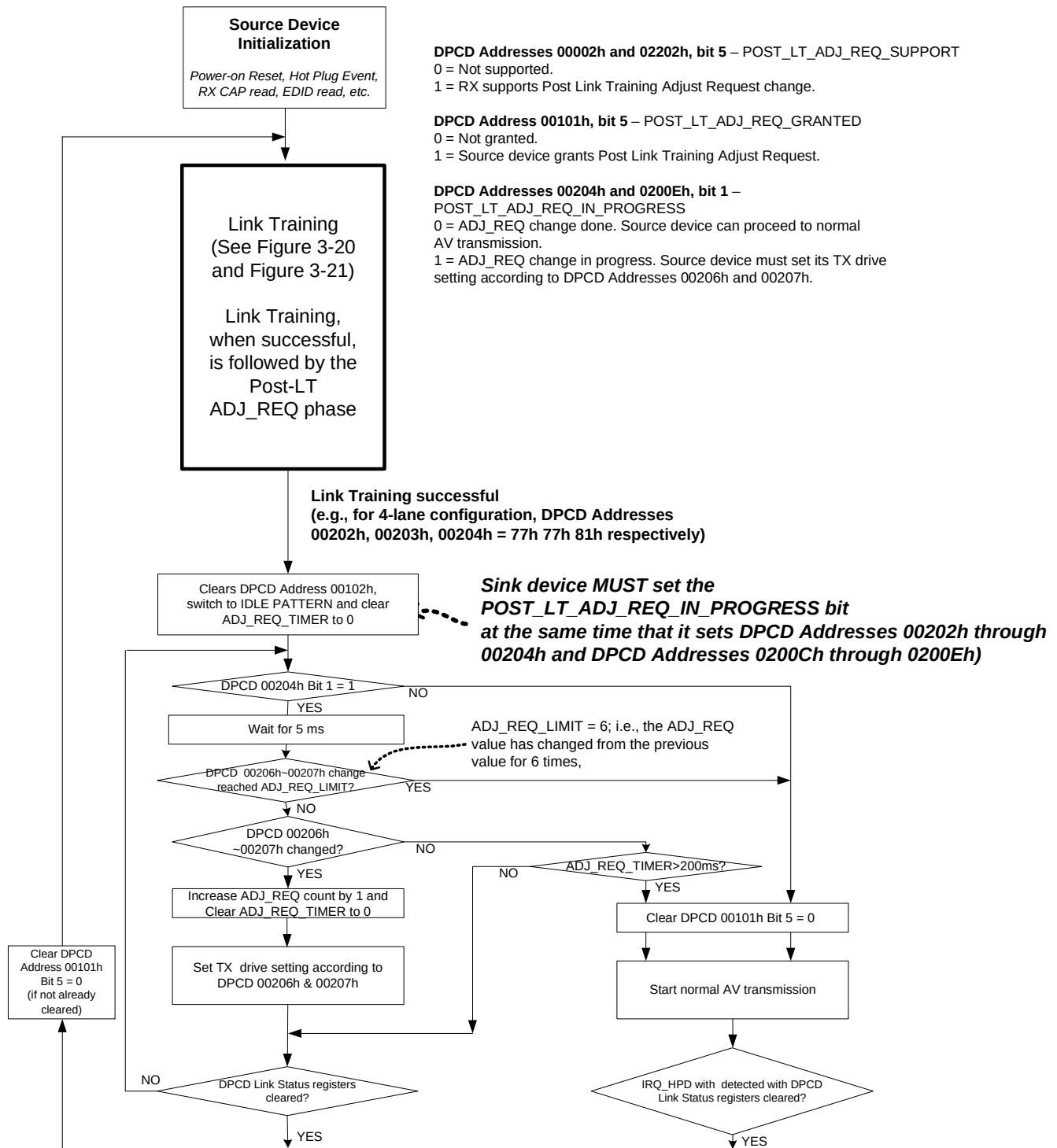


图3-22: post_lt_adj_req序列

3.5.1.3 链接维护

正常操作期间，下游设备必须在以下寄存器中维护链接状态标志：

- 车道 x_y_status 寄存器 (s) (dpcd地址 (ES) 00202H和00203H)
- lane_align__status_updated寄存器 (DPCD地址00204H)

除了在接收请求以SET_POWER_STATE字段为set_power&set_dp_pwor_voltage寄存器 (DPCD地址00600H, BITS 2: 0) 中的SET_POWER_STATE字段之后，出于任何其他原因与上游设备同步后，除了将链接重新训练以下原因：下游设备必须：

1清除Interlane_align_done位，lane_align__status_updated寄存器 (DPCD地址00204H) 。

2生成一个独特的IRQ_HPD (即，由于任何其他原因与生成的IRQ_HPD不同) 。

发射器必须在正常操作期间检测到较低的IRQ_HPD脉冲并根据需要进行链接重新训练时检查链接状态。有关链接质量维护的建议，请参见附录C。

3.5.1.4 链接质量测量 (可检验性)

DPTX必须能够以2.9.4.5节所示的链路质量测量目的传输测试模式。DPTX通过写入link_qual_lane x_SET 寄存器 (s) (DPCD地址 (ES) 0010bh至0010EH) 来指示每个车道上哪种测试模式 (如果有) 当前处于活动状态。使用这些寄存器来确定收到哪种测试模式，DPRX必须支持以下几点：

- 恢复的链路时钟质量测量 - 当上游DP设备将恢复的链路时钟输出到triagh_pattern_set寄存器 (DPCD地址00102H, BIT 4) 中的Recoviled_clock_out_en位时，从测试板中输出恢复的链路时钟。输出时钟频率必须为链路时钟频率的1/40。

该测试输出的目的是为使用接收器中的CDR电路的嵌入式应用程序提供简单的眼睛测试，以使用最小的设备进行抖动测量。该输出不打算用于合规性。这种测试在PHY CTS中指定。

该测试输出应至少支持10pf的寄生能力，包括测试探针的电容。测试输出应增加不超过以下峰顶抖动，以累积为250UI，以促进3%的测量精度 ($\pm 1.5\%$)：

- HBR3 - 4PS
- HBR2 - 6PS
- HBR - 11PS
- RBR - 18PS

例如，如果需要单端的输出板，则测试垫将需要最大的1.82V/ns的最低回能速率进入最大的预期电容载荷，并且总电源噪声的最大回能率不超过20MVP-P。如果相同的垫子可以支持3.64V/ns，则可以容忍40MVP-P电源噪声。

- 链接符号错误率测量 - 当上游DP设备将010B写入每个启用Lane的link_qual_lane x _SET _SET _SET regize并存储在symbol_error_count_count_lane_lane x coptress in dp ipcd co nsers i 002110h;字节，其中误差计数存储在15个最低显着的位中）。可以使用第2.9.4.5节中列出的步骤来估算链接质量。
- 当下游设备接收PRBS7模式或CP2520 PHY层依从性眼模式时，它必须计算与不匹配适当模式的位（prbs7）或符号（CP2520 PHY层合规性眼模式）。该计数也存储在符号_ERROR_COUNT_LANE x寄存器中。每当训练链接并且下游设备都不会接收符号错误率测量模式，PRBS7模式或CP2520 PHY层依从性眼模式时，下游设备必须在symbol_err_eror_c ount_lane x寄存器中递增计数器（每当无效的ANSI ANSI ANSI ANSI ANSI 8B/10B符号）中。 triending_pattern_set寄存器中的symbol_error_count_sel字段（dpcd地址00102H，位7：6）确定要包括的错误：
 - 00 =计数差异和非法符号错误
 - 01 =仅计数差异错误
 - 10 =仅计数非法符号错误
 - 11 =保留

3.5.1.5 Rs (254, 250) FEC

DP v1.4的新事物，芦苇 - 固体代码向前错误校正（FEC）函数rs (254, 250)，其符号大小为10位的符号大小，能够校正254 RS符号的每个FEC块最多两个RS符号错误，这是可选的功能，可将其添加到主链接phy phy phy逻辑式子块中。

运输DSC BITSTREAM需要FEC。因为FEC是主要链接PHY层逻辑子块函数，因此它对链接符号的内容不可知。因此，它适用于：

- SST格式
- MST格式
- 未压缩的视频流传输
- DSC BITSTREAM运输

3.5.1.5.1在DPTX中编码FEC

DP v1.4的新手。

DPTX中编码的FEC是DP主链路PHY逻辑子块函数，在8B/10B编码后发生，如图3-23所示。启用FEC编码后，DPTX的链路层块生成链路层符号（ll链接符号；流有效/填充数据链接链接或流帧控制链接链接），FEC_PARITY_MARKER_MARKER链接链接和FEC_PARY_PARITY_PH（FEC PARITY PARITY PLONE_PH（FEC PARITY PLOTE PLOCE PLOCE PLOCE HOLDER）链接符号。Neither an HDCP encryption cipher nor scrambler LFSR (including the DP MST Control Symbol Index scrambler) advances in Link Symbol Clock Cycles carrying FEC_PARTIY_PH Link Symbols that are replaced with 8b/10b-encoded FEC parity symbols in the FEC encoder within the Main Link PHY Layer Logical Sub-block, as illustrated in Figure 3-23.

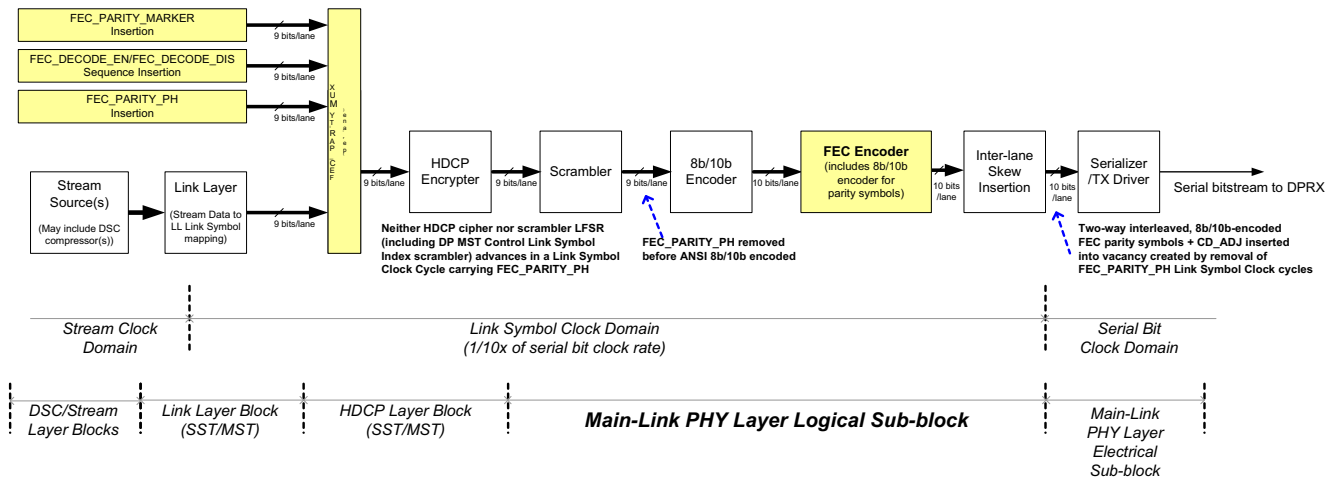


图3-23: dptx中的FEC编码

3.5.1.5.2 DPRX中的FEC解码

*DP v1.4*的新手。

DPRX中的FEC解码是DP主链路PHY逻辑子块函数，在8b/10b解码之前发生，如图3-24所示。当启用FEC解码时，DPRX的主要链接PHY层逻辑子块用FEC_PARITY_PH链接符号替换了8b/10b删除的RS Parity符号。HDCP加密密码和crambler LFSR（包括DP MST控件符号索引拼写器）都在链接符号时钟循环中载有FEC_PARTIY_PH链接符号在链接层块上丢弃的链接时钟周期中的进步，如图3-24所示。

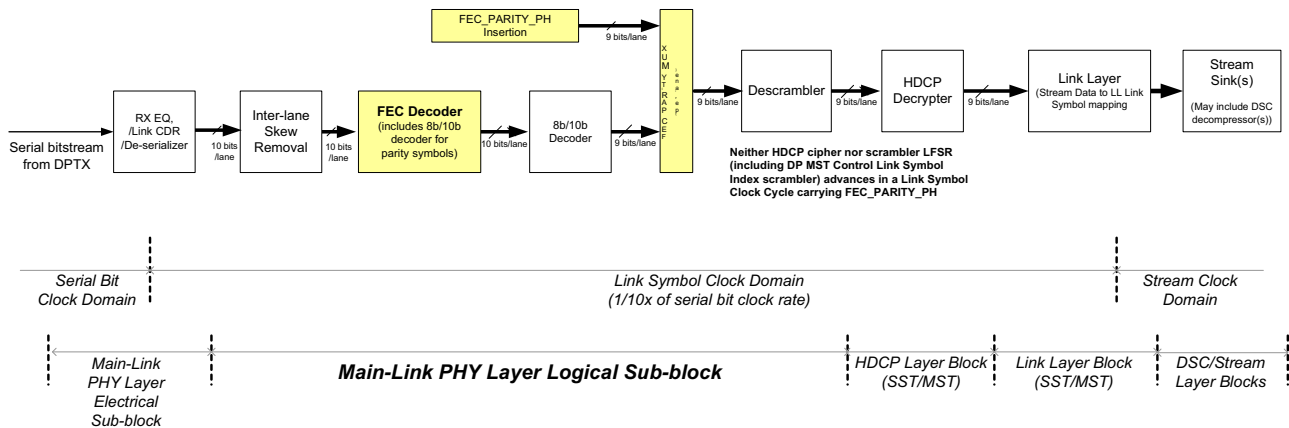


图3-24: DPRX中的FEC解码

3.5.1.5.3 Rs (254, 250) FEC多项式和测试向量

*DP v1.4*的新事物。

以下方程表示*DP v1.4* rs (254, 250) FEC的多项式：

$$G(x) = (x - 1)(x - \alpha)(x - \alpha^2)(x - \alpha^3) = x^4 + g_3 * x^3 + g_2 * x^2 + g_1 * x + g_0$$

在哪里：

- $g(x) = x^{10} + x^3 + 1$ 是gf (210) 的原始多项式
- α 是原始多项式的根

- $G_3 = 15$, $G_2 = 54$, $G_1 = 120$ 和 $G_0 = 64$ （全部为DECIMAL）

图3-25说明了示意图RS编码器表示。在开始计算之前，DPTX应将所有寄存器初始化为0，并在数据结束时传输寄存器内容。

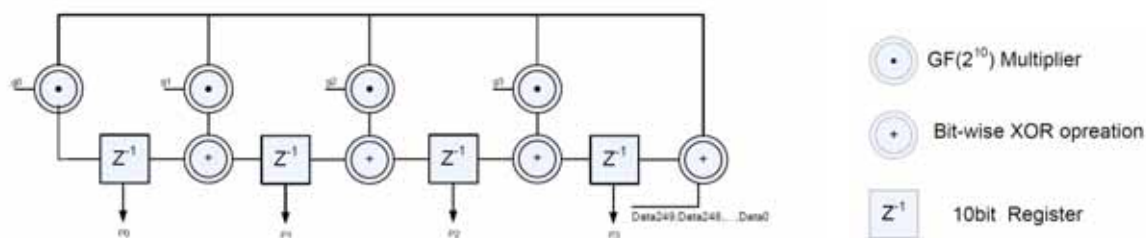


图3-25: 示意图RS编码器表示（信息性）

在图3-25中，Data0是前10位，而Data249是最后10位。P3是最重要的奇偶校验符号，P0是最低显式符号。

伙计 提供了降低四个测试向量以提供信息的PUR 姿势。

- 测试向量1:
 - $\text{fec\_enc\_d} = [0, 0, \dots, 0, 1]$
 - $\text{FEC\_ENC\_PAR3} = 15$
 - $\text{FEC\_ENC\_PAR2} = 54$
 - $\text{FEC\_ENC\_PAR1} = 120$
 - $\text{FEC\_ENC\_PAR0} = 64$
- 测试向量2:
 - $\text{fec\_enc\_d} = [1, 0, \dots, 0]$
 - $\text{FEC\_ENC\_PAR3} = 40$
 - $\text{FEC\_ENC\_PAR2} = 447$
 - $\text{FEC\_ENC\_PAR1} = 252$
 - $\text{FEC\_ENC\_PAR0} = 362$
- 测试向量3:
 - $\text{FEC\_ENC\_D} = [1, 2, 3, 4, \dots, 249, 250]$
 - $\text{FEC\_ENC\_PAR3} = 77$
 - $\text{FEC\_ENC\_PAR2} = 905$
 - $\text{FEC\_ENC\_PAR1} = 863$
 - $\text{FEC\_ENC\_PAR0} = 96$

- 测试向量4:
 - FEC_ENC_1ST_D = [251,252,253,254..., 499,500]
 - FEC_ENC_PAR3 = 311
 - FEC_ENC_PAR2 = 356
 - FEC_ENC_PAR1 = 836
 - FEC_ENC_PAR0 = 536

3.5.1.5.4双向交织

*DP v1.4*的新手。

为了提高由于DPRX的决策反馈均衡器（DFE）而导致可能成为爆发错误的传输位错误的免疫力，DisplayPort应使用双向交织的卢比（254，250）FEC。

对于1车道配置，DPTX应组合两个254 RS符号的FEC块，以制定一个由512 8b/10b代码组成的交错FEC块，如表3-9所示。

对于2和4车道配置，DPTX应生成交错的FEC块由256 8b/10b代码组成。DPTX应插入FEC奇偶校验标记（FEC_PM，K28.1）

1车道配置的第128个交错的FEC块，每256个交错的FEC块，用于2和4车道配置。

由此产生的总FEC开销为2.3%（也就是说，启用粪便的DP链接的链接带宽可用于运输流（S））。

表3-9: 1-, 2和4车道配置的交错FEC块

Configuration	Interleaved FEC Block Generated	Interleaved FEC Block Transported	FEC_PM Insertion
1-lane	2 × 250 RS data symbols + 2 × 4 RS parity symbols	2 × 250 LL codes ^a + 12 FEC parity codes + CD_ADJ code	Every 128 th interleaved FEC block transported (= every 65537 th 8b/10b code ^b)
2- and 4-lane	250 RS data symbols + 4 RS parity symbols	250 LL codes ^a + 5 FEC parity codes + CD_ADJ code	Every 256 th interleaved FEC block transported (= every 65537 th 8b/10b code ^b)

a. 8b/10b-encoded LL link symbols.

b. Every 81us at 8.1Gbps/lane and every 121us at 5.4Gbps/lane.

图3-26说明了1车道配置的交织的FEC块传输。 图3-27说明了2和4车道配置的交织的FEC块传输。

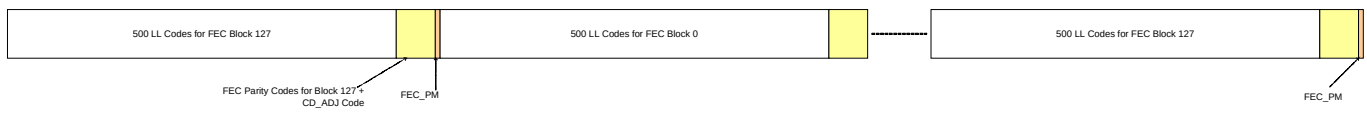


图3-26： 1车道配置的交错FEC块传输

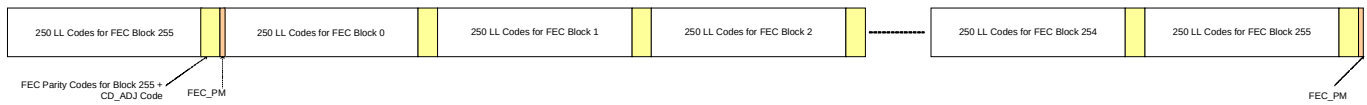


图3-27： 2和4车道配置的交错FEC块传输

图3-28和图3-29分别说明了DPTX和DPRX中的双向交织，以进行1车道配置。图3-30和图3-31分别说明了DPTX和DPRX中的双向交织，分别用于2和4车道配置。对于四车道配置，这些图中显示的图是重复的。

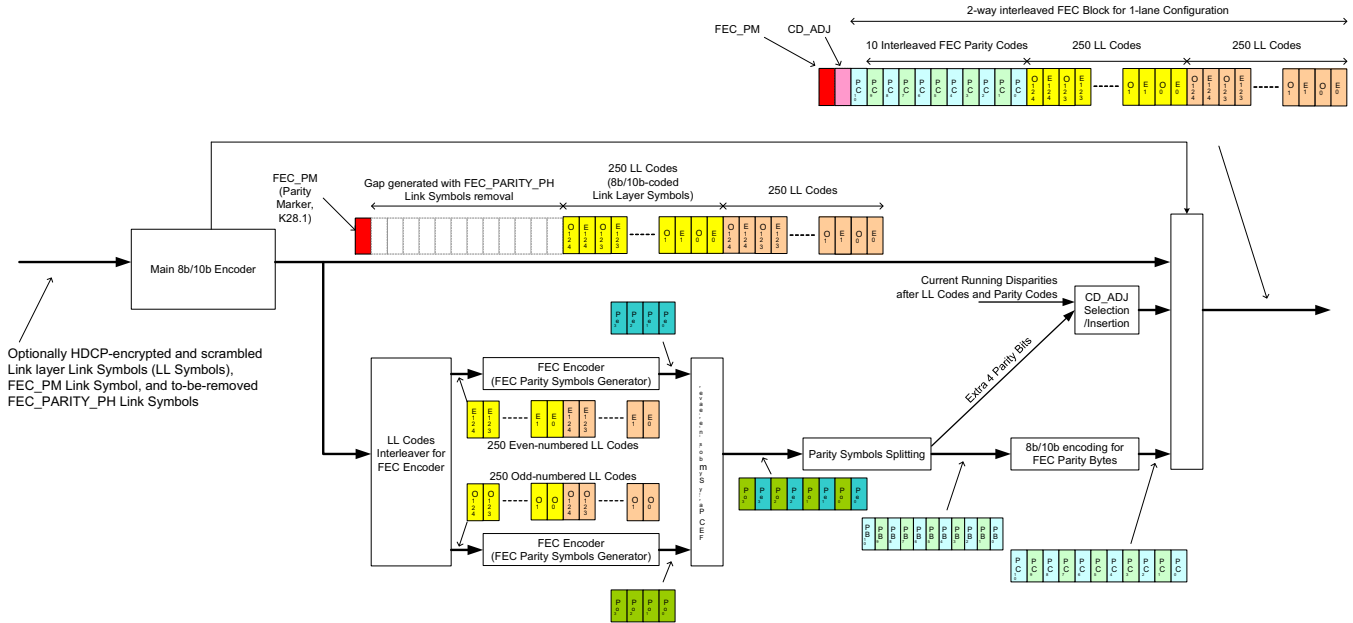


图3-28: DPTX中1车道配置的双向FEC交错

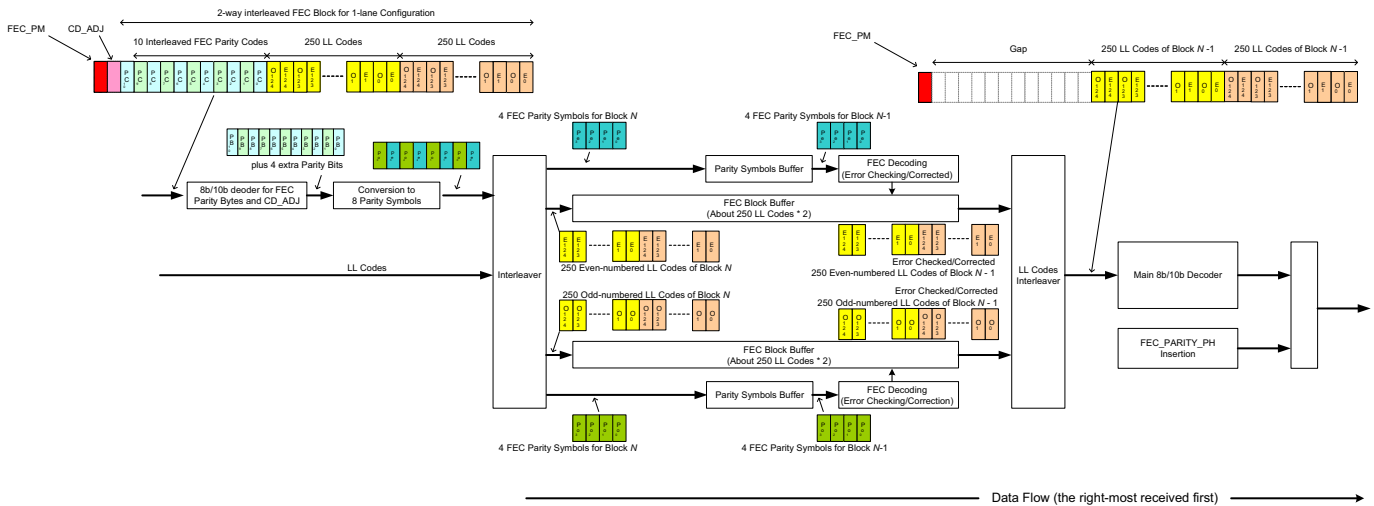


图3-29: DPRX中1车道配置的双向FEC交错

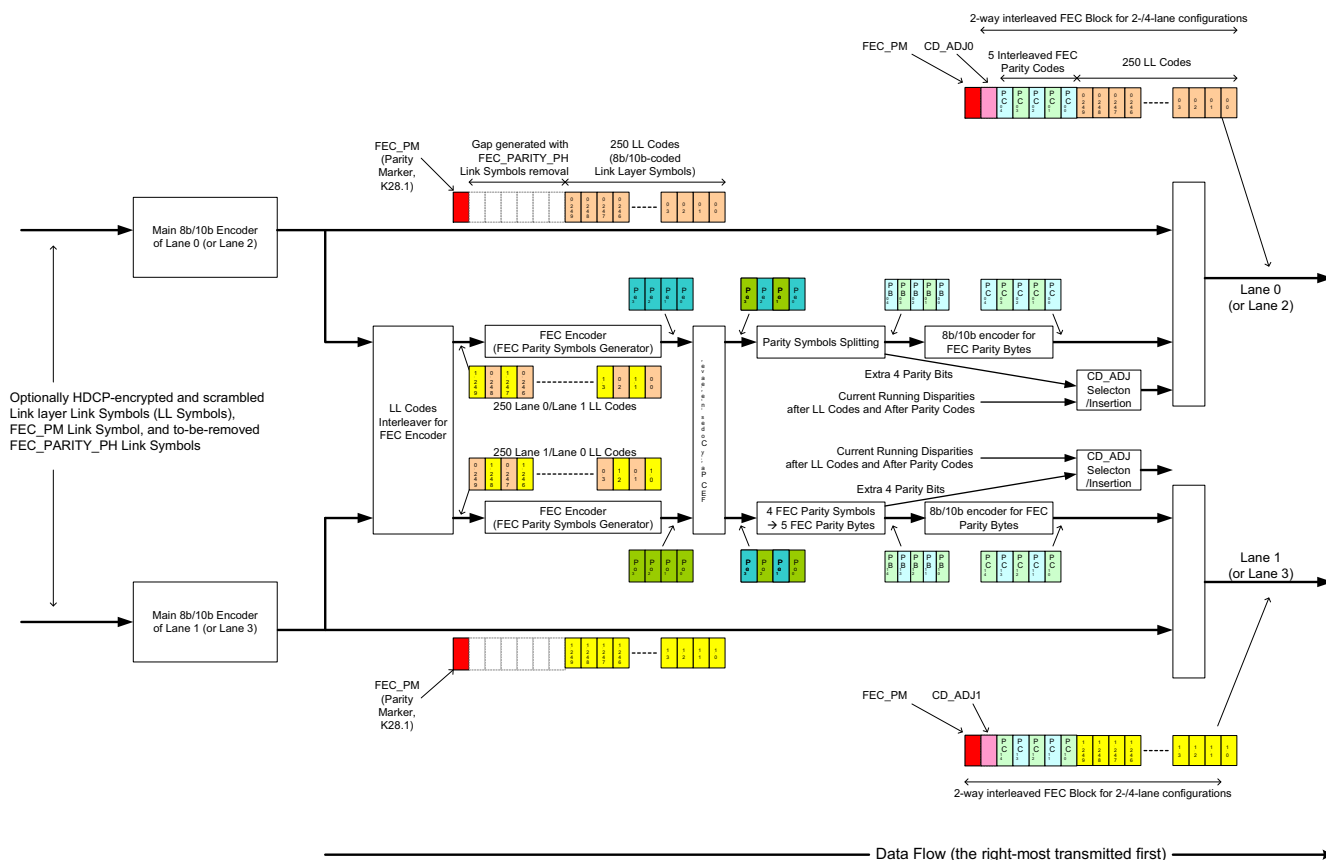


图3-30: DPTX中2和4车道配置的双向FEC交错

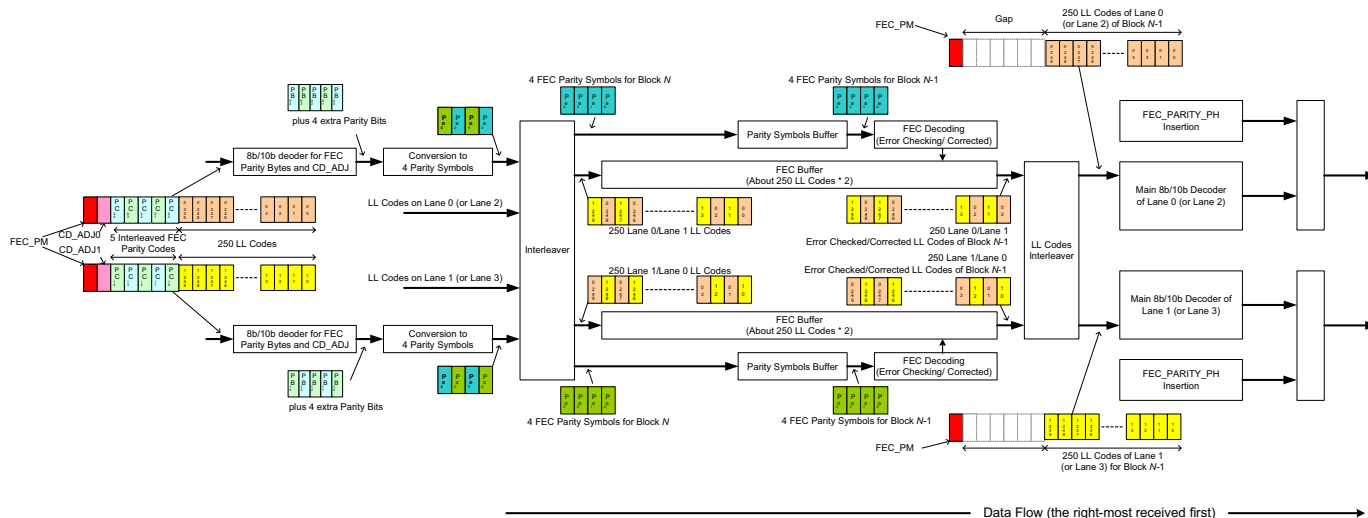


图3-31: DPRX中2和4车道配置的双向FEC交织

如图3-28至图3-31所示，DPTX应交流以用于FEC编码的LL代码。至于FEC奇偶校验符号：

- 1车道配置 - DPTX应从两个FEC编码器中交织到四个FEC奇偶校验符号，将它们分成11个奇偶校验字节和四个额外的奇偶校验位，如表3-10所示，以及8b/10b的传输。
- 2和4车道配置 - DTPX应交织四个FEC均等符号
从两个FEC编码器中，分别分配到五个奇偶校验字节，如表3-11所示，四个额外的奇偶校验比特和8b/10b的传输。

8b/10b数据代码 $DX.Y$ ，在编码8b/10b之前是5位 X ($EDCBA$) 与3位 Y (HGF) 串联的。例如，D5.1是编码之前的00101 001。当单个FEC平均字节具有来自多个奇偶校验符号的奇偶校验符号位时，一个平均符号的位映射到 $EDCBA$ 位，其余奇偶校验符号的位映射到 HGF 位。

DPTX应根据最后一个LL代码末尾的当前运行差异在上一个LL代码之后立即确定第一个奇偶校验代码。

表3-10：奇偶校验符号以1车道配置交织和分裂

Parity Bytes and Extra Bits	Parity Symbols Bits Contained	Parity Codes
PB0	PE0[9:2]	PC0
PB1	PO0[9:5] PE0[1:0] 0	PC1
PB2	PO0[4:0] 000	PC2
PB3	PE1[9:2]	PC3
PB4	PO1[9:5] PE1[1:0] 0	PC4
PB5	PO1[4:0] 000	PC5
PB6	PE2[9:2]	PC6
PB7	0 PO2[9:3]	PC7
PB8	PE3[9:5] PO2[2:0]	PC8
PB9	PE3[4:0] 000	PC9
PB10	PO3[7:0]	PC10
Extra four bits	PO3[9:8] PE2[1:0]	Part of CD_ADJ

表3-11: 奇偶校验符号在2和4车道配置中交织和分裂

Parity Bytes and Extra Bits	Parity Symbols Bits Contained	Parity Codes
Lane 0 (or Lane 2)		
PB00	PE0[9:2]	PC00
PB01	0 PO1[9:3]	PC01
PB02	PE2[9:5] PO1[2:0]	PC02
PB03	PE2[4:0] 000	PC03
PB04	PO3[7:0]	PC04
Extra four bits	PO3[9:8] PE0[1:0]	Part of CD_ADJ0
Lane 1 (or Lane 3)		
PB10	PO0[9:2]	PC10
PB11	0 PE1[9:3]	PC11
PB12	PO2[9:5] PE1[2:0]	PC12
PB13	PO2[4:0] 000	PC13
PB14	PE3[7:0]	PC14
Extra four bits	PE3[9:8] PO0[1:0]	Part of CD_ADJ1

至于CD_ADJ代码确定，DPTX应将四个额外的奇偶校验位纳入CD_ADJ，如表3-12所示。案例编号是由当前运行差异（即，相对于累积0s的数量，累计1s的数量，在LL代码结束时的差异为两个额外的1或相等），而在奇偶代码结束时，差异为两个或相等。

表3-12： CD_ADJ代码选择

Extra Four Bits (PXx[9:8][PYy[1:0]]) ^a		Case Number ^b			
		1	2	3	4
00	00	D3.1	D3.0-	D3.1	D3.0+
00	01	D5.1	D5.0-	D5.1	D5.0+
00	10	D10.1	D10.0-	D10.1	D10.0+
00	11	D12.1	D12.0-	D12.1	D12.0+
01	00	D3.2	D2.3-	D3.2	D2.3+
01	01	D5.2	D4.3-	D5.2	D4.3+
01	10	D10.2	D8.3-	D10.2	D8.3+
01	11	D12.2	D15.3-	D12.2	D15.3+
10	00	D3.5	D3.4-	D3.5	D3.4+
10	01	D5.5	D5.4-	D5.5	D5.4+
10	10	D10.5	D10.4-	D10.5	D10.4+
10	11	D12.5	D12.4-	D12.5	D12.4-
11	00	D3.6	D3.7-	D3.6	D3.7+
11	01	D5.6	D5.7-	D5.6	D5.7+
11	10	D10.6	D10.7-	D10.6	D10.7+
11	11	D12.6	D12.7-	D12.6	D12.7+

a. See Table 3-10 and Table 3-11 for parity symbol bit mapping.

b. See Table 3-13 for the case number definitions.

表3-13： CD_ADJ选择案例定义

Case #	Case Number			
	1	2	3	4
Current Running Disparity after the last LL Code	Two extra 1s	Equal	Equal	Two Extra 1s
Current Running Disparity after the last Parity Code	Two extra 1s	Two Extra 1s	Equal	Equal

额外的两个位PXX [9: 8]应映射到CD_ADJ的Hg位。其他额外的两个位，Pyy [1: 0]，应映射到CD_ADJ的直流位。

通过上述FEC奇偶校验代码交织和分裂方法，当两个连续的FEC奇偶校验代码在DP链接上损坏时，每个FEC块只有一个FEC均值符号被损坏。此外，在FEC奇偶校验代码或CD_ADJ代码中，单个位错误仅损坏一个FEC均等符号。这是因为两个奇偶符号的奇偶符号位映射到奇偶校验字节和cd_adj字节。

为了说明每个交织的FEC块的FEC奇偶校验代码和CD_ADJ代码的开销，DPTX应在链接层块中插入FEC Parity Place持有人（FEC_PARITY_PH）链接符号，如下：

- 1车道配置 - 每500个链接层链接符号之后
- 2和4车道配置 - 每250个链接层链接符号之后

此外，DPTX应在链路层块中插入FEC_PM链接符号，如下：

- 1车道配置 - 每128次交织的FEC块一次
- 2和4车道配置 - 每256次交织的FEC块一次

DPTX应~~not~~推进HDCP密码或Scrambler LFSR（数据链接符号scrambler和MST Control符号索引拼写器）中的那些链接符号时钟周期for_parity_ph链接符号。此外，DPTX应在主8B/10B编码之前删除FEC_PARITY_PH链接符号，以生成一个差距，以插入FEC Parity代码和CD_ADJ代码。

DPRX应介绍接收到的LL代码和FEC均衡代码以解码。然后，8b/10b应将每个FEC解码器的五个FEC均衡代码解码为五个FEC均衡字节和四个用于FEC解码的FEC均衡符号。

DPRX应删除FEC奇偶校验代码和CD_ADJ代码，并将FEC_PARITY_PH链接符号插入其位置。DPRX应~~not~~提前crambler lfsr（数据链接符号crambler和MST控件符号索引拼写器）或HDCP Cipher进入FEC_PARITY_PH链接符号的那些链接符号时钟周期。

DPRX链接层块应丢弃FEC_PARITY_PH链接符号和FEC_PM链接符号。

3.5.1.5.5启用/禁用FEC编码/解码

DP v1.4的新手。

具有FEC的DPTX可以通过在FEC_CAPAIBALY寄存器（DPCD地址00090H，BIT 0）中读取Fec_capable位来发现插入的DPRX是否能够受到FEC的能力。

插入功能能力的DPRX并预计启用FEC编码的DPTX应在FEC_Configuration寄存器（DPCD地址00120H，位0）中设置为FEC_READY位，然后在启动链接培训之前将其设置为1。

After the FEC_READY bit is set, a DPRX shall delay LL code forwarding to the Main 8b/10b decoder and descrambler block by the same amount of time required for FEC decoding, even when it is not performing FEC decoding (that is, a DPRX shall ensure that enabling and disabling of FEC decoding is transparent to its HDCP decryption block and Link Layer block).

为了提示DPRX启用FEC解码，DPTX应传输表3-14中列出的FEC_DECODE_EN序列。图3-32说明了2和4车道配置

的FEC_DECODE_EN序列。为了提示DPRX禁用FEC解码，DPTX应传输表3-14中列出的FEC_DECODE_DIS序列。图3-33说明了2和4车道配置

的FEC_DECODE_DIS序列。

对于所有车道计数，以及启用和禁用FEC编码/解码，DPTX应将序列的最后一个K28.1放置在与FEC_PM一致的序列。

表3-14： fec_decode_en/fec_decode_dis序列

Configuration	FEC_DECODE_EN Sequence	FEC_DECODE_DIS Sequence
1-lane	K28.1 – K30.7 – K30.7 – K28.1 – K23.7 – K23.7 – K28.1 – K30.7 – K30.7 – K28.1 – K23.7 – K23.7 – K28.1	K28.1 – K23.7 – K23.7 – K28.1 – K30.7 – K30.7 – K28.1 – K23.7 – K23.7 – K28.1 – K30.7 – K30.7 – K28.1
2- and 4-lane Configurations	K28.1 – K30.7 – K30.7 – K28.1 – K23.7 – K23.7 – K28.1	K28.1 – K23.7 – K23.7 – K28.1 – K30.7 – K30.7 – K28.1

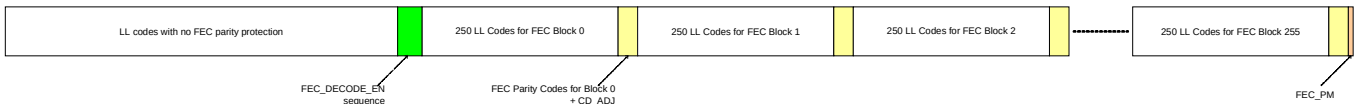


图3-32： FEC_DECODE_EN序列传输（2-和4车道配置示例）

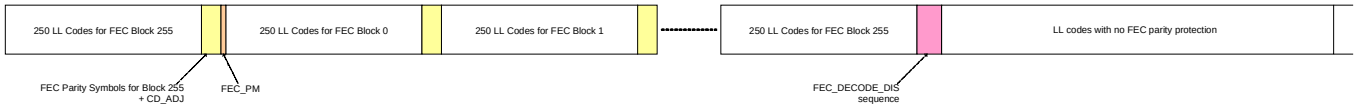


图3-33： FEC_DECODE_DIS序列传输（2和4车道配置示例）

3.5.1.5.6 DPCD寄存器用于FEC

以下DPCD寄存器用于FEC支持：

- FEC_CAPAIBALY寄存器（DPCD地址00090H）
- FEC_CONFIGURATION寄存器（DPCD地址00120H）
- FEC_STATUS寄存器（DPCD地址00280H）
- FEC_ERROR_COUNT0寄存器（DPCD地址00281H）
- FEC_ERROR_COUNT1寄存器（DPCD地址00282H）

以下各节讨论了与FEC相关的政策要求：

- 在SST模式下考虑FEC开销 - 第2.2节
- 在MST模式下考虑FEC开销 - 第2.6节
- 在SST和MST模式下，在DSC Bitstream Transport中考虑FEC开销 - 第2.6.1.1节
- FEC支持要求 - 第5节
 - 支持DSC（压缩和/或减压）的设备 - 必需
 - MST分支机构 - 建议
 - PHY中继器 - 不需要

3.5.1.5.7 DPCD寄存器用于FEC，用于LT可调位级PHY中继器

通过LT可触摸位级PHY中继器对FEC解码和重新编码的支持是可选的。以下DPCD寄存器用于FEC支持LT可调的位级PHY中继器：

- lt_tunable_phy_repeater_field_data_structure_rev寄存器（dpcd地址f0000h）
- max_link_rate_phy_repeater寄存器（DPCD地址F0004H）
- fec_status_phy_repeater1寄存器（DPCD地址F0290H）
- FEC_ERROR_COUNT_PHY_REPETER1寄存器（DPCD地址F0291H和F0292H）
- FEC_PHY_REPETER2配置和状态字段寄存器（DPCD地址F0298H通过F029FH）
- FEC_PHY_REPETER3配置和状态字段寄存器（DPCD地址F02A0H通过F02A7H）
- FEC_PHY_REPETER4配置和状态字段寄存器（DPCD地址F02A8H通过F02AFH）
- FEC_PHY_REPETER5配置和状态字段寄存器（DPCD地址F02B0H通过F02B7H）
- fec_phy_repeater6配置和状态字段寄存器（DPCD地址F02B8H通过F02BFH）
- FEC_PHY_REPETER7配置和状态字段寄存器（DPCD地址F02C0H通过F02C7H）
- FEC_PHY_REPETER8配置和状态字段寄存器（DPCD地址F02C8H通过F02CFH）

3.5.2

主链路电块

DP主链接的电块由多达四个差异对组成。DPTX驱动双重终止，AC耦合的差异对，如图3-34所示，符合主链接发射器电气规范的方式。

Note: The 50Ω termination resistors may be integrated on the chip. The DPRX receives incoming differential signals and extracts data with its link clock and data recovery (CDR) circuits.

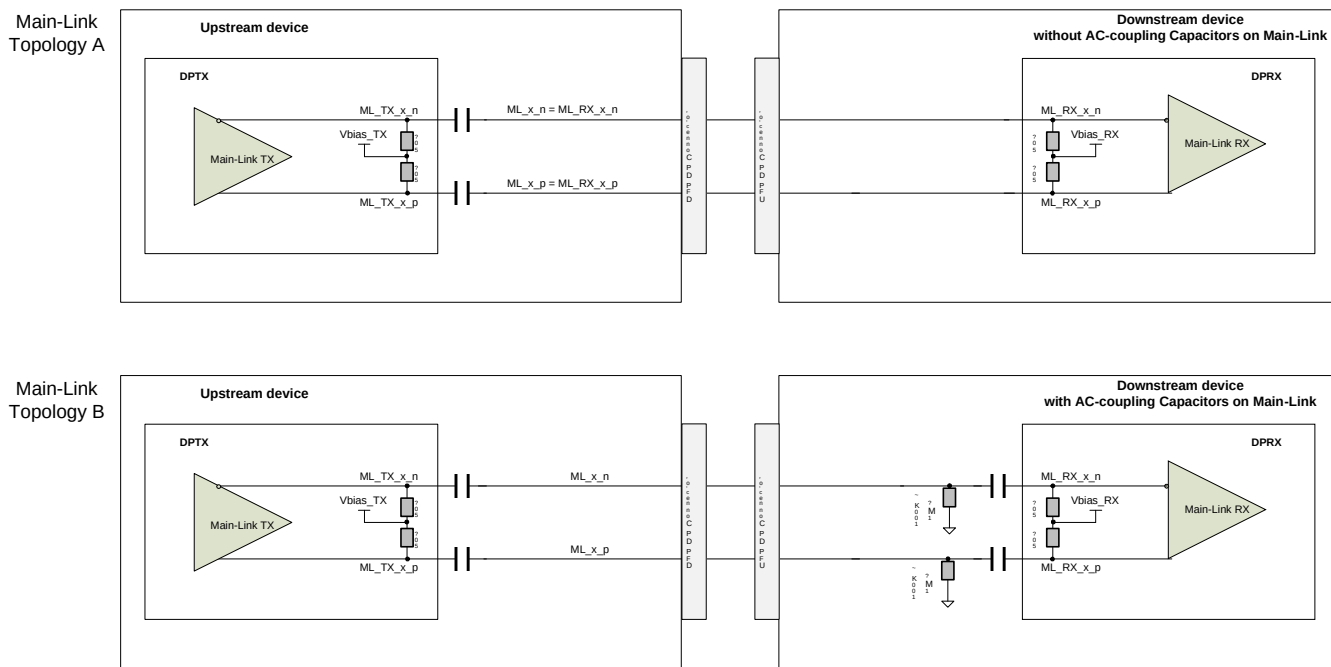


图3-34：主链接对

表3-15, 表3-16和表3-17定义了主链接发射器电气参数。 表3-18和表3-19定义了主链接接收器电参数。

表3-15: DisplayPort主链接发射机系统参数

Symbol	Parameter	Min	Nom	Max	Units	Comments
System Parameters						
f_{HBR3}	Frequency for high bit rate 3	8.05707	8.1	8.10243	Gbps	Frequency high limit = +300ppm Frequency low limit = -5300ppm
f_{HBR2}	Frequency for high bit rate 2	5.37138	5.4	5.40162	Gbps	
f_{HBR}	Frequency for high bit rate	2.68569	2.7	2.70081	Gbps	
f_{RBR}	Frequency for reduced bit rate	1.611414	1.62	1.620486	Gbps	
UI_HBR3	Unit Interval for high bit rate 3 (8.1Gbps/lane)		123		ps	Informative (approximate values)
UI_HBR2	Unit Interval for high bit rate 2 (5.4Gbps/lane)		185		ps	
UI_HBR	Unit Interval for high bit rate (2.7Gbps/lane)		370		ps	
UI_RBR	Unit Interval for reduced bit rate (1.62Gbps/lane)		617		ps	
Down_Spread_Amplitude	Link clock down-spreading	0		0.5	%	Range: 0 to 0.5% when down-spread enabled
Down_Spread_Frequency	Link clock down-spreading frequency	30		33	kHz	Range: 30 to 33kHz when down-spread enabled
C_{TX}	AC-coupling Capacitor	75		265	nF	All DP Main-Link lanes as well as AUX CH must be AC-coupled. AC-coupling capacitors must be placed on the transmitter side. Placement of AC-coupling capacitors on the receiver side is optional.

表3-16: DisplayPort主链接发射机TP2参数

Symbol	Parameter	Min	Nom	Max	Units	Comments
TP2 (TX External Connector – Normative)						
$V_{TX-OUTPUT-RATIO\_RBR\_HBR}^a$	Ratio of Output Voltage Level 1/Level 0	0.8		6.0	dB	Measured on non-transition bits at Pre-emphasis level 0 setting.
	Ratio of Output Voltage Level 2/Level 1	0.1		5.1	dB	Support for Voltage Level 3 is optional.
	Ratio of Output Voltage Level 3/Level 2	0.8		6.0	dB	
$V_{TX-PREEMP-OFF}$	Maximum Pre-emphasis when disabled			0.25	dB	Pre-emphasis Level 0 setting must not show any pre-emphasis at TP2 to prevent link training issues.
$V_{TX-PREEMP-DELTA}$	Delta of Pre-emphasis Level 1 vs. Level 0	2			dB	Applies to all valid voltage settings.
	Delta of Pre-emphasis Level 2 vs. Level 1	1.6			dB	Support for Pre-emphasis Level 3 is optional.
	Delta of Pre-emphasis Level 3 vs. Level 2	1.6			dB	
$V_{TX-DIFF\_REDUCTION}$	Non-transition reduction Output Voltage Level 2			3	dB	V_{TX_DIFF} at each non-zero nominal pre-emphasis level must not be lower than the specified amount less than V_{TX_DIFF} at the zero nominal pre-emphasis level.
	Non-transition reduction Output Voltage Level 1			3	dB	
	Non-transition reduction Output Voltage Level 0			1.4	dB	
$V_{TX-DIFFp-p-MAX}$	Maximum Output Voltage Level			1.38	V	For all Output Level and Pre-emphasis combinations.
$t_{TX-SKEW-INTER\_PAIR}$	Lane-to-Lane Output Skew			1250	ps	Applies to transmitters capable of 2- and 4-lane operation. Applies to all pairwise combinations of supported lanes for all data rates.
$t_{TX-SKEW-INTRA\_PAIR}$	Lane Intra-pair Output Skew			30	ps	Applies to all supported lanes.

- a. Earlier versions of this Standard had the Main-Link DPTX output voltage ratios to ensure that the DPTX supports the required range of output voltage levels. For HBR2 and higher, the output ratio need not be explicitly specified or tested because the compliance test point is moved to TP3_EQ. That is why the ratio of output voltage levels is removed from the above table for HBR2 and above.

表3-17: DisplayPort主链接发射机TP3_EQ参数

Symbol	Parameter	Min	Nom	Max	Units	Comments
TX TP3_EQ (Compliance Cable Model with HBR2 Reference Receiver Equalization – Normative)						
$t_{TX-TJ\_TPS4\_HBR3}$	Maximum TX Total Jitter			0.65	UI	For HBR3. Measured at $1E^{-9}$ BER.
$t_{TX-NonISI\_TPS4\_HBR3}$	Maximum TX Non-ISI Jitter			0.56	UI	
$t_{TX-TJ\_CP2520\_HBR2}$	Maximum TX Total Jitter			0.62	UI	For HBR2. Measured at $1E^{-9}$ BER using the CP2520 PHY Layer Compliance EYE pattern.
$t_{TX-DJ\_CP2520\_HBR2}$	Maximum TX Deterministic Jitter			0.49	UI	
$t_{TX-TJ\_D10.2\_HBR2}$	Maximum TX Total Jitter			0.40	UI	For HBR2. Measured at $1E^{-9}$ BER using the D10.2 Compliance pattern.
$t_{TX-DJ\_D10.2\_HBR2}$	Maximum TX Deterministic Jitter			0.27	UI	
$t_{TX-RJ\_D10.2\_HBR2}$	Maximum TX Random Jitter			0.13	UI	
$V_{TX-DIFFp-p\_HBR3}^a$	TX Differential Peak-to-Peak EYE Voltage	75			mV	For HBR3. Measured at $1E^{-9}$ BER using TPS4.
$V_{TX-DIFFp-p\_HBR2}^a$	TX Differential Peak-to-Peak EYE Voltage	90			mV	For HBR2. Measured at $1E^{-9}$ BER using the CP2520 PHY Layer Compliance EYE pattern.
$t_{TX-DIFFp-p\_RANGE\_HBR2\_HBR3}$	TX Differential Peak-to-Peak EYE Voltage Measurement Range	0.375		0.625	UI	For HBR2 and HBR3. Uses 0.5 Cumulative Distribution Function (CDF) of the jitter distribution as the 0UI reference point. TX Differential Peak-to-Peak EYE Voltage requirement can be met anywhere within this UI range.

a. The downstream EYE masks describe the EYE that a DPTX is to deliver to TP3_EQ under normal operating conditions. The upstream EYE mask describes the EYE that a DPRX is to receive at TP3_EQ under normal operating conditions. Consult with the VESA DisplayPort PHY Compliance Test Specification for the proper measurement technique and associated compliance EYE requirements.

表3-18: DisplayPort Main-Link接收器系统参数

Symbol	Parameter	Min	Nom	Max	Units	Comments
System Parameters						
f_{HBR3}	Frequency for high bit rate 3	8.05707	8.1	8.10243	Gbps	Frequency high limit = +300ppm Frequency low limit = -5300ppm DP link RX does not require local crystal for link clock generation.
f_{HBR2}	Frequency for high bit rate 2	5.37138	5.4	5.40162	Gbps	
f_{HBR}	Frequency for high bit rate	2.68569	2.7	2.70081	Gbps	
f_{RBR}	Frequency for reduced bit rate	1.611414	1.62	1.620486	Gbps	
UI_HBR3	Unit Interval for high bit rate 3 (8.1Gbps/lane)		123		ps	Informative (approximate values)
UI_HBR2	Unit Interval for high bit rate 2 (5.4Gbps/lane)		185		ps	
UI_HBR	Unit Interval for high bit rate (2.7Gbps/lane)		370		ps	
UI_RBR	Unit Interval for reduced bit rate (1.62Gbps/lane)		617		ps	
Down_Spread_Amplitude	Link clock down-spreading	0		0.5	%	Up to 0.5% down-spread support is required. Modulation frequency range of 30 to 33kHz must be supported.

表3-19: DisplayPort Main-Link接收器TP3参数

Symbol	Parameter	Min	Nom	Max	Units	Comments
TP3 (RX External Connector – Normative)						
t_{RX-EYE_CONN}	Minimum Receiver EYE Width at RX-side connector pins	0.25			UI	For Reduced Bit Rate (1 - T_{RX-EYE_CONN}) specifies the allowable TJ.
$t_{RX-SKEW-INTRA\_PAIR\ HBR3}$	Lane Intra-pair Skew Tolerance			50	ps	For HBR3. Represents the skew (between D+ and D- of the same lane) contribution from the cable in addition to the stressed EYE at TP3_EQ.
$t_{RX-SKEW-INTRA\_PAIR\ HBR2}$	Lane Intra-pair Skew Tolerance			50	ps	For HBR2. Represents the skew (between D+ and D- of the same lane) contribution from the cable in addition to the stressed EYE at TP3_EQ.
$t_{RX-SKEW-INTRA\_PAIR\ High-Bit-Rate}$	Lane Intra-pair Skew Tolerance			60	ps	Represents the skew (between D+ and D- of the same lane) contribution from the cable in addition to the stressed EYE at TP3.
$t_{RX-SKEW-INTRA\_PAIR\ Reduced-Bit-Rate}$				260	ps	
$f_{RX-TRACKING-BW\_HBR3}$	Jitter Closed-Loop Tracking Bandwidth	15			MHz	Minimum CDR closed-loop tracking bandwidth at the receiver when the input is an ANSI 8b/10b pattern, such as a TPS4.
$f_{RX-TRACKING-BW\_HBR2}$		10			MHz	
$f_{RX-TRACKING-BW\_HBR}$		10			MHz	
$f_{RX-TRACKING-BW\_RBR}$		5.4			MHz	

表3-20: DisplayPort Main-Link接收器TP3_EQ参数

Symbol	Parameter	Min	Nom	Max	Units	Comments
RX TP3_EQ (RX External Connector after Reference Receiver Equalizer – Normative^a)						
$t_{RX-TJ\_TPS4\_HBR3}$	Minimum Receiver EYE Width	0.35			UI	For HBR3. Measured at $1E^{-9}$ BER using TPS4.
$V_{RX-DIFFp\_p\_HBR3}$	RX Differential Peak-to-Peak EYE Voltage	75			mV	
$t_{RX-NonISI\_TPS4\_HBR3}$	Minimum Receiver Non-ISI Jitter	0.56			UI	For HBR3. Measured at $1E^{-9}$ BER.
$t_{TX-RJ\_TPS4\_HBR3}$	Random Jitter Contribution from TX	0.16			UI	For HBR3 without cross talk. Measured at $1E^{-9}$ BER.
$t_{RX-TJ\_CP2520\_HBR2}$	Minimum Receiver EYE Width	0.38			UI	For HBR2. Measured at $1E^{-9}$ BER using the CP2520 PHY Layer Compliance EYE pattern.
$V_{RX-DIFFp\_p\_HBR2}$	RX Differential Peak-to-Peak EYE Voltage	70			mV	
$t_{RX-DIFFp\_p\_RANGE\_HBR2\_HBR3}$	RX Differential Peak-to-Peak EYE Voltage Measurement Range	0.375		0.625	UI	For HBR2 and HBR3. Uses 0.5 CDF of the jitter distribution as the 0UI reference point. RX Differential Peak-to-Peak EYE Voltage requirement can be met anywhere within this UI range.

- a. In this Standard, a test mode option is added to enable the continuous transmission of an 80-bit pattern by the AUX CH block of a DPRX as controlled by the TEST_80BIT_CUSTOM_PATTERN register (DPCD Addresses 00250h through 0025Bh). The purpose of this test mode is to enable further impairment of the incoming stressed EYE with the continuous presence of a near end crosstalk (NEXT) aggressor. The AUX CH signal differential voltage swing is a downstream device implementation-specific choice. The lower the voltage swing set by the downstream device, the lower the effect of NEXT aggression to the incoming Main-Link signal. The only requirement is that the AUX CH differential voltage swing at the transmitting-end connector pins (which are UFP connector pins) must be greater than or equal to 290mV_{diff_pp}.

3.5.2.1 交流耦合

DP链路的每个车道都必须耦合。表3-15指定了电容的最小值和最大值。在DPTX上指定了包含AC耦合电容器的要求。

3.5.2.2 终止

应注意将未用车道的排放和串扰最小化。建议将未使用的车道停放在依赖于实现的固定电压上，并启用任何主动终止。

3.5.2.6链路时钟的倾斜

下游设备必须支持链路时钟的下降。根据上游设备为Downspread_ctrl寄存器（DPCD地址00107H），必须禁用下开发的振幅（0.0%）或最高0.5%。调制频率范围必须为30至33kHz。

3.5.2.7 DisplayPort抖动规格

本节介绍了上游和下游设备的抖动预算。对于HBR和RBR，抖动规格合规性是在上游设备连接器引脚（TP2）和下游设备连接器引脚（TP3）上测量的。对于HBR3和HBR2，在参考接收器均衡器（TP3_EQ）之后，在下游设备连接器引脚处测量抖动规范的依从性，如第3.5.2.9节所示。

发射器和接收器集成电路套件的抖动规格是有益的。

3.5.2.7.1 接收器抖动的公差

用于接收器合规性测试的DP光谱抖动必须符合本节中所述的要求。

3.5.2.7.1.1 HBR3接收器抖动公差

在第3.5.2.9节中描述的HBR2参考均衡器应用后，HBR3抖动公差方程适用，并且响应不超过图3-35中所示的响应曲线。

使用以下方程计算HBR3抖动公差：

$$\begin{aligned} s(f) &= 2 \cdot \pi \cdot f \cdot j \quad \zeta = 1 \quad BW = 2 \cdot \pi \cdot 1.5 \cdot 10^7 \\ \omega_n &= \frac{BW}{\sqrt{1 + 2\zeta^2} + \sqrt{(1 + 2\zeta^2)^2 + 1}} \\ JTF(f) &= \frac{s(f)^2}{s(f)^2 + 2 \cdot s(f) \cdot \zeta \cdot \omega_n + \omega_n^2} \\ JTHBR2(f) &= \frac{SJ_{SWEEP}}{|JTF(f)|} + SJ_{FIXED} + ISI + RJ \\ SJ_{SWEEP}(f) &= \frac{SJ_{SWEEP}}{|JTF(f)|} \end{aligned}$$

其中（推荐）：sjweep = 0.1Ui，sjfixed = 0.3Ui，isi = 0.09Ui，rj = 0.16Ui

HBR3 TJ分为SJ，ISI和RJ术语。SJ由位于100MHz以上的固定音调SJFIX组成，扫描的音调SJWEEP位于0.1至100MHz之间。该标准不需要SJWEEP，SJFIX，ISI和RJ之间的相对权衡，而是由DP PHY CTS规范中的相应测试确定的。

Note: *The budgeting of the SJ/ISI/RJ terms was determined empirically and is not the result of a rigorous analysis or derivation.*

图3-35提供了用于测试下游设备HBR3（接收器）HBR3处的JTHBR3曲线的示例。

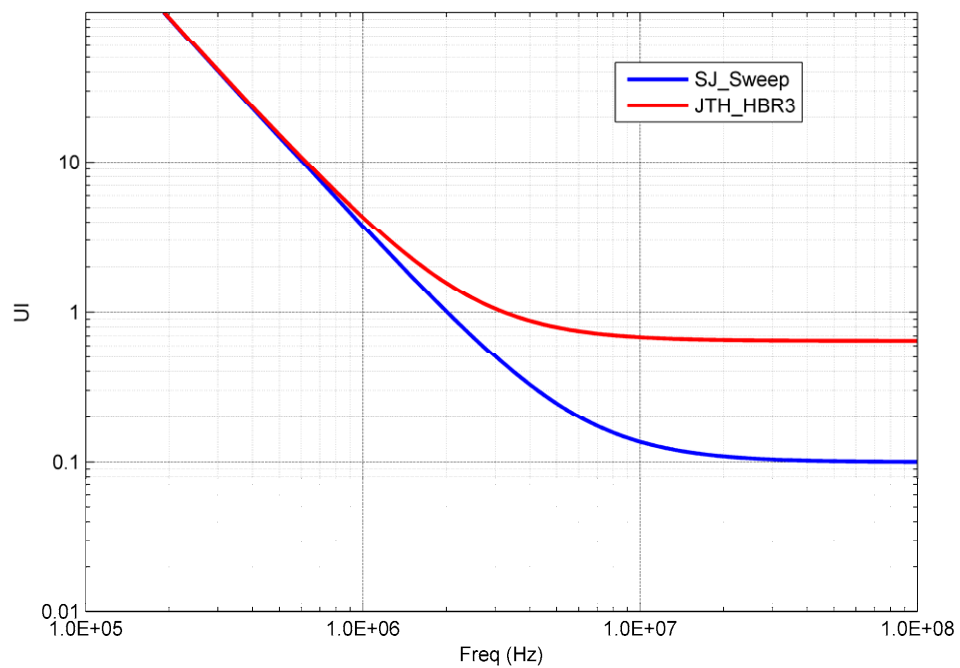


图3-35: HBR3接收器抖动输出/输入公差掩码

3.5.2.7.1.2 HBR2接收器抖动公差

在第3.5.2.9节中描述的HBR2参考均衡器应用后，HBR2抖动公差方程适用，并且响应不超过图3-44中所示的响应曲线。

HBR2抖动公差是使用以下方程计算的：

$$s(f) = 2 \cdot \pi \cdot f \cdot j \quad \zeta = 1 \quad BW = 2 \cdot \pi \cdot 10^7$$

$$\omega_n = \frac{BW}{\sqrt{1 + 2\zeta^2 + \sqrt{(1 + 2\zeta^2)^2 + 1}}}$$

$$JTF(f) = \frac{s(f)^2}{s(f)^2 + 2 \cdot s(f) \cdot \zeta \cdot \omega_n + \omega_n^2}$$

$$JTHBR2(f) = \frac{SJ_{SWEEP}}{|JTF(f)|} + SJ_{FIXED} + ISI + RJ$$

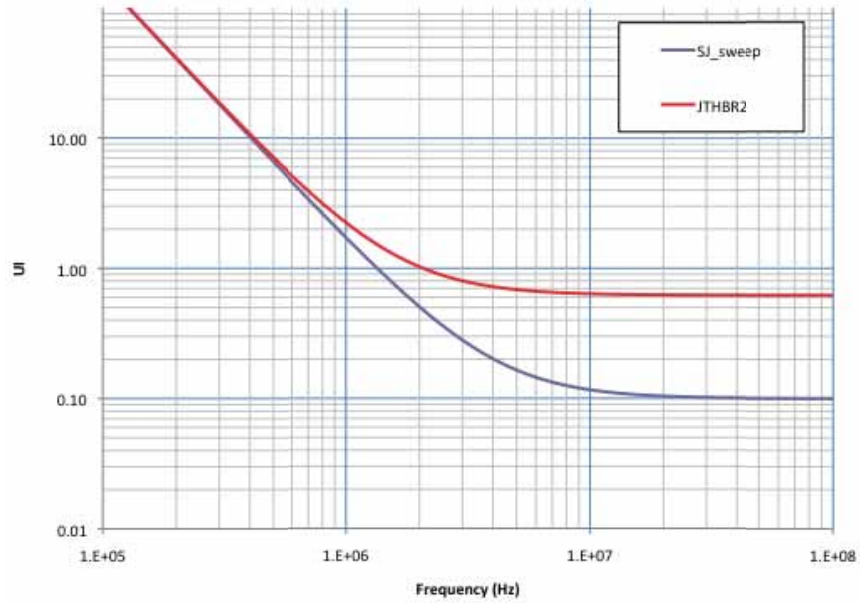
$$SJ_{SWEEP}(f) = \frac{SJ_{SWEEP}}{|JTF(f)|}$$

其中（推荐）： $SJ_{SWEEP} = 0.1UI$ ， $SJ_{FIXED} = 0.1UI$ ， $ISI = 0.22UI$ ， $RJ = 12.3 \cdot 3 \cdot 16.3mUI$ 。

HBR2 TJ分为SJ，ISI和RJ术语。SJ由位于100MHz以上的固定音调SJFIX组成，扫描的音调SJWEEP位于0.1至100MHz之间。SJWEEP，SJFIX，ISI和RJ之间的相对权衡是此标准所需的，而是由DP PHY CTS规范中的相应测试确定的。

Note: *The budgeting of the SJ/ISI/RJ terms was determined empirically and is not the result of a rigorous analysis or derivation.*

图3-36给出了用于测试下游设备HBR2（接收器）HBR2上抖动公差的JTHBR2曲线的示例。



如图3-36: HBR2接收器抖动输出/输入tolerance E面具

3.5.2.7.1.3 HBR接收器抖动公差

在第3.5.2.9节中描述的HBR参考均衡器应用后，HBR面膜适用，并且响应不超过图3-45所示的响应曲线。HBR抖动公差掩模的计算如下：

$$s(f) = 2 \cdot \pi \cdot f \cdot j \quad \tau_z = 1.656 \cdot 10^{-7} \quad \tau_{p2} = 6.596 \cdot 10^{-10} \quad G = 3.421 \cdot 10^{14}$$

$$G_o(f) = \frac{G}{s(f)^2} \cdot \frac{(s(f) \cdot \tau_z + 1)}{(s(f) \cdot \tau_{p2} + 1)} \quad Hs(f) = \frac{G_o(f)}{1 + G_o(f)}$$

$$JTHBR(f) = \left(\left| \frac{0.2}{1 - Hs(f)} \right| - 0.2 \right) + ISI\_HBR + non\_ISI\_HBR$$

其中：ISI_HBR = 0.161, non_ISI_HBR = 0.330

ISI_HBR等于表3-21中指定的（TJ-NON-ISI）。非ISI被分为频率独立的项，该项由non_isi_hbr表示，频率依赖性项的频率下的零值零远大于CDR的闭环带宽（即，频率约为1.35GHz，HBR的频率大）。

Note: Budgeting of the non-ISI was determined empirically and is not the result of a rigorous analysis or derivation.

在HBR上，兼容的下游设备（接收器）抖动公差必须在图3-37中所示的JTHBR曲线上或之上。

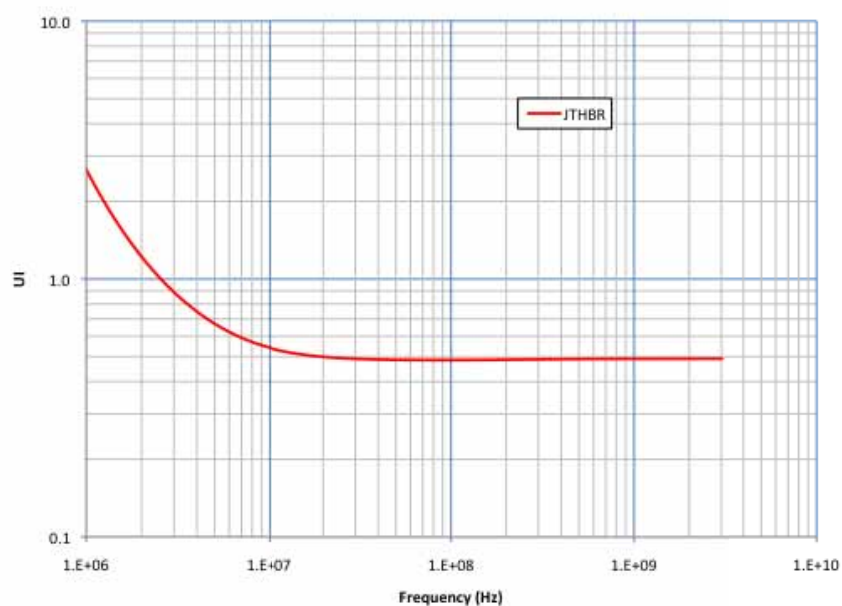


图3-37： HBR抖动输出/输入公差掩码

3.5.2.7.1.4 RBR Receiver Jitter Tolerance

降低的比特率（RBR）抖动公差掩模的计算如下：

$$s(f) = 2 \cdot \pi \cdot f \cdot j \quad \tau_z = 1.656 \cdot 10^{-7} \quad \tau_{p2} = 6.596 \cdot 10^{-10} \quad G = 1.673 \cdot 10^{14}$$

$$G_o(f) = \frac{G}{s(f)^2} \cdot \frac{(s(f) \cdot \tau_z + 1)}{(s(f) \cdot \tau_{p2} + 1)} \quad Hs(f) = \frac{G_o(f)}{1 + G_o(f)}$$

$$JTRBR(f) = \left| \frac{ISI\_RBR + non\_ISI\_RBR}{1 - Hs(f)} \right|$$

其中： $ISI\_RBR = 0.570$, $non\_ISI\_RBR = 0.180$

ISI_RBR等于表3-21中指定的（TJ-NON-ISI）。非ISI分为频率独立的项，该项由non_isi_rbr表示，频率依赖性项在频率下达到零的不变值，远大于CDR的闭环带宽（即频率约为810 MHz，RBR较大）。

Note: *Budgeting of the non-ISI was determined empirically and is not the result of a rigorous analysis or derivation.*

在RBR上，兼容的下游设备（接收器）抖动公差必须在图3-38中所示的JTRBR曲线上。

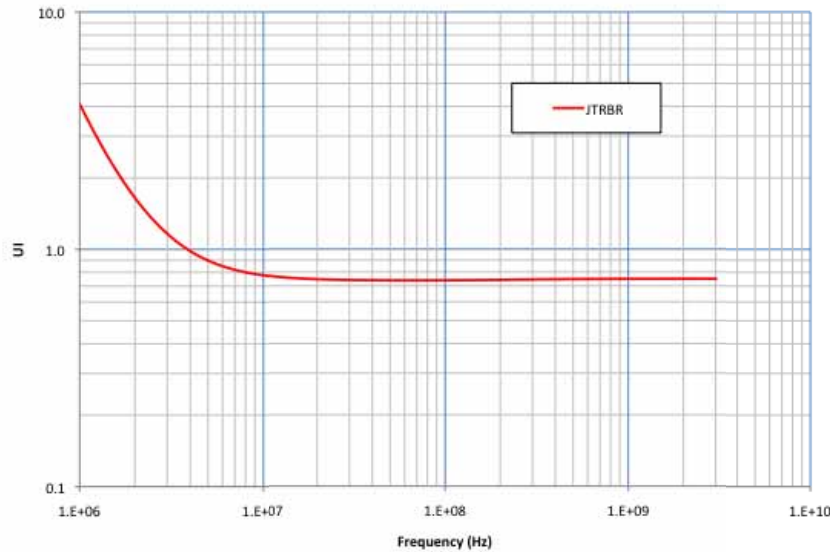


图3-38：RBR抖动输出/输入公差掩模

3.5.2.7.2 差异噪声预算

抖动规格与理想化的参考时钟与数据之间的相位关系有关。导致样本不正确读取的任何相关误差（即先前的比特取样）都会导致一点错误。

这些误差组件已分解为HBR/RBR的ISI和非ISI抖动，并分解为HBR2的DJ和TJ。 TJ（总抖动）是给定BER的数据流的0V差异交叉点中的总峰值峰值相变，定义为：

$$DJ + (RJ * scale\ factor)$$

其中比例因子由BER和数据过渡边缘密度确定。

DP接口抖动特征必须遵守表3-21中的抖动预算分配。

表3-21： 差异噪声预算

	Transmitter Pads (Informative)		Transmitter Connector (TP2) (N/A)		Receiver Connector (TP3_EQ) [Normative]		Receiver Silicon Pads (RX_EQ) (Informative)		Notes
	Non-ISI	TJ	Non-ISI	TJ	Non-ISI	TJ	Non-ISI	TJ	
HBR3 (8.1Gbps/lane)									
A _{p-p}	0.17	0.27	N/A	N/A	0.56	0.65	0.56	0.66	2, 3
	Transmitter Package Pins (Informative)		Transmitter Connector (TP2) (N/A)		Receiver Connector (TP3_EQ) [Normative]		Receiver Silicon Pads (Informative)		Notes
	DJ	TJ	DJ	TJ	DJ	TJ	DJ	TJ	
HBR2 (5.4Gbps/lane)									
A _{p-p}	0.17	0.27	N/A	N/A	0.49	0.62	0.57	0.70	3, 4
	Transmitter Package Pins (Informative)		Transmitter Connector (TP2) [Normative]		Receiver Connector (TP3) [Normative]		Receiver Package Pins (Informative)		Notes
	Non-ISI	TJ	Non-ISI	TJ	Non-ISI	TJ	Non-ISI	TJ	
HBR (2.7Gbps/lane)									
A _{p-p}	0.260	0.294	0.276	0.420	0.330	0.491	0.339	0.530	1, 2, 3
RBR (1.62Gbps/lane)									
A _{p-p}	0.160	0.180	0.170	0.27	0.180	0.750	0.186	0.780	1, 2, 3

表3-21：差分噪声预算（续）

Parameters Applying to All Bit Rates			
f_{SSC} Spread-Spectrum Modulation Frequency	30 to 33kHz		
SSC_{tol} Spread-Spectrum Modulation Deviation	Minimum = -5000ppm Maximum = 0ppm		
f_{tol} TX Frequency Long-term Stability	Minimum = -5300ppm Maximum = +300ppm		

Notes:

- 1 *TP2 jitter budget must be met with the DPTX drive setting set to 800mV_diff_pp of voltage swing and 0dB of pre-emphasis for HBR/RBR.*
- 2 *TP3 jitter budget is used for conducting a DPRX jitter tolerance test. The difference in jitter budget between TP3 and TP2 must not be regarded as the budget for a DP cable connecting an upstream device connector to a downstream device connector. Cable qualification is performed in frequency domain as long as a frequency domain test is applicable. When it is not applicable (e.g., Hybrid devices using an optical cable as interconnect media), TP3 EYE mask may be referenced for the interconnect media qualification. In this case, pre-emphasis of an upstream device may be enabled if needed to meet the TP3 EYE mask specification.*
- 3 *The EYE diagram must be measured with a Compliance Test Load using a signal analyzer whose Link CDR emulation function matches the DPRX Jitter Output/Input Tolerance Mask specifications as shown in Figure 3-35 through Figure 3-38 for HBR3, HBR2, HBR, and RBR, respectively. The EYE diagram must be measured using the TPS4 for HBR3, CP2520 PHY Layer Compliance EYE pattern for HBR2, and PRBS7 for HBR/RBR.*
- 4 *The Transmitter Package Pin informative specs for HBR2 are based on a D10.2 pattern.*

3.5.2.8 差分电压/计时（眼）图

眼图用于测量上游设备的合规性，并校准应力信号，以进行下游设备的抖动公差测试。

3.5.2.8.1 HBR3/HBR2眼图

HBR3和HBR2眼图掩码是用可变的眼晴高度放置定义的。眼睛高度在位于眼中心的0.25UI窗口内的最佳位置测量，0.375至0.625UI。上游设备可以选择任何支撑的电压和较高的级别组合，以达到符合以下蒙版限制的眼睛：

1眼图宽度均在沿0MV的任何传递位置建立。2眼图高度（在0MV附近的对称）位于0.375至0.625UI之间的任何传递位置。

Note: *0.5 of the jitter histogram CDF is used as the 0UI reference point.*

在步骤1和2中建立的眼图宽度/高度顶点周围形成的3周长，以检查是否违规。必要时重复4个步骤1到4，直到找到传递配置为止。

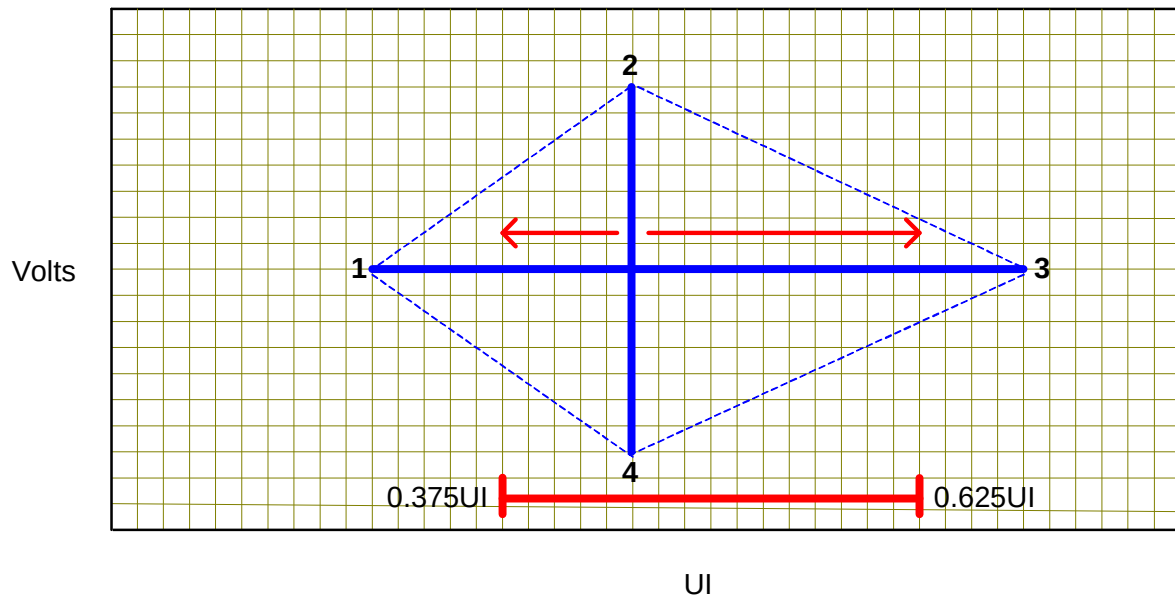


图3-39: hbr3/hbr2眼罩在tp3_eq处

表3-22: tp3_eq的HBR3下游和上游设备蒙版顶点

Point	Time (UI)	Voltage (V)
1	Any UI location (x), where the EYE width is open from x to x + 0.35UI	0.0000
2	Any Passing UI location between 0.375 and 0.625UI	0.0375
3	Point 1 + 0.35UI	0.0000
4	Same as Point 2	-0.0375

表3-23: hbr2上游设备眼掩模在tp3_eq处

Point	Time (UI)	Voltage (V)
1	Any UI location (x), where the EYE width is open from x to x + 0.38UI	0.000
2	Any Passing UI location between 0.375 and 0.625UI	0.045
3	Point 1 + 0.38UI	0.000
4	Same as Point 2	-0.045

表3-24: HBR2下游设备眼掩模在TP3_EQ处

Point	Time (UI)	Voltage (V)
1	Any UI location (x), where the EYE width is open from x to x + 0.38UI	0.000
2	Any Passing UI location between 0.375 and 0.625UI	0.035
3	Point 1 + 0.38UI	0.000
4	Same as Point 2	-0.035

测量眼睛必须等于或大于适当的眼睛面具。

The EYE diagram must be measured at TP3_EQ for HBR3/HBR2 (with a Compliance Test Load), using a signal analyzer whose Link CDR emulation function meets the requirements specified in Section 3.5.2.5 and matches the DPRX Jitter Output/Input Tolerance Mask specifications in Section 3.5.2.7.1.1 (HBR3) and Section 3.5.2.7.1.2 (HBR2) within ±10% of accuracy.

所有主链路车道都必须在HBR3和HBR2的CP2520上驱动TPS4，并且在每个车道和相邻车道之间偏斜，HBR2均为HBR2。对于HBR3和HBR2，差分电压摆动和重点的至少一种组合必须导致符合TP3_EQ眼罩规范的眼睛。该测量将使用HBR3 CTLE和DEF进行HBR3和HBR2的HBR2 CTLE的上游设备打开测试。除非支持人均设置（可选），否则必须将相同的差分电压摇摆和预先强调用于HBR3或HBR2的所有主链路车道。

那些支持链接时钟向下扩展的上游设备必须产生符合符合性的眼睛，无论有没有启用，都必须有和不进行下调。

此眼膜用于测试下游设备的抖动公差。在通过适当的（TP1-TP3）通道（TP1-TP3）通道和适当的参考均衡器的应用后，必须调整测试模式生成器的HBR3和HBR2的TPS4和HBR2的CP2520时，如第3.5.2.9节所述。

一旦调整了测试模式生成器（或压力信号发生器），则必须将位流发送到下游设备的下游设备连接器引脚（TP3）。使用此输入，下游设备必须实现1E-9或更高的BER。

对于带有永久束缚电缆的下游设备，调整了测试模式发生器，以提供基于Caild E1类型电缆的电气参数的合规性测试电缆模型，以提供等于TP3_EQ眼罩的信号。然后，通过从校准的测试设置中删除合规性测试电缆模型并将其替换为束缚的下游设备，从而测试了永久性束缚的HBR3/HBR2下游设备。

3.5.2.8.2

HBR/RBR眼图

HBR/RBR使用预定义的多边形进行眼图。图3-40中的多边形表示HBR和RBR的上游设备连接器引脚（TP2）处的上游设备蒙版。表3-25和表3-26包含用于HBR和RBR上游设备掩码的顶点的值。

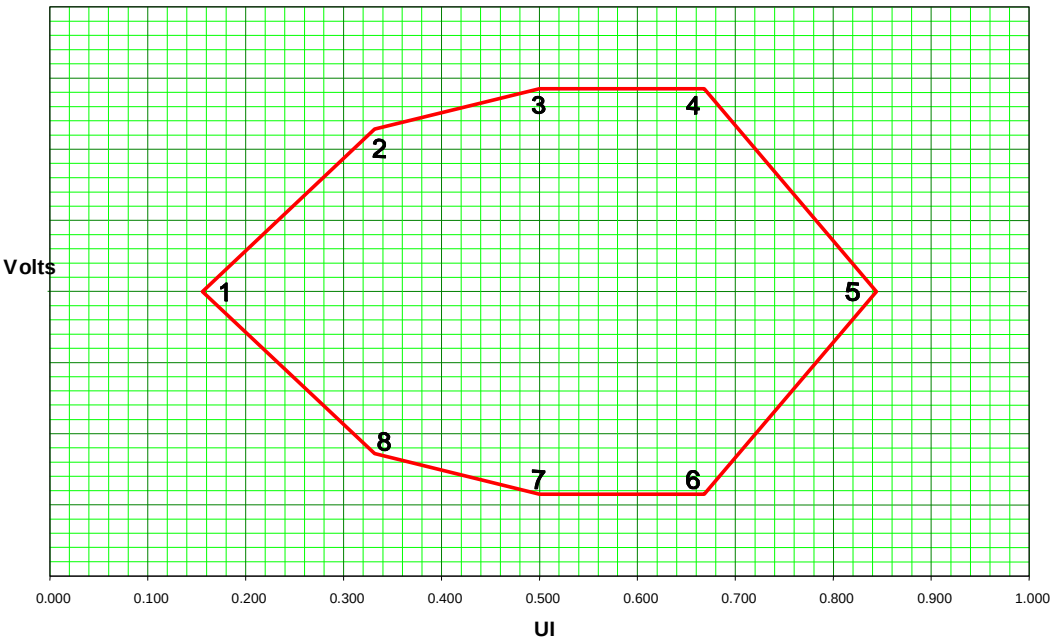


图3-40：上游设备连接器销的眼罩

表3-25: HBR的上游设备蒙版顶点

Point	Time (UI)	Voltage (V)
1	0.210	0.000
2	0.355	0.140
3	0.500	0.175
4	0.645	0.175
5	0.790	0.000
6	0.645	-0.175
7	0.500	-0.175
8	0.355	-0.140

表3-26: RBR的上游设备蒙版顶点

Point	Time (UI)	Voltage (V)
1	0.127	0.000
2	0.291	0.160
3	0.500	0.200
4	0.709	0.200
5	0.873	0.000
6	0.709	-0.200
7	0.500	-0.200
8	0.291	-0.160

测得的眼睛必须等于或大于适当的眼膜。

必须使用信号分析仪在HBR/RBR的TP2处测量眼图，该信号分析器的链接CDR仿真函数符合第3.5.2.5节中指定的要求，并匹配DPRX抖动输出/输入公差遮罩规范3.5.2.7.1.1.3 (hbr) 和3.5.2.7.2.7.2.7.1.4.4 (rbr)，in 3.5.2.7.1.3 (hbr) 内部{5.2.7.1.4 (rbr) 内部 $\pm 10\%$ } 10%的精度。

所有主链路车道都必须打开并驱动HBR/RBR的PRBS7测试模式，并在每个车道和相邻车道之间使用两个符号(20UI) 偏斜。必须将差分电压摆动设置为2级前重点0级，以满足HBR/RBR的TP2眼膜规范。该测量将使用信号分析仪进行，该信号分析仪嵌入了最差的案例(TP2-TP3) HBR电缆模型，其中插入损耗曲线在第4.1.5.1.1.1节中定义。

那些支持链接时钟向下扩展的上游设备必须产生符合符合性的眼睛，无论有没有启用，都必须有和不进行下调。

图3-41中的多边形表示HBR的TP3_EQ和RBR的TP3上的下游设备的最小入口。

表3-27和表3-28包含用于高比特率和降低比特速率的下游设备蒙版顶点的值。

此眼膜用于测试下游设备的抖动公差。在传输PRB7位流的同时，必须调整测试模式生成器，以实现最小的眼睛，在经过适当的（TP1-TP3）通道和适当的参考均衡器的应用后，如第3.5.2.9节所述。

一旦调整了测试模式生成器（或压力信号发生器），则必须将位流发送到下游设备的下游设备连接器引脚（TP3）。使用此输入，下游设备必须实现1E-9或更高的BER。

对于带有永久束缚电缆的下游设备，必须用输入眼睛符合BER规范，该插头连接器等于RBR的TP2眼罩。对于HBR，调整了测试模式生成器，以提供基于电缆类型E1的电气参数的合规性测试电缆模型后的信号。然后，通过从校准的测试设置中删除合规性测试电缆模型并用束缚的下游设备替换它来测试永久性束缚的HBR下游设备。

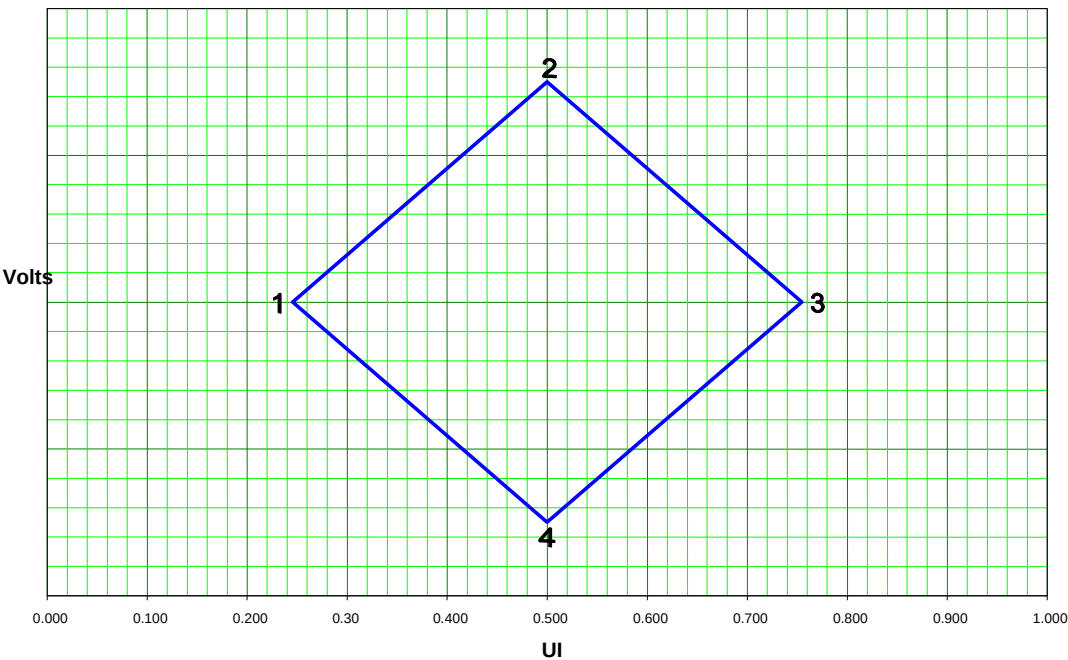


图3-4 1: TP3_EQ（HBR）或TP3的下游设备蒙版（RBR）

表3-27: hbr tp3_eq的下游设备眼顶点

Point	Time (UI)	Voltage (V)
1	0.246	0.000
2	0.500	0.075
3	0.755	0.000
4	0.500	-0.075

能力3-28: TP3 FO的下游设备眼顶点

R rbr

Point	Time (UI)	Voltage (V)
1	0.375	0.000
2	0.500	0.023
3	0.625	0.000
4	0.500	-0.023

3.5.2.9参考均衡器

HBR3, HBR2和HBR眼图是在使用相应的参考均衡器使用响应曲线的相应参考均衡器后定义的。参考接收器均衡器的主要功能是睁开眼睛以进行合规测量, 并且不能定义下游设备接收器均衡器实现。实现接收器均衡的下游设备与参考接收器均衡器相似, 不能保证通过下游设备合规性测试。

Note: *The application of an equalizer with a response curve at the receiver may degrade the receive EYE in some configurations. It is recommended that an equalizer be designed to adapt to the received signal during link training with a maximum response granularity of 2dB at data rate frequencies.*

3.5.2.9.1 HBR3参考均衡器

HBR3参考接收器均衡器被建模为一阶Ctle, 并用一击决策反馈均衡器 (DFE) 建模。

参考接收器均衡器的主要功能是睁开眼睛以进行合规测量, 并且不能定义下游设备接收器均衡器实现。 实现接收器均衡的下游设备与参考接收器均衡器相似, 不能保证通过下游设备合规性测试。

HBR3 CTLE参考均衡器传递函数由以下方式给出：

$$H(s) = \frac{\omega p1 \omega p2}{\omega z} \cdot \frac{s + \omega z}{(s + \omega p1)(s + \omega p2)}$$

它具有以下幅度：

$$|H(j\omega)| = \frac{\omega p1 \omega p2}{\omega} \cdot \frac{\sqrt{\omega^2 + \omega z^2}}{\sqrt{\omega^2 + \omega p1^2} \cdot \sqrt{\omega^2 + \omega p2^2}}$$

在哪里：

$$\omega z = 2\pi(0.505 \times 10^9)$$

$$\omega p1 = 2\pi(3.033 \times 10^9)$$

$$\omega p2 = 2\pi(6.000 \times 10^9)$$

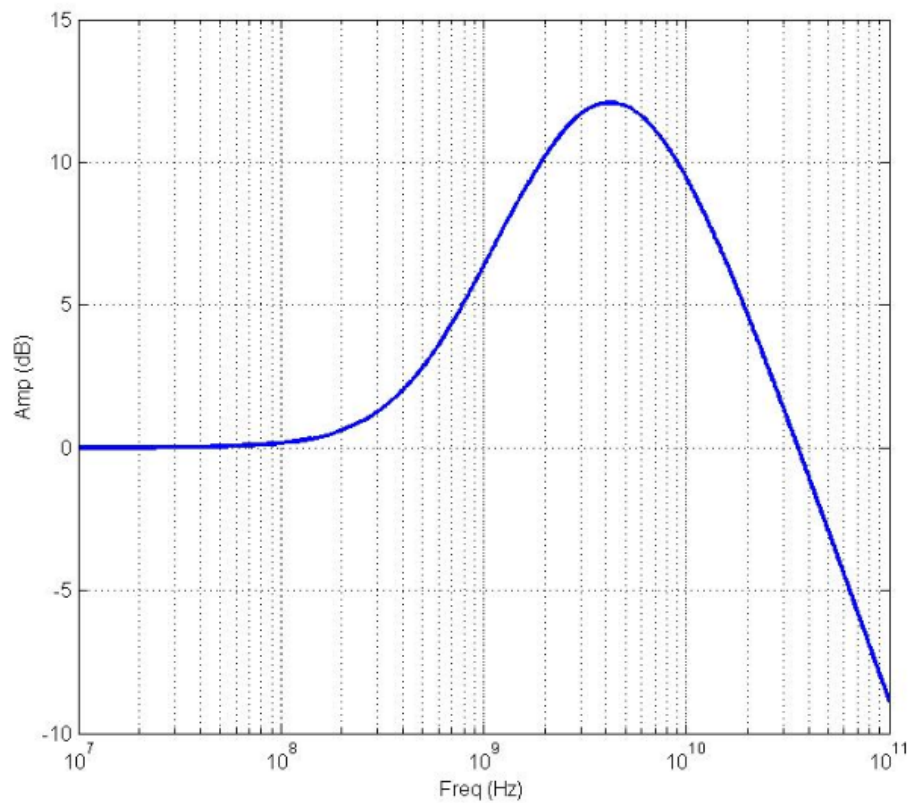


图3-42： 参考HBR3接收器均衡器传递函数

3.5.2.9.2 HBR3参考DFE

HBR3参考均衡器包括一个ctle，该ctle用一击自适应DFE级联，反馈系数限于< 50mv。DFE行为如下所述。

$$y_k = x_k - d_1 \operatorname{sgn}(y_{k-1})$$

在哪里：

y_k is the DFE differential output voltage

y_k^* is the decision function output voltage

x_k is the differential input voltage after CTLE

d_1 is the feedback coefficient

k is the UI sample

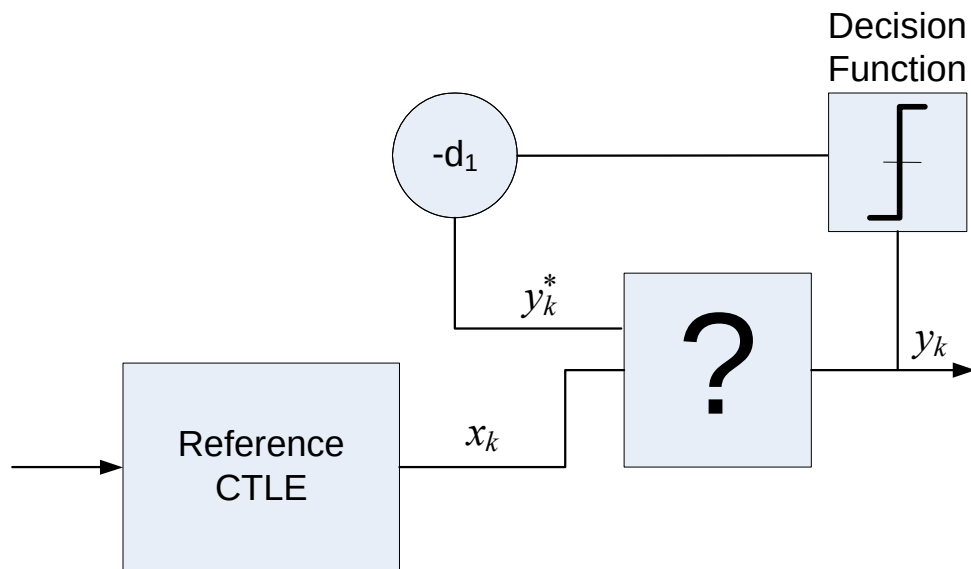


图3-43：参考HBR3接收器均衡器DFE

3.5.2.9.3

HBR2参考均衡器

如图3-44所示，将HBR2参考接收器均衡器建模为在640MHz时为640MHz的Ctle，在2.7GHz、4.5GHz和13.5GHz时建模为0。

参考接收器均衡器的主要功能是睁开眼睛以进行合规测量，并且不能定义下游设备接收器均衡器实现。实现接收器均衡的下游设备与参考接收器均衡器相似，不能保证通过下游设备合规性测试。

HBR2参考均衡器传递函数由：

$$H(s) = \frac{\omega_{p1}\omega_{p2}\omega_{p3}}{\omega_z} \cdot \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})(s + \omega_{p3})}$$

它具有以下幅度：

$$|H(j\omega)| = \frac{\omega_{p1}\omega_{p2}\omega_{p3}}{\omega_z} \cdot \frac{\sqrt{\omega^2 + \omega_z^2}}{\sqrt{\omega^2 + \omega_{p1}^2} \cdot \sqrt{\omega^2 + \omega_{p2}^2} \cdot \sqrt{\omega^2 + \omega_{p3}^2}}$$

在哪里：

$$\omega_z = 2\pi (0.64 \times 10^9) \text{ for upstream device compliance}$$

and

$$\omega_{p1} = 2\pi (2.7 \times 10^9)$$

$$\omega_{p2} = 2\pi (4.5 \times 10^9)$$

$$\omega_{p3} = 2\pi (13.5 \times 10^9)$$

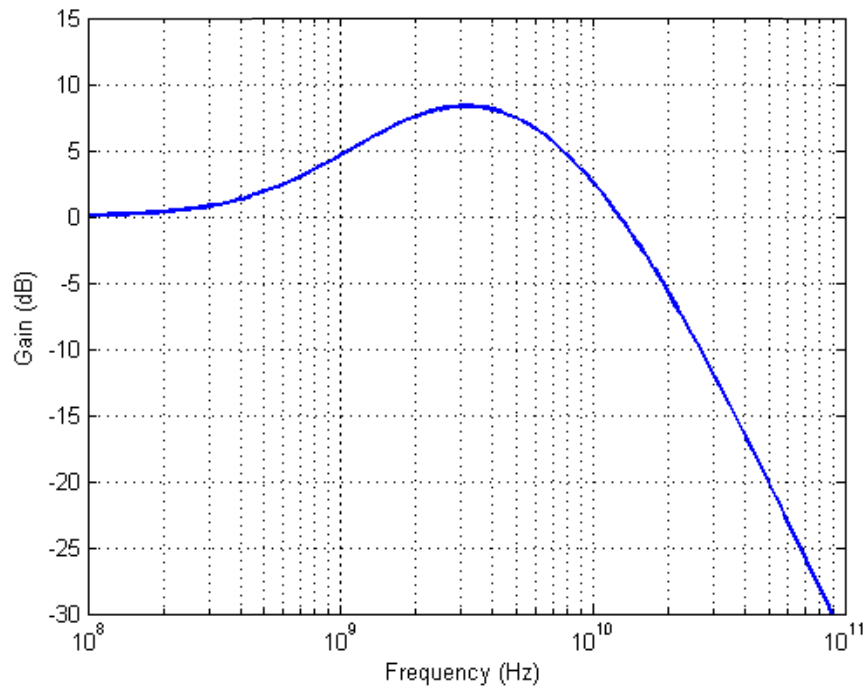


图3-44：参考HBR2接收器均衡器传递函数

3.5.2.9.4 HBR参考均衡器

HBR参考接收器均衡器被建模为连续时间线性均衡器（CTLE），在725MHz处为0，在1.35GHz和2.5GHz时进行了杆子，如图3-45所示。

HBR参考均衡器传递函数由以下方式给出：

$$H(s) = \frac{\omega_{p1}\omega_{p2}}{\omega_z} \cdot \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})}$$

它具有以下幅度：

$$|H(j\omega)| = \frac{\omega_{p1}\omega_{p2}}{\omega_z} \cdot \frac{\sqrt{\omega^2 + \omega_z^2}}{\sqrt{\omega^2 + \omega_{p1}^2} \cdot \sqrt{\omega^2 + \omega_{p2}^2}}$$

在哪里：

$$\omega_z = 2\pi(0.725 \times 10^9)$$

$$\omega_{p1} = 2\pi(1.35 \times 10^9)$$

$$\omega_{p2} = 2\pi(2.5 \times 10^9)$$

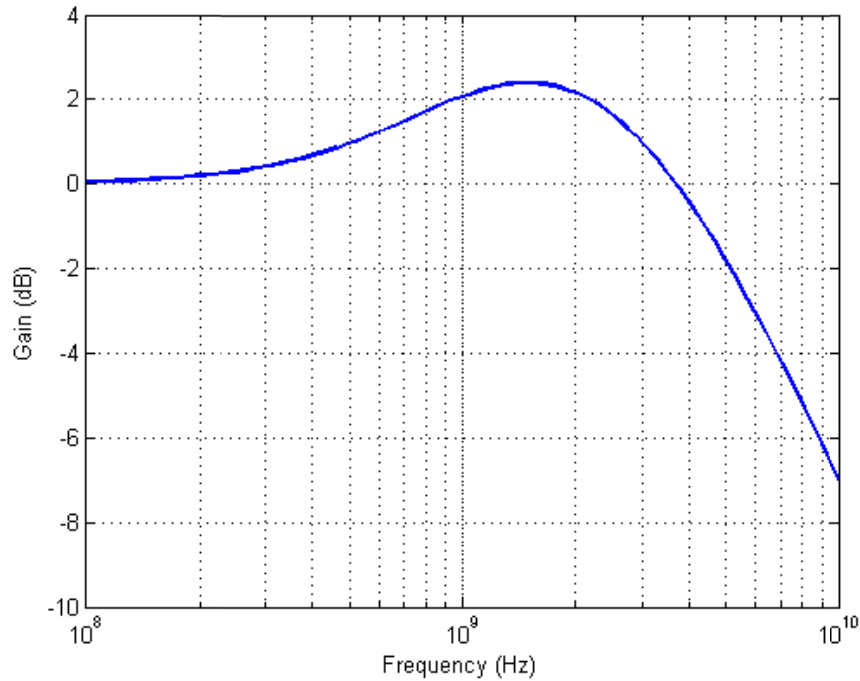


图3-45：参考HBR接收器均衡器传递函数

3.5.2.9.5

增强的HBR参考均衡器

Hbr (= 1.35GHz) 在Nyquist频率下的HBR电缆规范的插入损失约为HBR2 (= 2.7GHz) 的插入率。鉴于此，拥有HBR参考ctle是一种逻辑上的意义，其峰值增益为1.35GHz为6dB，约为2.7GHz时HBR2 Ctle Peak增益的70%，而不是3.5.2.9.4节中定义的2.4dB。本节定义了与HBR2成正比的增强的HBR参考文献。

对于新的DPRX设计，强烈建议使用增强的HBR参考ctle，因为预计增强的HBR参考ctle将在未来的PHY CTS修订中使用。

增强的HBR参考均衡器传递函数由：

$$H(s) = \frac{\omega_{p1}\omega_{p2}}{\omega_z} \times \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})}$$

它具有以下幅度：

$$|H(j\omega)| = \frac{\omega_{p1}\omega_{p2}}{\omega} \times \frac{\sqrt{\omega^2 + \omega_z^2}}{\sqrt{\omega^2 + \omega_{p1}^2} \sqrt{\omega^2 + \omega_{p2}^2}}$$

在哪里：

- $\omega_z = 2 \pi (0.38 \times 10^9)$
- $\omega_{p1} = 2 \pi (1.15 \times 10^9)$
- $\omega_{p2} = 2 \pi (2.0 \times 10^9)$

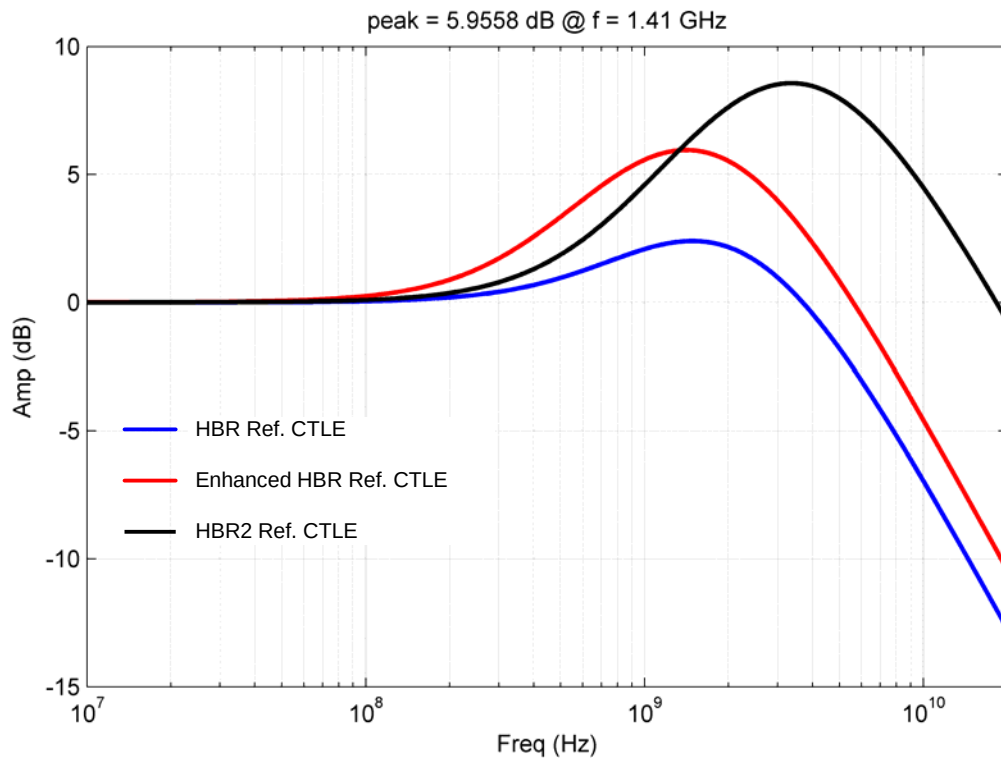


图3-46: 增强 ED HBR参考相对于HBR和HBR2 参考文献

3.5.2.10 嵌入式连接（信息性）

有关适用的电气规格，请参见EDP V1.4第4节。虽然没有必需的正式行业合规性测试EDP连接符合EDP v1.4中所述的电气性能，这有助于确保嵌入式源和水槽设备将互操作。

3.5.3 ESD和EOS保护

相关DP组件的所有信号和功率引脚（发射器IC，接收器IC和相关的I/O电路）必须至少承受JEDEC JESD22-A114-B 2类（2KV人体模型，200V机器模型）罢工。

实现此规范的DisplayPort设备可以将I/O线路摇摆为 $\pm 0.3V$ 单端相对于公共模式偏置参考级别。设计人员必须仔细选择夹紧设备和夹紧轨道电压，以免ESD设备不会引起正常信号的剪辑。

3.6 链接培训可触摸的PHY中继器

支持链接培训（LT） - 可调PHY中继器是DP v1.3的新手。

3.6.1 简介

仅包含DPRX和DPTX的PHY层（即DPRX_PHY和DPTX_PHY）的设备被称为“Phy Repeater”。PHY中继器位于DPTX和DPRX之间，它们都具有链接策略制定者的PHY和链接层块。可以在DPTX和DPRX之间放置多个PHY中继器。

本节定义了相关的术语和编号规则，并描述了DPTX和DPRX之间最多八个LT可调的PHY中继器的发现和调整的手段。

Note: *Non-LT-tunable PHY Repeaters are beyond the scope of this Standard.*

3.6.1.1 两种数据路径类型

有两种数据路径类型：

- 重新放置数据路径
 - 串行bitstream陷入了DPRX_PHY，可选地将其均等，并直接发送到DPTX_PHY进行重新启动，并通过可选的电压摇摆/预先调整调整。
 - 使用Redriver数据路径的PHY中继器被称为“重新介绍”。
- 网状数据路径
 - 串行位流到DPRX_PHY中是可选的，将均等，发送到时钟和数据恢复（CDR）块以进行重新安排，然后发送到DPTX_PHY进行重新启动，并通过可选的电压摇摆/Pre-Propsis调整
 - 带有视网膜数据路径的PHY中继器称为“retimer”（RT）。
 - 正确实现的网状器可以更好地输出比redriver输出更少的抖动串行bitstream。

3.6.1.2 两种功能类型

与数据路径类型的正交，PHY中继器具有两种功能类型：

- LT可调
 - 为DPTX意识到LT可调的PHY中继器提供手段，以调整链接培训（LT）过程中的PHY参数（即接收器EQ和DPTX驱动器设置）。
- 非LT可调
 - 不提供DPTX调整PHY参数的手段。

Note: *The use of Non-LT-tunable PHY Repeaters are beyond the scope of this Standard.*

3.6.1.3两种操作模式

LT可调PHY中继器有两种操作模式：

- 非透明模式
 - PHY中继器回复了从DPTX到DPCD LT可调的Repeater字段的AUX请求交易，同时通过其他AUX请求交易。
- 透明模式
 - 当上游DPTX不知道LT可调的PHY中继器时，它永远不会产生Aux请求交易，从而导致LT可调的Phy Repeater通过所有AUX交易（在某些链接配置登记册上窥探AUX交易）。此操作条件称为“透明模式”。

- 当DPTX向PHY_REPETER_MODE寄存器（DPCD地址F0003H）发出AUX交易时，LT可调的PHY中继器从透明模式到非透明模式过渡到非透明模式。

Note: *A Non-LT tunable PHY Repeater is considered to always be operating in Transparent mode.*

当将多个LT可调的PHY中继器放置在DPTX和DPRX之间时，最接近DPRX的一个被注释为LT可触摸PHY REPETER1，而下一个作为LT可调PHY Repeater2，如图3-47所示，如图3-47所示。

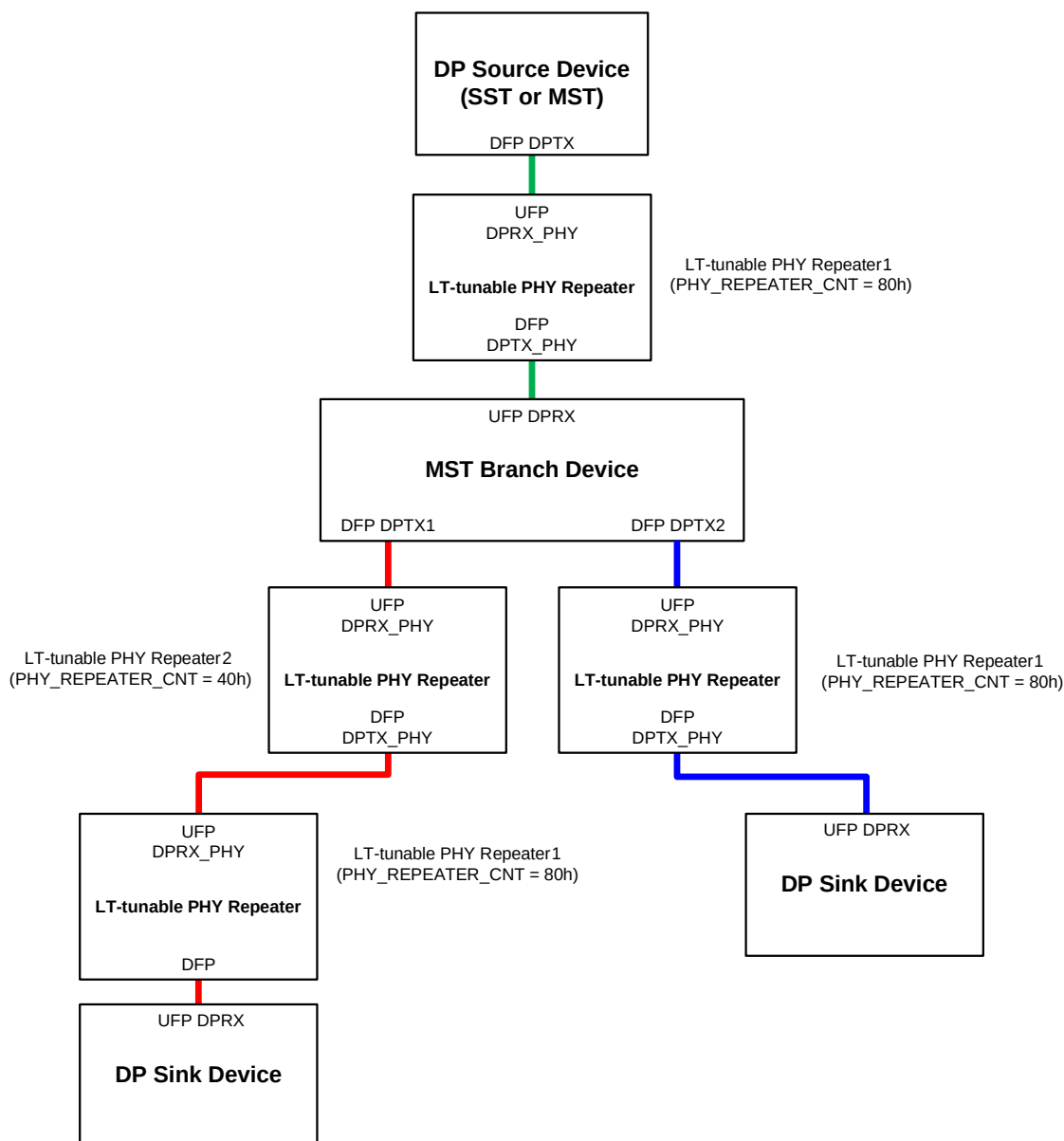


图3-47: DP拓扑示例与LT可调PHY中继器

3.6.2

信号路由要求

如图3-48所示，LT可调的PHY中继器必须具有路线穿过的DP主链路车道，AUX CH和HPD信号线。

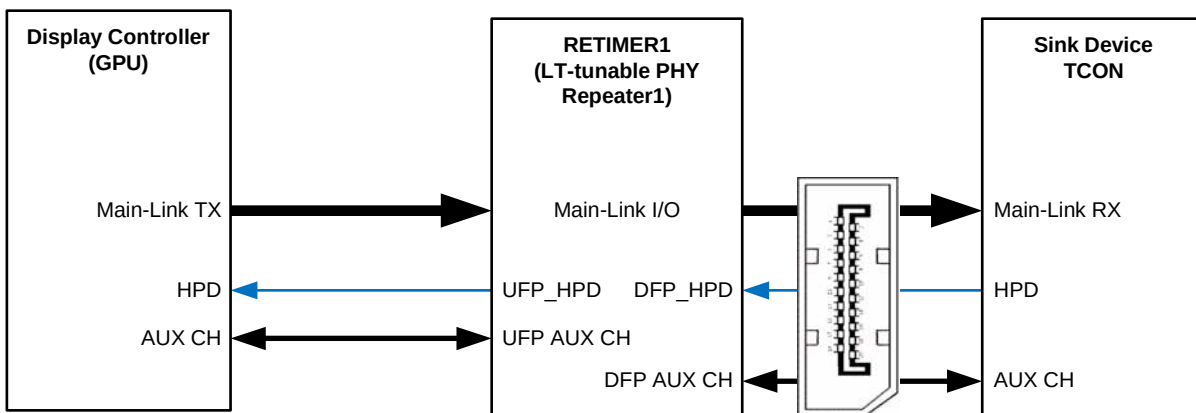


图3-48：信号路由要求

3.6.3 DPCD地址映射，用于LT可调PHY中继器

图3-49说明了DPCD LT可触发的PHY中继器场是如何分区DPTX和DPRX之间的多个中继器的。

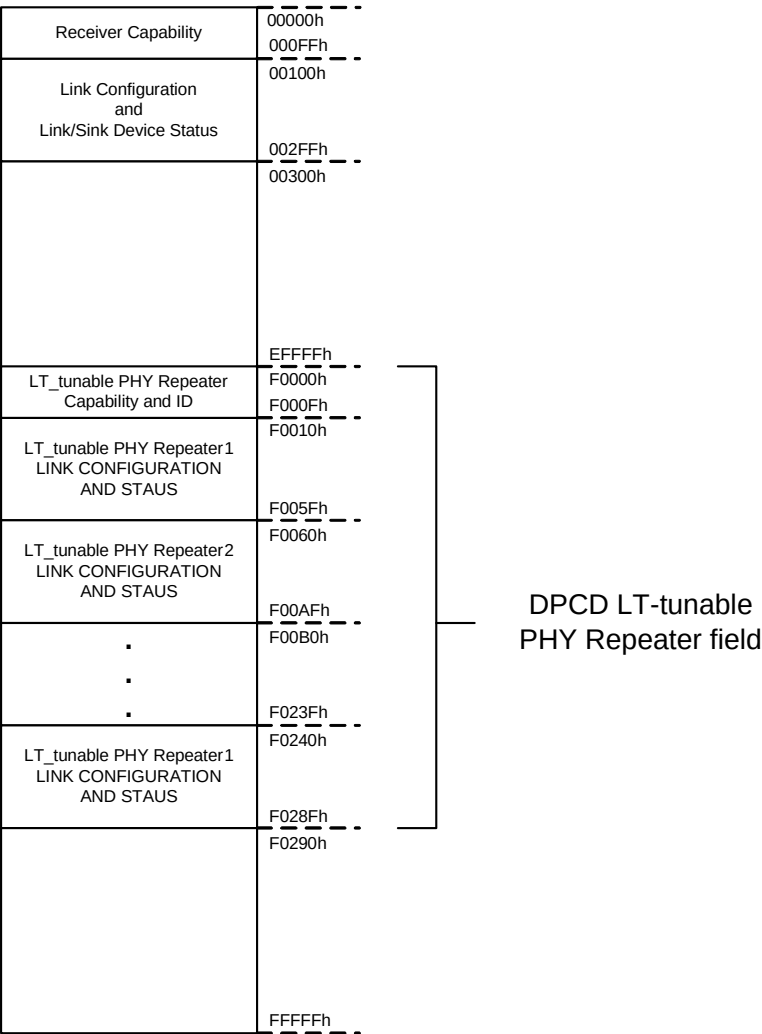


图3-49：DPCD LT可触摸PHY中继器场内的分区

在发现DPTX和DPRX之间的位置后，PHY中继器回复了AUX请求交易，以在LT-Tunable Phy Repeater Field内部到其DPCD地址范围。PHY中继器通过所有其他AUX请求交易，但有一个例外 - LT可调的PHY中继器必须窥探Aux请求交易，向表3-29中列出的那些DPCD地址，并按照表中指定的必要操作。（有关完整的登记描述，请参见表2-156。）

表3-29: DPCD地址LT可调PHY中继器侦探

DPCD Address	Definition	Read/Write over AUX CH
00100h	LINK_BW_SET LT-tunable PHY Repeater both in non-transparent or transparent mode must snoop this field.	Write/Read
00101h	LANE_COUNT_SET LT-tunable PHY Repeater both in non-transparent or transparent mode must snoop this field.	Write/Read
00102h	TRAINING_PATTERN_SET All LT-tunable PHY Repeater must snoop this field (specifically the TRAINING_PATTERN_SELECT field, bits 3:0) to know when link training has ended.	Write/Read
00103h	TRAINING_LANE0_SET LT-tunable PHY Repeaters in Transparent mode must snoop this field and update output levels as specified. RT1 in Non-transparent mode must snoop this field and update output levels as specified.	Write/Read
00104h	TRAINING_LANE1_SET LT-tunable PHY Repeaters in Transparent mode must snoop this field and update output levels as specified. RT1 in Non-transparent mode must snoop this field and update output levels as specified.	Write/Read
00105h	TRAINING_LANE2_SET LT-tunable PHY Repeaters in Transparent mode must snoop this field and update output levels as specified. RT1 in Non-transparent mode must snoop this field and update output levels as specified.	Write/Read
00106h	TRAINING_LANE3_SET LT-tunable PHY Repeaters in Transparent mode must snoop this field and update output levels as specified. RT1 in Non-transparent mode must snoop this field and update output levels as specified.	Write/Read

3.6.4 LT可调PHY中继器DPCD寄存器

仅当DPTX编程phy_repeater_mode寄存器（dpcd地址F0003H）值向AAH时，LT可调的PHY中继器转变为非透明模式。

3.6.4.1 LT可调PHY中继器DPCD功能和ID字段

表3-30列出了DPTX和DPRX之间所有LT可调PHY中继器共享的寄存器。因此，所有LT可调的PHY中继器都必须回复对这些寄存器的AUX阅读请求交易。（有关完整的登记描述，请参见表2-169。）

表3-30：LT可调PHY中继器DPCD功能和ID字段

DPCD Address	Register
F0000h	LT_TUNABLE_PHY_REPEATER_FIELD_DATA_STRUCTURE_REV
F0001h	MAX_LINK_RATE_PHY_REPEATER
F0002h	PHY_REPEATER_CNT
F0003h	PHY_REPEATER_MODE

根据DP v1.3要求，DPRX通过AUX_ACK回复上述AUX请求交易，然后是00h的值。DPRX无法用0响应可能会导致不确定的系统行为。

LT可调的PHY中继器，从其下游设备（即，最接近DPRX的一个）收到所有0个数据的答复，必须用自己的数据替换收到的数据。收到非零数据答复的LT可触发的PHY中继器必须根据每个DPCD寄存器的所需行为更新收到的数据。

3.6.4.2 LT可调PHY中继器DPCD链接配置和状态字段

表3-31列出了所有八个PHY中继器的DPCD LT可调PHY中继器配置和状态字段（PHY REPEATER [8: 1]）。只有与AUX请求地址匹配的中继器必须修改下游设备的回复。（有关完整的登记描述，请参见表2-169。）

表3-31: LT-T 无法PHY中继器DPCD链接配置和S

塔图斯字段 (S)

DPCD Address	Register
F0010h through F005Fh	PHY_REPEATER1 CONFIGURATION AND STATUS FIELD
F0060h through F00AFh	PHY_REPEATER2 CONFIGURATION AND STATUS FIELD
F00B0h through F00FFh	PHY_REPEATER3 CONFIGURATION AND STATUS FIELD
F0100h through F014Fh	PHY_REPEATER4 CONFIGURATION AND STATUS FIELD
F0150h through F019Fh	PHY_REPEATER5 CONFIGURATION AND STATUS FIELD
F01A0h through F01EFh	PHY_REPEATER6 CONFIGURATION AND STATUS FIELD
F01F0h through F023Fh	PHY_REPEATER7 CONFIGURATION AND STATUS FIELD
F0240h through F028Fh	PHY_REPEATER8 CONFIGURATION AND STATUS FIELD

3.6.5 辅助交易处理要求

本节详细介绍了DPTX，DPRX和LT可调PHY中继器的AUX交易处理。DPTX要求仅适用于支持LT可调PHY中继器的DPTX。这些设备必须符合第2.8节中定义的AUX交易处理要求，除非以下小节中另有说明。

3.6.5.1 dptx

DPTX必须按照第2.8节的定义行为，但在以非透明模式设置了LT可调PHY中继器后，AUX回复超时必须为3.2ms而不是400US。DPTX完成发送AUX停止条件后，回复超时的计时器开始滴答作响。如果DPTX的AUX答复超时针对针对LT可触发的PHY中继器的AUX请求到期，则建议DPTX转换从非透明模式到透明模式，通过将55H写入Phy_repeath_mode_mode寄存器（DPCD地址F0003H），通过将55H写入透明模式。

3.6.5.2 dprx

DPRX必须按照第2.8节的定义行为。超时在300US时保持不变。

3.6.5.3 LT可调PHY中继器

LT可调的PHY中继器必须通过其UFP上收到的所有AUX请求交易（读取或写入）到其DFP。LT可调的PHY中继器必须具有以下行为之一，以回复AUX请求交易。

回复AUX阅读请求：

- 如果AUX读取请求没有针对LT可调的PHY中继器，则不会通过通行证。
- 如果AUX读取请求针对的LT可调PHY中继器的DPCD寄存器，则LT-Tunable PHY中继器用自己的DPCD数据代替了DPRX的DPCD数据。

回复AUX写作请求：

- 如果AUX写作请求没有针对LT可调的PHY中继器，请通过未触及的通行证。
- 如果AUX写作请求针对LT可调PHY中继器的DPCD寄存器：
 - 用m = 0用aux_ack更改dprx的aux_nack答复，
 - 用AUX_ACK更改DPRX的AUX_DEFER的答复，然后
 - 通过DPRX的AUX_ACK回复。

LT可调的PHY中继器必须维持本标准中定义的所需数量的预电脉冲和同步脉冲，因为AUX Transactions在上游或下游方向上穿过LT可触发的PHY中继器。

在透明模式下操作时，LT可调的PHY中继器不得对DPTX AUX回复超时产生负面影响，除非AUX请求交易地址LT可触发的PHY PHY REPETER DPCD寄存器空间。例如，根据该标准，DPTX不知道LT可触摸的PHY中继器将DPTX AUX回复超时设置为400US。LT可调的PHY中继器不得以对DPTX AUX回复超时产生负面影响的方式行为。

3.6.5.3.1 AUX错误条件

- 无需回复针对LT可调PHY中继器领域的AUX请求：
 - 这将导致DPTX中的回复超时。如果DPTX决定发出另一个AUX请求，则LT可调的PHY中继器必须丢弃以前的交易并按照新要求采取行动。
- DPRX用非零数据回复了其保留空间的AUX读取请求：
 - 这种不合规的DPRX行为可能导致不确定的系统行为。
- DPRX用AUX_ACK回复了AUX WRITE请求到其保留空间：
 - LT可调PHY中继器必须通过Aux_ack上游。
- 损坏的AUX请求交易：
 - 传递到DFP是特定于实现的。
 - 如果通过，则不得解决腐败的原因。
 - 将在DPTX中导致AUX回复超时。
- aux损坏的答复：
 - 传递到UFP是特定于实现的。
 - 如果通过，则不得解决腐败的原因。
 - 将在DPTX中导致AUX回复超时。

3.6.5.3.2 LT可触摸PHY REPETER AUX UFP（信息性）

DPTX可能会定期发布辅助请求交易。LT可调的PHY中继器的UFP必须不断监视AUX请求交易的地址，以确定请求是否针对LT可触发的PHY中继器。当请求地址与LT可调PHY中继器的地址匹配时，LT可调PHY中继器必须设置内部AUX_PEND标志。AUX_PEND标志必须保持设置，直到LT可调PHY中继器已更新或修改了DPRX的答复，否则在LT可触发的PHY Repeater的UFP上收到了新的AUX请求事务。

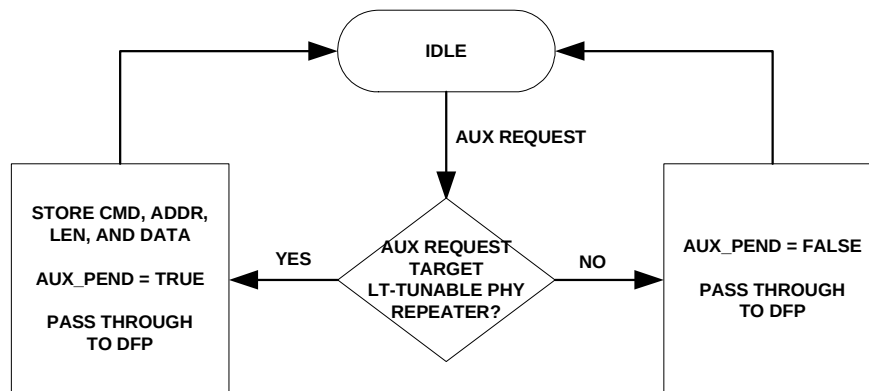


图3-50: LT可调PHY中继器AUX UFP状态机（信息）

3.6.5.3.3 LT可触摸PHY REPETER AUX DFP（信息性）

LT可调的PHY中继器的DFP通常会传递给它UFP的所有AUX答复，即未经触觉。在设置内部AUX_PEND标志的情况下，LT可调的PHY中继器必须等到DPRX回复AUX请求交易。为了回复AUX读取请求，LT可调的PHY中继器必须用自己的DPCD数据替换或修改DPRX数据。为了回复AUX写入请求，LT可调的PHY中继器必须修改AUX回复确认类型（AUX_NACK M = 0或AUX_DEFER）为AUX_ACK。在LT可调PHY中继器的UFP上发送答复后，必须清除内部AUX_PEND标志。

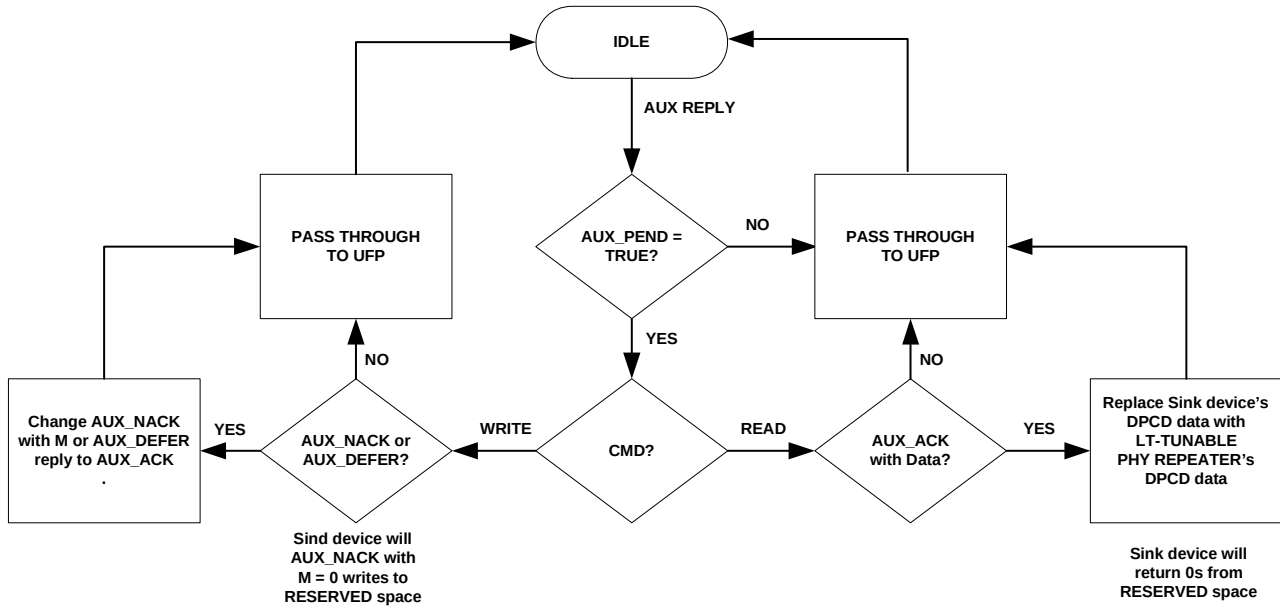


图3-51: LT可调PHY中继器AUX DFP状态机（信息）

3.6.5.3.4 AUX阅读示例

图3-52中描述的示例显示了当AUX读取请求不针对LT可触发的PHY中继器时，LT可调的PHY中继器的行为。在此示例中，DPRX的DPCD数据11H和22H通过LT可调的PHY Repeater传递到DPTX。

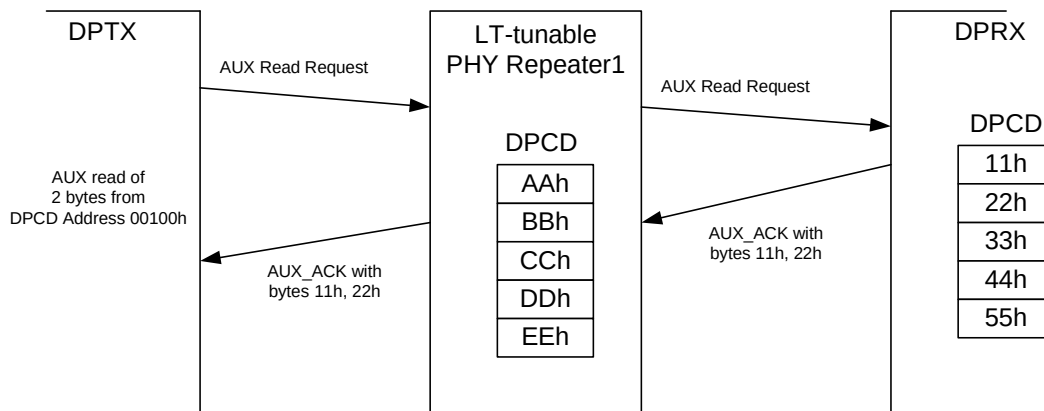


图3-52: 辅助读取，该辅助读取不针对LT可触摸PHY中继器

图3-53中描述的示例显示了LT可调的PHY中继器的行为，当AUX READ请求针对LT可调PHY中继器的DPCD寄存器时。DPRX响应针对其0s保留空间的AUX读取请求。LT可调的PHY中继器使用自己的数据（AAh和BBh）更改DPRX的数据，然后将该数据发送到DPTX。

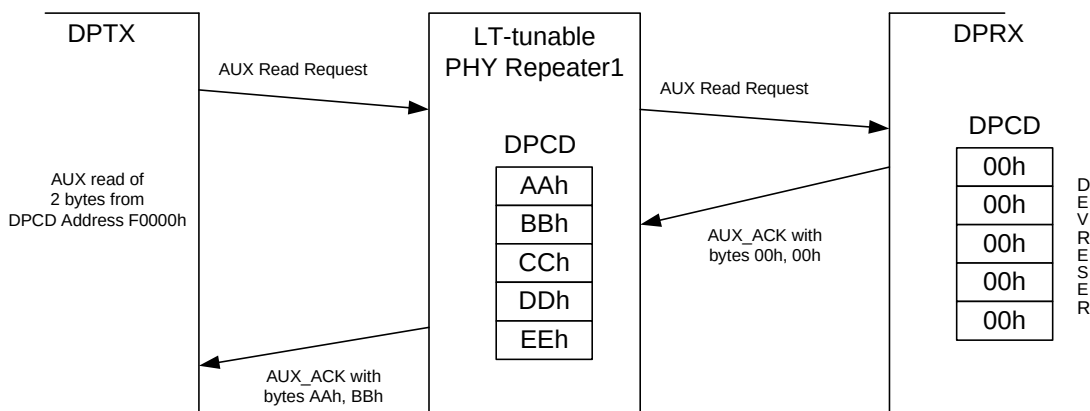


图3-53: AUX阅读仅针对LT可触摸PHY中继器

3.6.5.3.5辅助写作示例

始终通过LT可调的PHY Repeater传递，未触及的AUX写作请求的答复，该请求的答复总是通过，未触及的。在图3-54中，LT可调的PHY中继器将AUX_ACK从DPRX转发到DPTX。

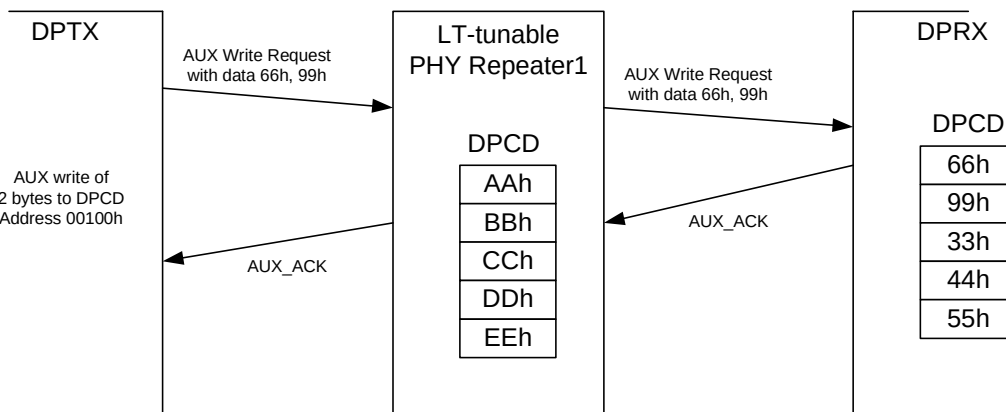


图3-54: 不针对LT可触摸PHY中继器的辅助写作

图3-55中描述的示例显示了针对LT可调PHY中继器的AUX写入请求。由于LT可调PHY中继器的DPCD寄存器保留在DPRX中，因此DPRX将使用AUX_NACK M = 0 -or- AUX_DEFER回复AUX写入请求。LT可调的PHY中继器必须将DPRX的答复更改为AUX_ACK，然后将其发送到DPTX。

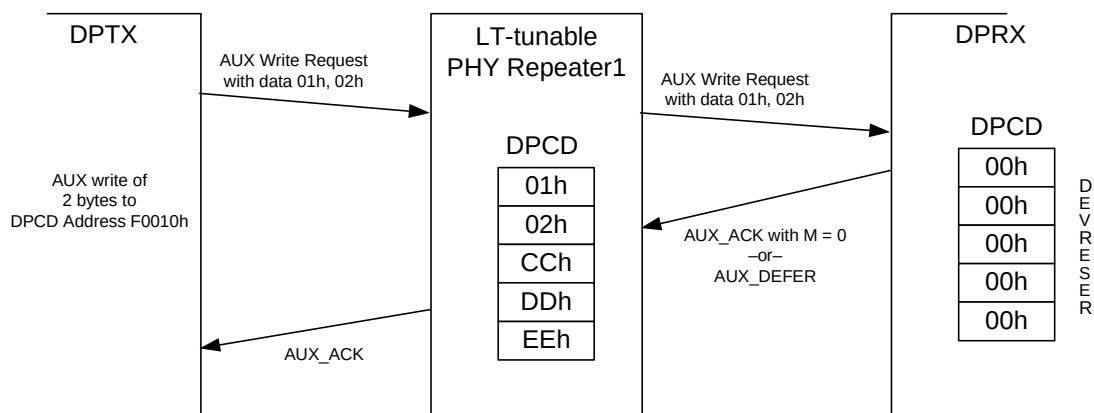


图3-55：辅助写入目标LT可调PHY中继器

3.6.6 Link Training

3.6.6.1 DPTX培训要求

本节介绍了支持LT可调PHY中继器的DPTX的链接培训要求（即，选择将Repeaters放置为非透明模式）。DP上游设备不启用LT可调PHY中继器的非透明模式的DP设备不需要满足本节中指示的要求。

- [illegible]

链接培训完成的LT可调PHY中继器和DPRX已完成。

- LT可调PHY中继器没有设置链接状态/调整请求读取间隔的寄存器（triening_aux_rd_interval字段triench_aux_rd_interval寄存器（DPCD地址0000EH，位，位6: 0））。因此，DPTX必须使用训练_AUX_RD_INTERVAL的主链路时钟恢复阶段为100US，而在与LT可调的PHY Repeater通信时，其主链路通道均衡阶段为400US。此要求不会影响与DPRX的沟通。与DPRX通信时，必须使用DPRX报告的训练_AUX_RD_INTERVAL。

3.6.6.2 LT可触摸PHY中继器培训要求

- LT可调的PHY中继器最多必须支持四个DP主链接车道。尽管可以对LT可触发的PHY中继器进行培训，但必须支持DPRX的最大车道功能。
- LT可调的PHY中继器必须支持第3.5.2节中定义的所有必需的电压摆动和预先强调的组合。
- LT可调的PHY中继器不会创建训练模式。LT可调PHY中继器将把UFP上收到的培训模式传递到其DFP。
- 在LT可调PHY中继器的DFP上收到的IRQ_HPD必须传递给LT可调PHY中继器的UFP。从“在DFP上”到“UFP上的输出”的延迟必须不超过200US。
- LT可调的PHY中继器DFP上的HPD拔出插头活动必须传递给LT可调的PHY中继器的UFP。从“在DFP上”到“UFP上的输出”的延迟必须不超过200US。
- LT可调的PHY中继器的输出必须保持在电气空闲状态，直到在其UFP上实现Lane x _CR_DONE。
- 所有LT可调的PHY中继器都必须Snoop Aux写入DPRX的link_bw_set和Lane_count_Set寄存器（DPCD地址00100H和00101H）。LT可调的PHY中继器必须使用写给这两个DPCD寄存器的信息分别启用指定数量的链接率和车道。
- LT可调的PHY中继器必须根据AUX写入请求调整其输出级别（电压摇摆和预先强调）。（DPCD地址F0002H）其立即下游设备的计数。例如，lt_tunable_phy_repeater3必须基于aux写入lt_tunable_phy_repeater2。
- lt_tunable_phy_repeater1带有PHY_REPETER_CNT寄存器（DPCD地址F0002H）编程为80H的LT_TUNABLE_REPETRED必须调整基于AUX的输出水平（电压摇摆和预先强调）。= 0、1、2或3。
- 当DPRX的triagn_pattern_select字段中的trinding_pattern_set寄存器（DPCD地址00102H，位3：0）从非零到00的trinding_pattern_set寄存器（dpcd地址00102H，位3：0）中，LT可调PHY中继器必须考虑完成链接培训。

3.6.6.3 错误情况

- 在车道 x _CR_DONE阶段发生的错误应遵循图3-20。
- 在EQ阶段发生的误差应遵循图3-21。

3.6.6.4 示例用例

图3-56显示了笔记本电脑和对接站中的LT可调PHY中继器。本节将介绍DPTX（GPU），LT可调phy Repeater1，LT-Tunable Phy Repeater2和DPRX（接收器）行为将在链接培训期间进行。此示例假设DPTX和DPRX均以HBR3（8.1Gbps/Lane）的链接速率为DP V1.3。它还假设DPRX最多支持两个车道。

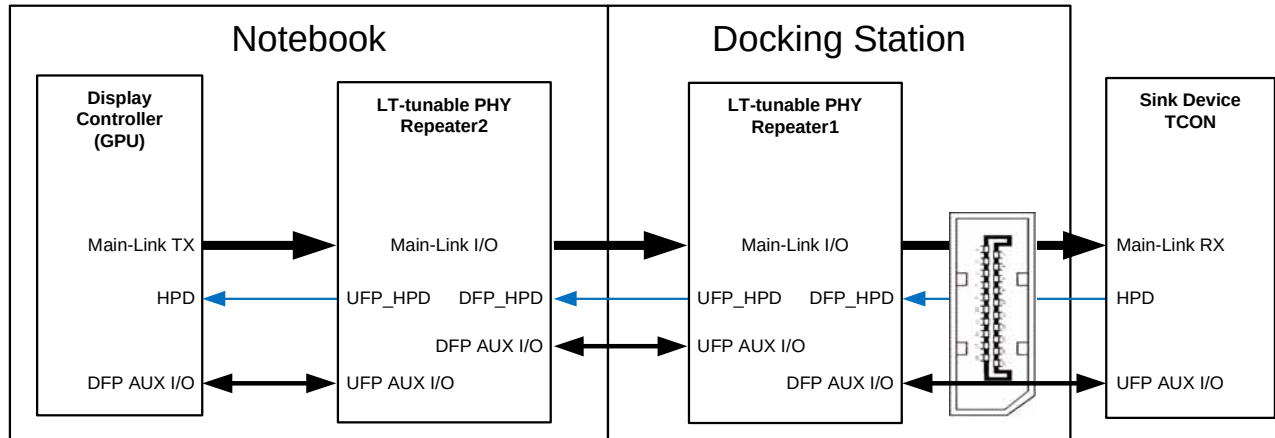


图3-56：笔记本和码头站示例

3.6.6.4.1 LT可调PHY中继器识别

将DPRX插入对接站后，DPRX将在检测到DPTX后主张HPD。LT可调PHY REPETER1将检测HPD在其DFP上的主张，并将HPD主张传递到其UFP。LT可调PHY Repeater2将检测HPD在其DFP上的主张，并将HPD主张传递到其UFP。

在将HPD从DPRX传播到DPTX之后，具有DPTX的DP源设备将通过读取EDID和接收器能力字段读取DP源设备的功能（DPCD地址为00000H至000FFH；请参见DPRX的表2-155）。（EDID未映射到DPCD地址空间。）DP1.3 LT可调PHY REPETER AWARE DPTX也需要阅读LT可启用PHY REPETER FIELD（DPCD地址F0000H到F02FFH；请参见表2-169），以确定是否以及有多少lt-tunable PHY PHY PHY REPETER（S）。此读取必须是本机AUX读取事务的形式为4个字节。

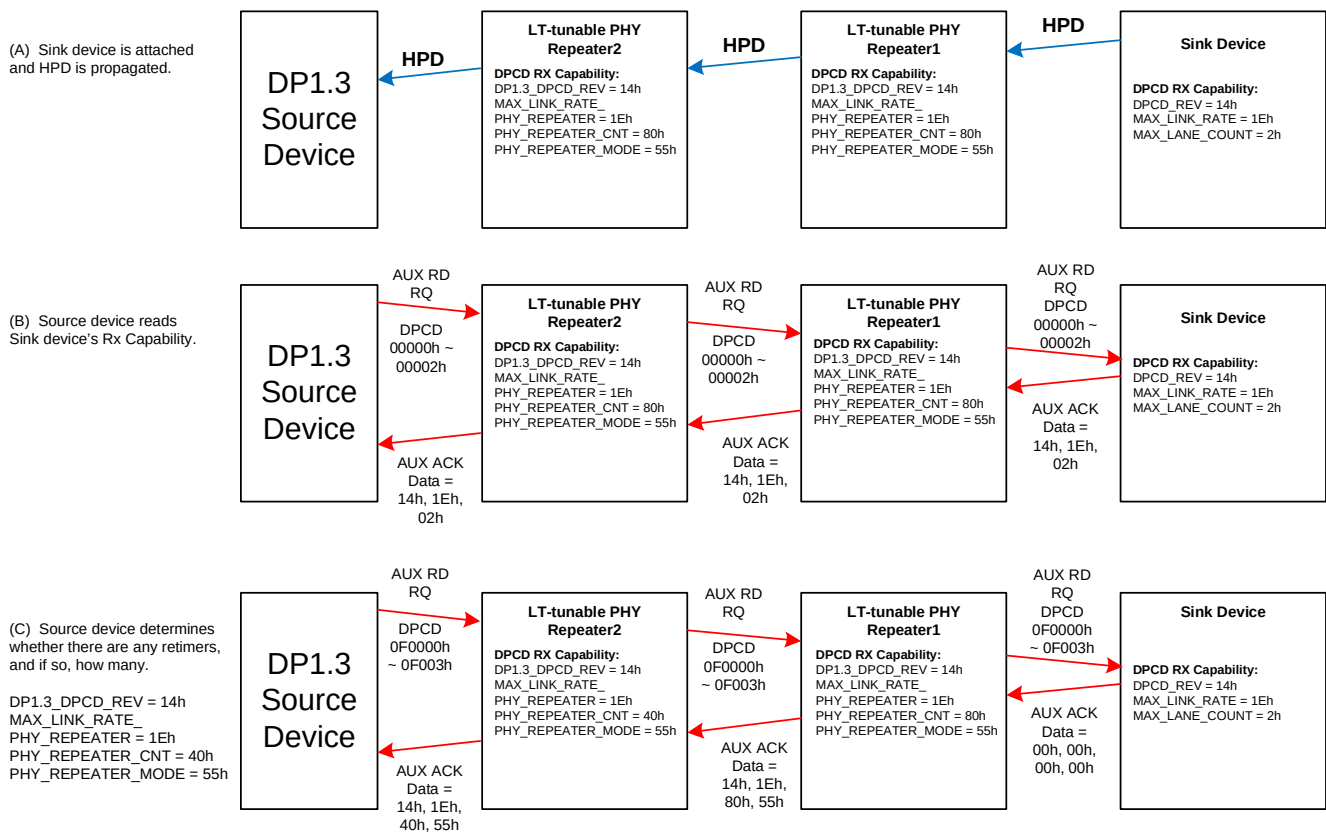


图3-57: LT可调PHY中继器识别

因为phy_repeater_cnt = 40h, dptx知道自身和dprx之间有两个LT可调的PHY中继器。最小的PHY_REPETER_CNT值的LT可调PHY中继器最接近DPTX, 而LT-Tunable Phy Repeater具有最大的PHY_REPETER_CNT值, 距DPTX最远, 但最接近DPRX。

DPTX将使用Max_link_rate_phy_repeater返回的链接率和DPRX的max_link_rate来确定受支持的链接率。然后, DPTX将通过更改PHY_REPETER_MODE DPCD寄存器来启用所有LT-Tunable PHY中继器中的非透明模式。然后, DPTX必须在DPRX的MAX_LINK_RATE和MAX_LANE_COUNT寄存器(即8.1Gbps/Lane)中写入DPRX的link_bw_set和lane_count_set和lane_count_set。

3.6.6.4.2

具有LT可调PHY REPETER2的CR阶段2

DPTX将使用lt-tunable Phy repeater2启动lane x _CR_DONE阶段。 由于所有AUX交易都通过了， 因此LT可调PHY REPETER1还将检测到Lane x _CR_DONE链接阶段的开始。由于DPRX的链路培训登记簿位于100小时范围内， 因此， 水槽设备不知道链接培训已经开始。

DPTX将设置在LT可调的PHY Repeater2中：

- triending_pattern_set_phy_repeater2 = 2H
- triending_lane0_set_phy_repeater2 = 00h（电压秋千级别0和pre-phassis级别0）
- triending_lane1_set_phy_repeater2 = 00h（电压秋千级别为0和pre-eperpoise级别0）。

在图3-58中， LT可调PHY REPETER1通过DPRX的AUX答复未触及， 因为AUX写入请求针对的LT可触发phy repeater2寄存器， 而不是LT可触发的Phy Repeater1寄存器。修改DPRX的答复是LT可调的PHY Repeater2的责任。

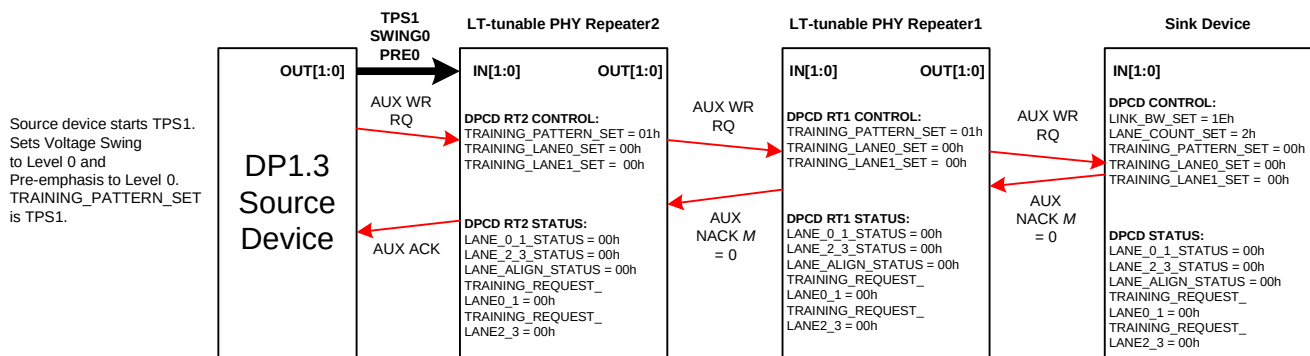


图3-58： LT可调phy repeater2的CR阶段开始

图3-59显示， LT可触发的Phy Repeater2尚未达到Lane x _CR_DONE的车道0或1泳道1， 因此要求从DPTX上改变电压摆动水平和前重点水平。

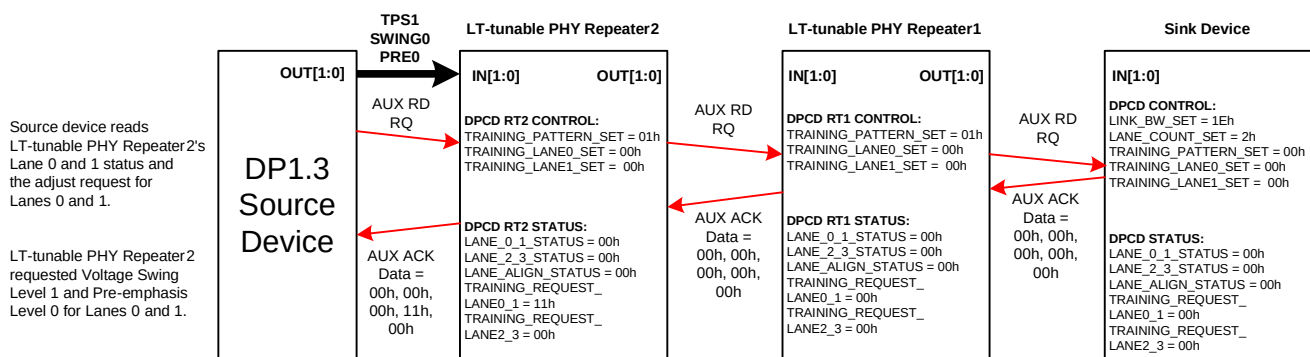


图3-59： LT可调phy repeater2 Lane0和Lane1的阅读状态1

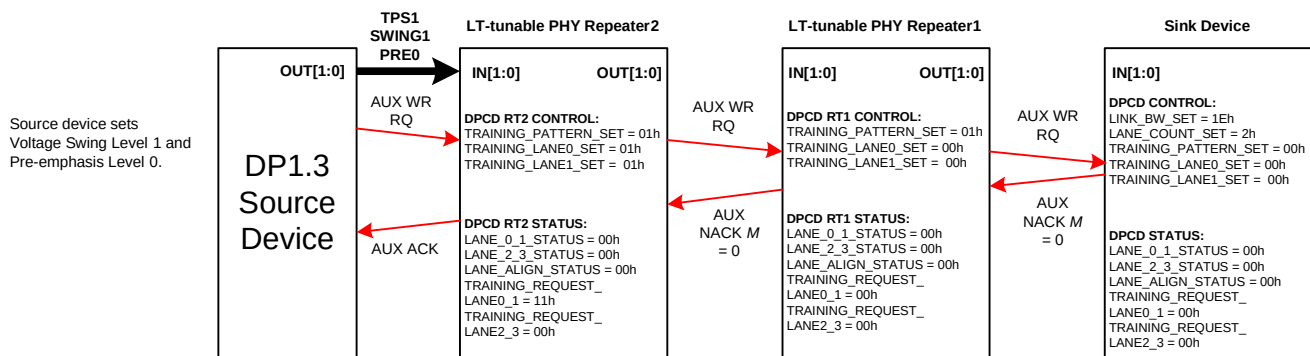


图3-60：DPTX调整输出电压摇摆和重点

图3-61描绘了Lt-tunable Phy Repeater2在车道0和1上实现Lane x _CR_DONE。

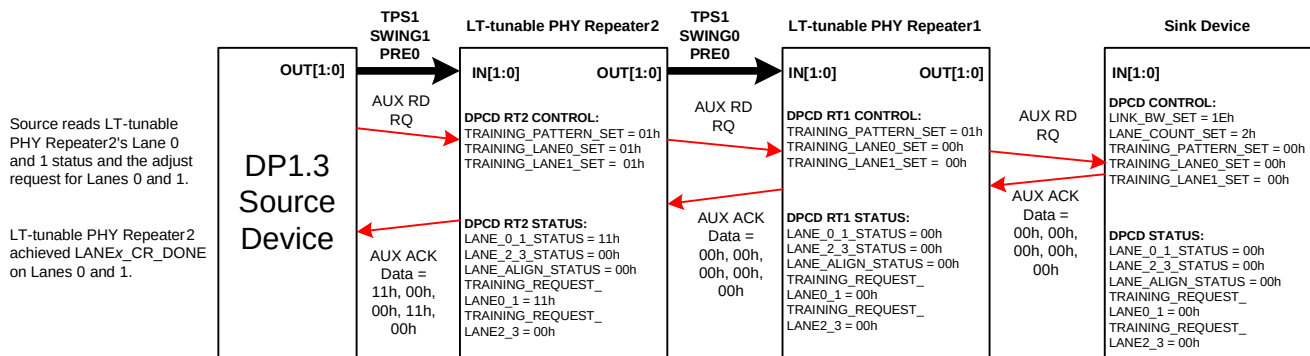


图3-61：LT可调PHY repeater2 lanex_cr_done实现了

3.6.6.4.3 lanex_cr_done阶段与lt-tunable phy repeater1

确认Lane x _cr_done是通过LT-Tunable Phy Repeater2实现的后，DPTX将验证是否使用LT-Tunable Phy Repeater1进行Lane x _CR_DONE。

在图3-62中，未设置LT可调PHY REPETER1 LANE x _CR_DONE状态标志，并且ADPACT_REQ_LANE0_1指示LT可调Phy Repeater1请求Swing Level 2和Pre-emphasis plospoise plosepis call celvel 0。

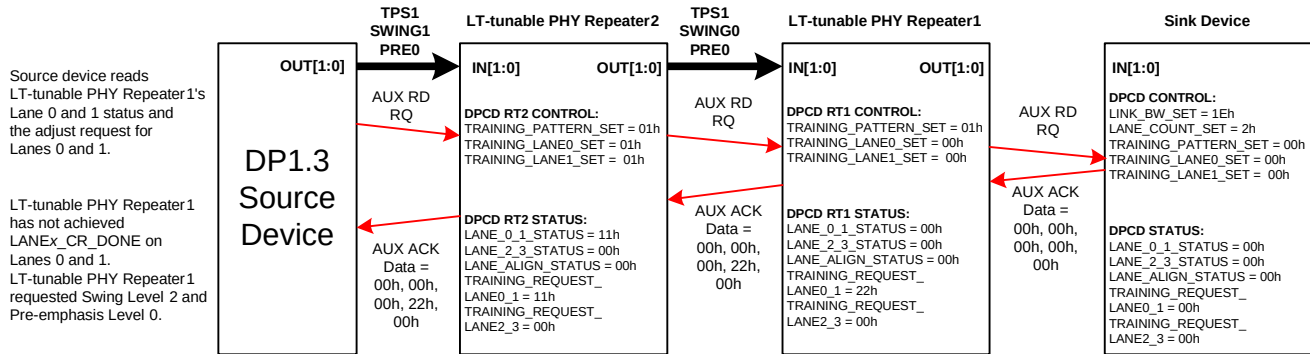


图3-62：确定lt可调phy repeater1的lanex_cr_done状态

DPTX将为LT可调phy repeater1 triender1 triending_lane0_set和triagn_lane0_set寄存器编写Swing Level 2和Pre-phassis 0级别的0级。如图3-63所示。LT可调PHY REPETER2将窥探此写入，并将其输出水平调整为电压旋转级别2和预定级别0。

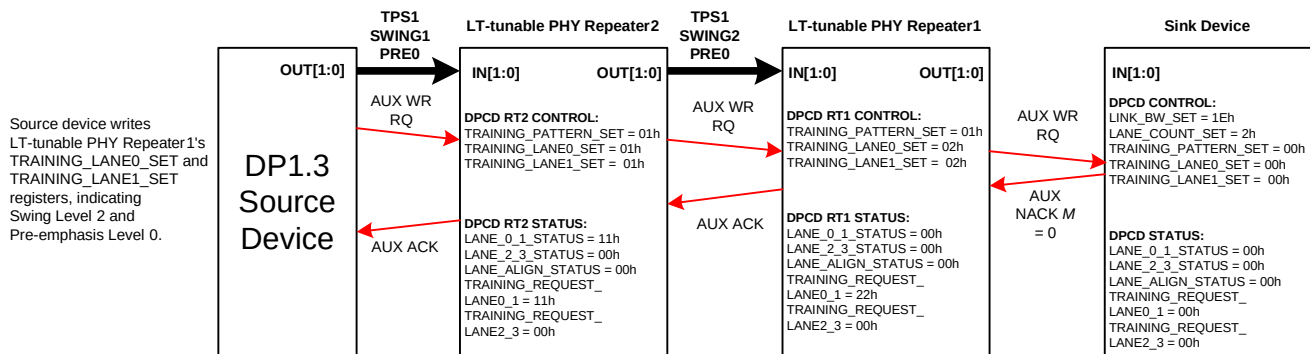


图3-63：LT可调PHY repeater2调整输出电压摇摆和预先强调

DPTX秋千和重点级别始终保持固定。只有LT可调的PHY REPETER2才能调整其输出水平。

在收到AUX写入请求的确认后，DPTX将检查LT可调Phy Repeater1是否已在Lanes 0和1上实现了Lane x _CR_DONE。

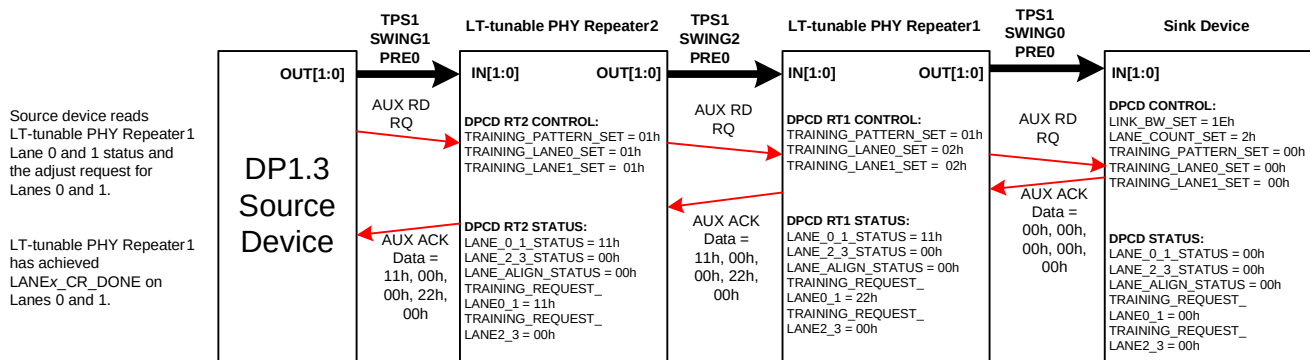


图3-64： LT可触摸PHY repeater1 lanex_cr_done实现了

在LT-Tunable PHY中继器获得最接近DPRX的LT x _CR_DONE之后，DPTX可以启动Lane x _CR_DONE slape tape the _CR_DONE link link Traine take tap trak train take take tape tape。

从未实现LT可调的PHY REPETER 1 LANE x _CR_DONE在两个车道0或1上都无法实现。如图3-20所定义的所有电压摇摆的所有组合都用尽了，这可能会发生这种情况。如果发生这种情况，DPTX应通过将00H写入triagn_pattern_set_phy_repeater终止链接培训。由于此DPCD字段在DPTX和DPRX之间的所有可触发性PHY中继器中都反映了反映，因此所有LT可调的PHY中继器都将检测到结束链接训练的结束。然后，DPTX必须尝试以较低的速率训练自身与LT可调PHY REPETER2之间的链接。对于此特定用例，下一个速率是HBR2。DPTX必须为link_bw_set寄存器（DPCD地址00100H）编写14H，然后用LT-Tunable Phy Repeater2执行泳道 x _CR_DONE阶段，如3.6.6.4.4.2节所述。在LT-Tunable Phy Repeater1和Repeater2上实现Lane x _CR_DONE之后，DPTX应与DPRX一起开始泳道 x _CR_DONE阶段。

3.6.6.4.4

DPRX的Cr阶段

DPTX将通过写入DPRX的DPCD寄存器来启动Lane x _CR_DONE阶段的链接培训阶段。最接近DPRX（LT-Tunable Phy Repeater1）的LT可调PHY中继器将写给DPRX的链接培训DPCD登记册。

LT可调PHY REPETER1将根据AUX写入请求调整其输出，以DPRX的DPCD寄存器triagn_lane x _SET，其中 x = 0和1。在图3-65中所示的示例中，DPTX以电压摇摆级别为0和Pre-empoasity per-empoasities级别0。

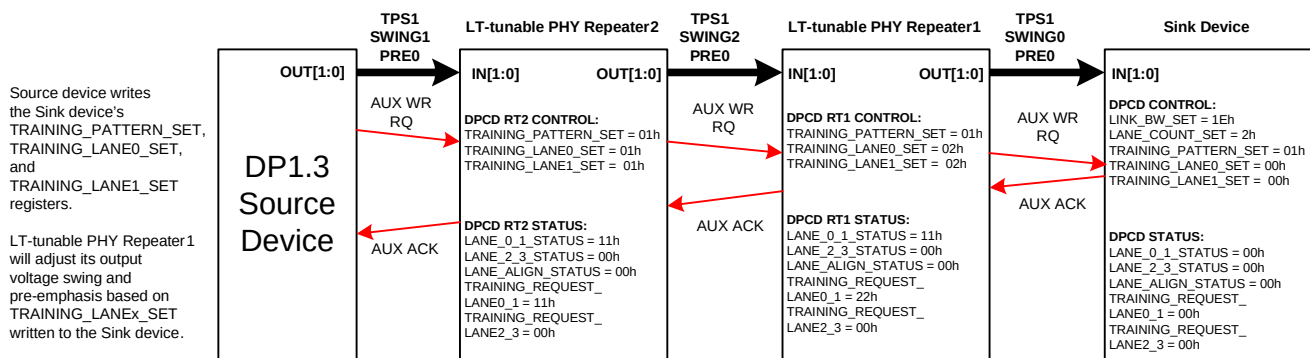


图3-65： 使用DPRX开始CR阶段

在图3-66中，DPTX确定了DPRX已达到车道 x_CR_DONE 。在使用DPRX实现Lane x_CR_Done 之后，DPTX可以使用LT可触发的PHY REPETER1和LT-TUNABLE PHY REPETER2开始链路训练的EQ阶段。

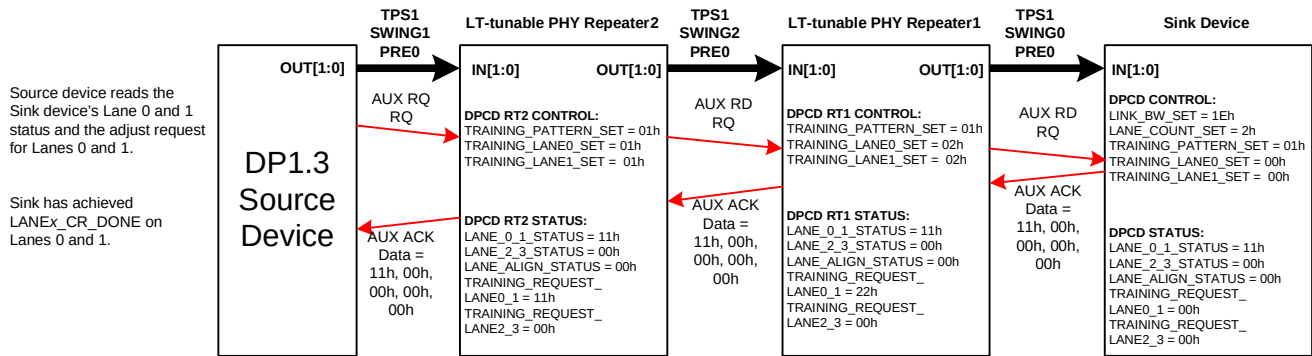


图3-66：DPRX Lanex_cr_done已实现

3.6.6.4.5

EQ阶段与LT可调PHY repeater2

DPTX将通过将训练模式更改为tps3（或dptx和dpRx支持），并写入lt-tunable Phy repeater2的训练_pattern_set和triaghtn_lane and triaght_lane $x\_SET\} v5\} v5\} 0$.

在图3-67中，LT可调PHY REPETER1检测到EQ阶段已经开始监视针对LT可触发PHY REPETER2的AUX写入。LT可调phy repeater1和lt-tunable Phy Repeater2处于EQ阶段，并将根据需要更新其各自的Adpition_request_lane0_lane0_1_ltable Phy Repeater DPCD寄存器。

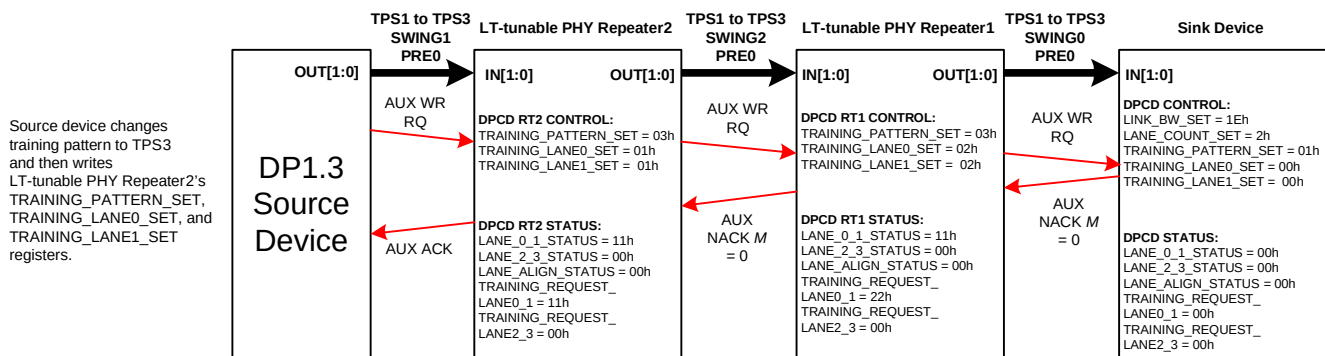


图3-67：使用LT可触摸PHY repeater1和2启动EQ阶段

图3-68显示，LT可调Phy Repeater2尚未达到车道 x _Symbol_locked。LT可调PHY REPETER2要求提高重点级别。

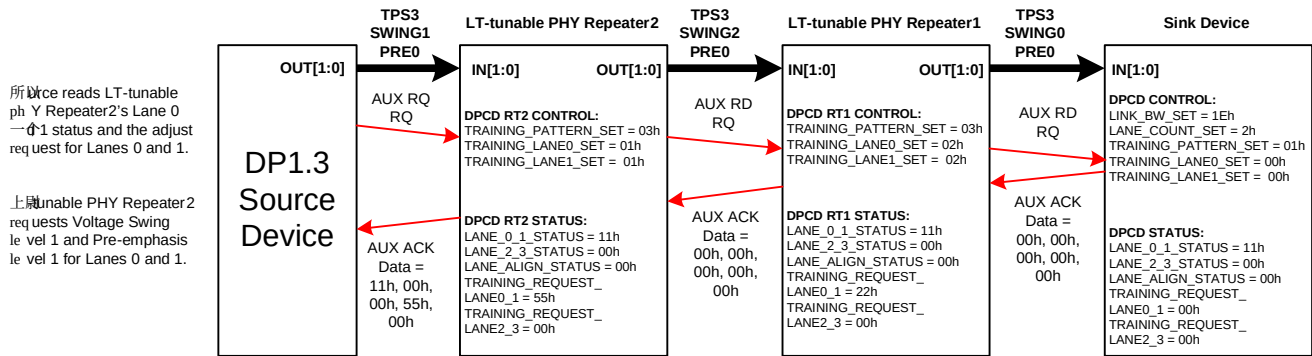


图3-68：确定LT可调PHY repeater2 EQ状态

DPTX将前重点级别提高到一个，并将适当的值编写为LT可触发的Phy Repeater2的Training_lane x _SET，其中 $x = 0$ 和 1 ，如图3-69所示。

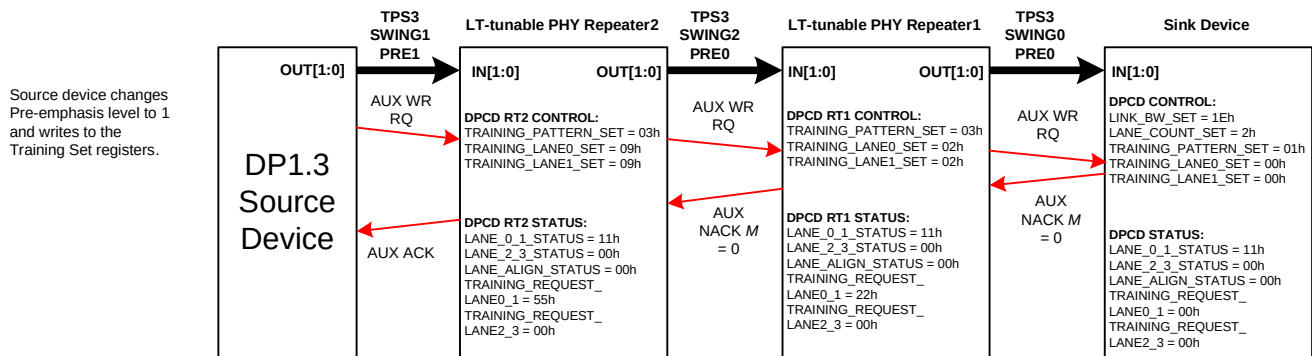


图3-69：DPTX调整了重点级别

图3-70显示了车道x_cr_done, lane x_symbol_locked, cannel_eq_done和interlane_align_done都可以实现LT可调PHY repeater2。然后, DPTX可以使用LT可调PHY REPETER1移至EQ阶段。由于LT可调节phy repeater1已处于EQ阶段, 而LT可调phy repeater2处于EQ阶段, 因此lt-tunable Phy repeater1也实现了Lane x_CR_DONE, LAN E x_symbol__symbol__eq_eq_done和interlane_align_align_align_ Alime lime lime ltt time ltt ltt ph。

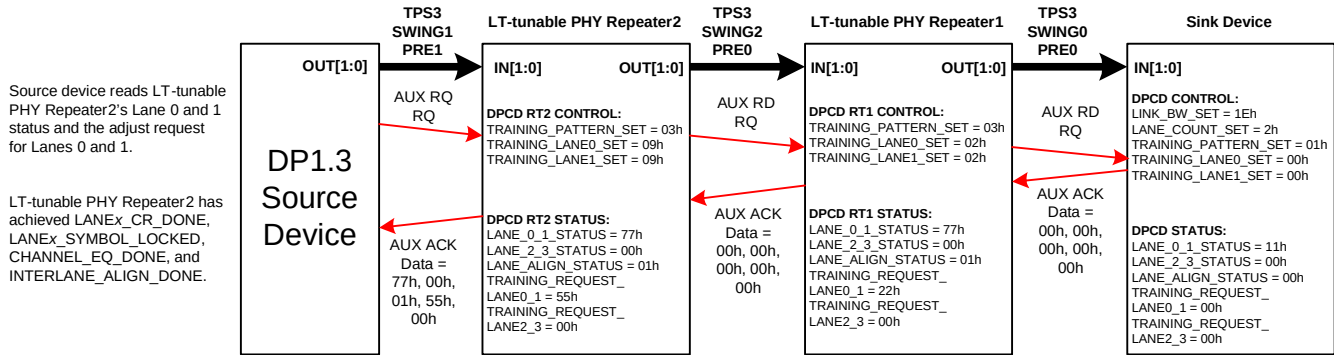


figure 3-70: LT可调PHY repeater2 eq阶段ACH ie

3.6.6.4.6 EQ阶段, 具有LT可调PHY repeater1

DPTX将读取LT-Tunable Phy Repeater1的车道0和1的车道状态1。如前一节中所述, LT可调PHY repeater1已实现Lane x_CR_DONE, LANE x_SYMBOL_LOCKED, CHANNED_EQ_DONE和INTERLANE_ALIGN_DONE。

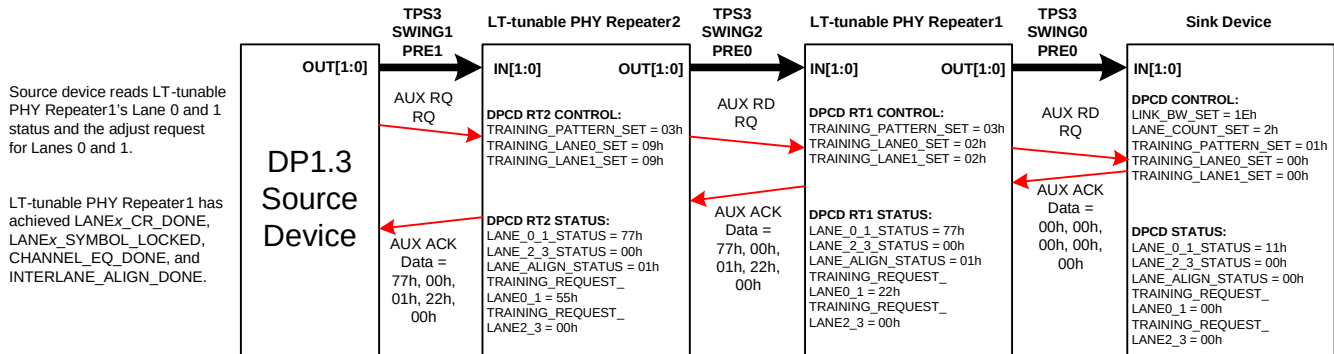


图3-71: LT可调PHY repeater1 EQ阶段达到了

3.6.6.4.7与DPRX的EQ相位

DPTX通过LT-Tunable Phy Repeater1和LT-Tunable Phy Repeater2完成EQ阶段后，它将使用DPRX启动EQ阶段。

DPTX将写入DPRX的triagn_pattern_set (DPCD 00102H)，training_lane0_set (dpcd 00103H) 和trinding_lane_lane1_set (dpcd 00104H)，以通知DPRX DPRX链接培训的EQ阶段的开始。

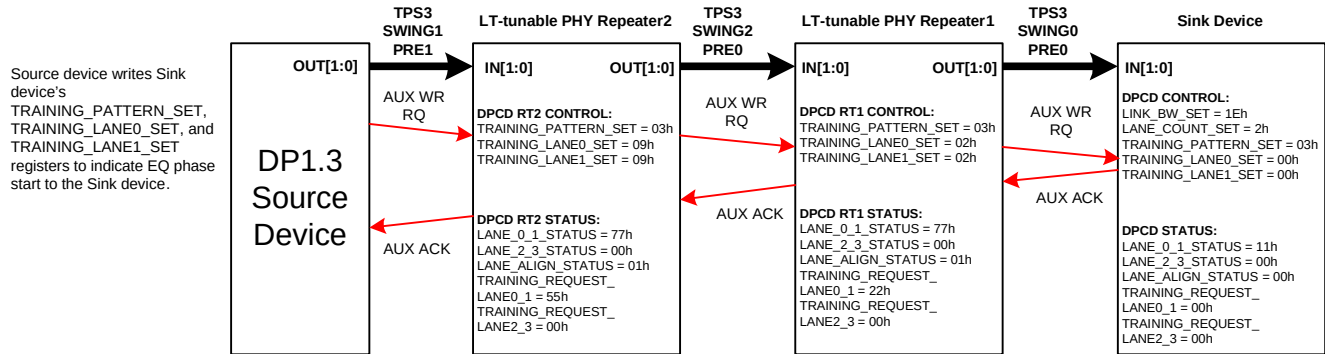


图3-72：使用DPRX启动EQ阶段

lt-tunable Phy Repeater1监视所有AUX将所有AUX写入training_lane x_set，其中x = 0和1，并将按照AUX写入中指定的输出级别更新其输出级别。

在图3-73中，DPTX读取DPRX的车道状态，并调整请求DPCD寄存器（00202H到00206H）。

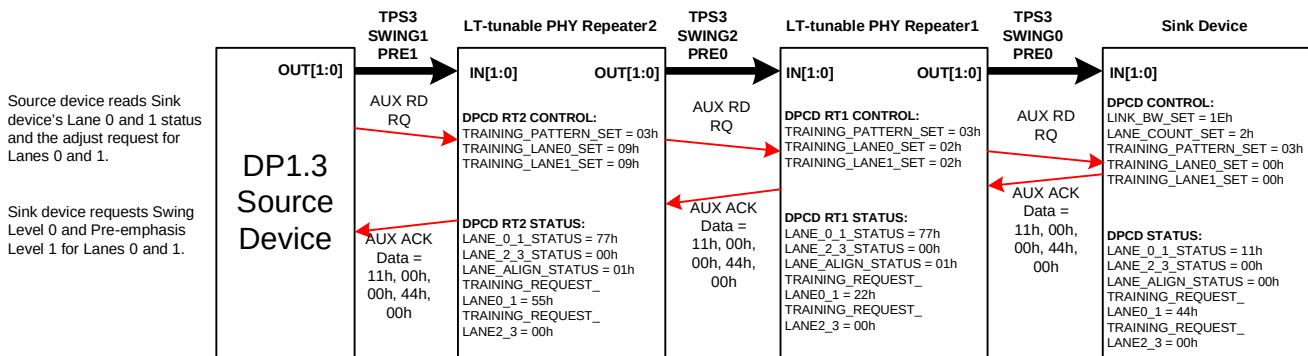


图3-73：确定DPRX的EQ阶段状态

DPRX的车道状态寄存器未指示车道x_symbol_locked，并要求提高重点级别。

在图3-74中，DPTX写入DPRX的triagn_lane x_SET，其中x=0和1）表明增加了1级预先强调。LT可调PHY REPETER1监视此写入并增加了重点水平。

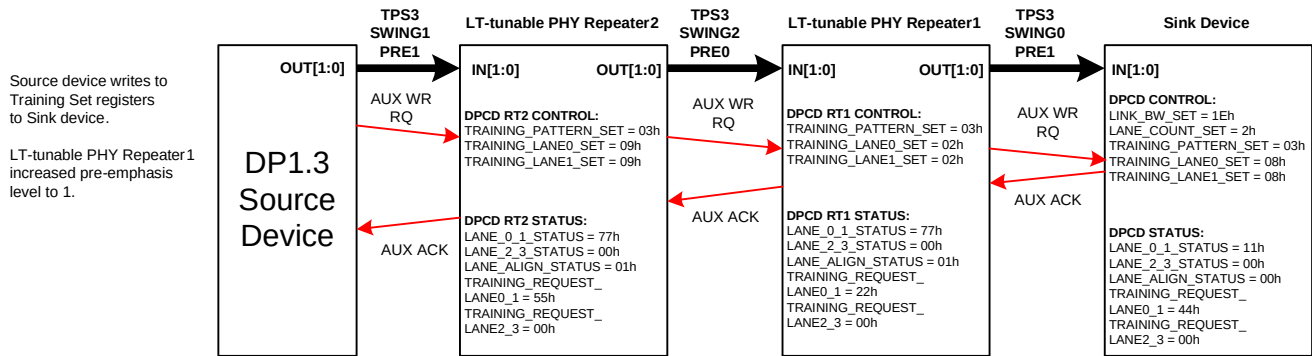


图3-74: LT可调PHY REPETER1调整重点级别

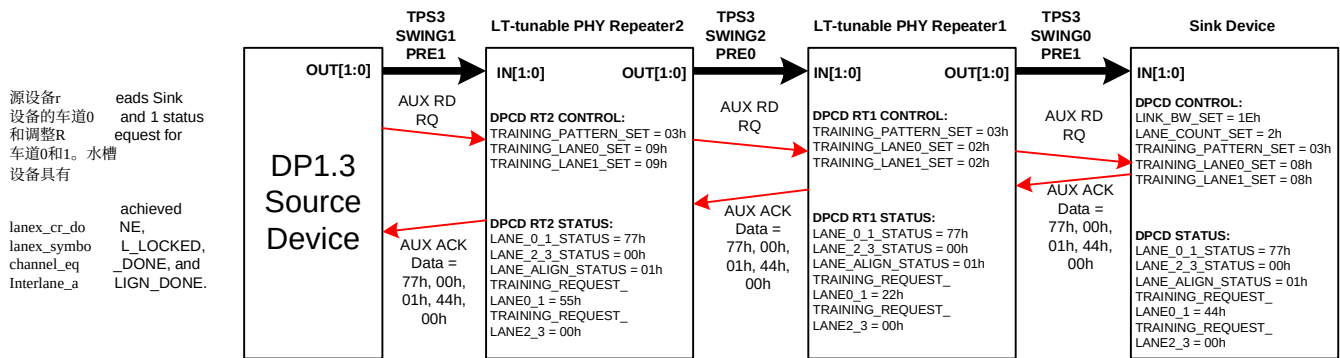


图3-75: 在DPRX上实现的EQ阶段

EQ阶段是在DPRX以及LT-Tunable Phy Repeater1和LT-Tunable Phy Repeater2中实现的。DPTX现在可以结束链接训练并开始传输空闲模式。

3.6.6.4.8 链接培训结束

DPTX通过写入DPRX的Traine_pattern_Set (DPCD 00102H) 来结束链接培训。所有LT可调的PHY中继器都会不断监视此寄存器。每当DPCD 00102H中的训练_Pattern_Select字段都过渡到0值时, LT可触摸PHY中继器都知道链接培训已经完成。 DPTX将模式更改为空闲模式

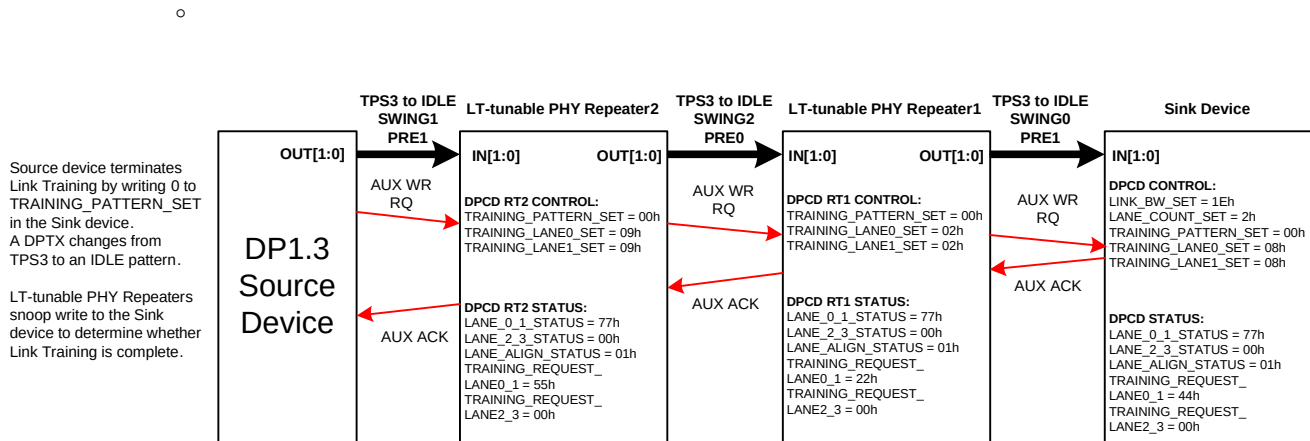


图3-76: 结束链接培训

3.6.7

双模式要求

双模式适配器的支持是可选的。但是, 如果LT可调的PHY中继器支持连接到其DFP的双模式适配器, 则LT可调PHY中继器必须满足本节中概述的要求。

1配置1必须连接到双模式适配器和dptx之间的每个LT可调的PHY中继器A LT可调PHY中继器必须使用Config1来知道下游流量是标准DP还是DP ++ (tmds) (TMDS)。2 DDC通信 (无论是以I2C反式反式动作语法的形式还是以3.3V I2C的形式) 在DPTX和双模式适配器之间不得受到负面影响。3 LT可调的PHY中继器输出电源水平必须符合双模式DPTX的双模式标准要求。4 LT可调PHY中继器必须能够按照双模式标准的要求接受25至300MHz的T MD时钟, 并通过其DFP。5 LT可调PHY中继器不得实现双模式适配器ID, 除非它在其输出端口上实现AC耦合到DC耦合级别的偏移。

3.6.8 LT可调PHY中继器电气规格要求

3.6.8.1.1 t-unable PHY中继器DPTX_PHY电气合规性

连接到DisplayPort连接器的LT可调PHY中继器必须满足第3.5.2节中定义的电气要求。

在进行任何TX电气测试之前，DPTX和DPRX之间的链接（在这种情况下，包括测试设备），包括路径内的所有LT可接触的PHY中继器，必须按照本标准中的定义进行训练。链接接受特定链路率培训后，DPTX可以通过写入DPRX的Traine_lane *x* _SET _SET寄存器（DPCD地址00103H地址00103H），可以通过写入DPRX的Traine_lane *x* _SET *x* _SET *x* _SET *x* _SET {更改test_lane_count或test_link_rate寄存器（分别为dpcd地址00220H或00219H），要求在DPTX和DPRX之间重新训练该链接。

3.6.8.2.1 t-unable PHY中继器DPRX_PHY电气合规性

连接到DisplayPort连接器的LT可调PHY中继器必须满足第3.5.2节中定义的电气要求。

4机械

本节介绍了DP链接的机械规格。本节涵盖了用于外部连接和连接器规范的电缆组件规范。与本节所定义的被动电缆组件相比，需要更大或更长时间的框到盒子应用程序空间的应用程序可以通过使用Active Hybrid设备或第2.1.4节规定的任何其他此类设备来支持。这些设备的接口必须满足源和接收器设备的接口要求。

4.1 电缆连接器组件规格（框到框）

电缆组件规范分为两类，反映了高比特率（分别为2.7Gbps/lane，5.4Gbps/lane和8.1Gbps/lane）和低比特率（1.62GBPS/LANE）。

高比特率规范通常具有较高的性能电气需求，并且通常由以下一个或多个表示：较短的长度，较大的电线测量表，较低的介电损耗绝缘材料。

低比特率规范通常具有较低的性能电气需求，通常由以下一个或多个表示：更长的长度，较小的电线测量表，较高的介电损耗绝缘材料。

在电缆连接器组装参数中，IL（插入损失），RL（反射损失），偏斜（内部和层间）以及近端噪声（NEN）在高比特率和低比特率规格之间有所不同。pself（功率总和等级远端噪声）参数仅适用于高比特率电缆组件规范。

这两个类别代表有时称为外部/桌面和消费电子产品的框到框应用程序空间（CE）。

嵌入式电缆应用程序空间以其对最终用户的无法访问为特征，有时被称为内部/移动设备，在此处没有明确指定。取而代之的是，需要系统集成器来满足接收器引脚的眼罩要求，通过在电路跟踪性能和电缆性能之间进行适当的权衡。

通常，下面介绍的高比特率和低比特速率电气规范仍然适用于频道两端的内部/移动电缆组件，除了物理尺寸要小得多。

如PHY合规性测试规范v1.2b中所述，用具有插座连接器的测试固定装置对电缆连接器组件进行了测试。

4.1.1 电缆连接器组件定义

DP 电缆组件由两个插件连接器组成，这些连接器终止了散装电缆的两端。

两端的插头都可以是全尺寸的 DP 插头或 MDP 插头。

表4-1列出了受支持的电缆组件类型。

表4-1：支持的电缆组件类型

Type	Description
C1	Cable Assembly with a full-size DP plug on each end. The Type C1 Cable Assembly is depicted in Figure 4-1.
C2	Cable Assembly with an mDP plug on one end and a full-size DP plug on the other end. The Type C2 Cable Assembly is depicted in Figure 4-2.
C3	Cable Assembly with an mDP plug on each end. The Type C3 Cable Assembly is depicted in Figure 4-3.

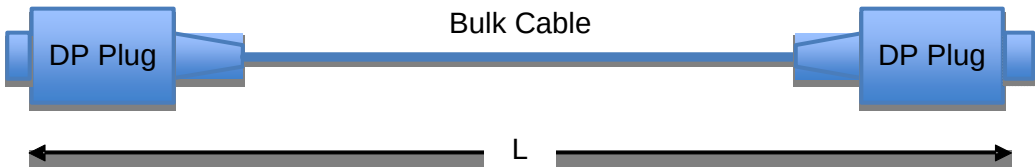


图4-1：类型C1电缆组件

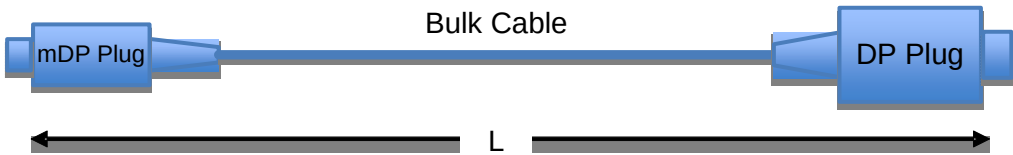


图4-2：类型C2电缆组件

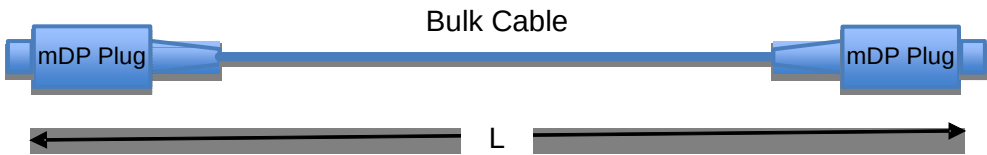


图4-3：类型C3电缆组件

DP连接器调整适配器由插件式连接器组成，该连接器终止了散装电缆的一端和插入相同电缆的另一端的插座连接器。

表4-2列出了支持的调整适配器组件类型。

表4-2： 支持的调整适配器类型

Type	Description
A1	Resizing Adaptor with an mDP plug on one end and a full-size DP receptacle on the other end. The Type A1 Resizing Adaptor is depicted in Figure 4-4.
A2	Resizing Adaptor with a full-size DP plug on one end and an mDP receptacle on the other end. The Type A2 Resizing Adaptor is depicted in Figure 4-5.

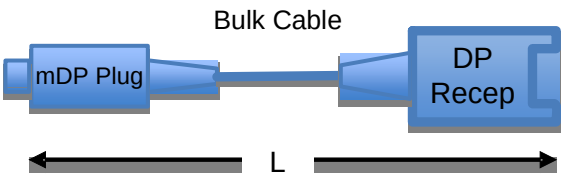


图4-4： A1调整适配器的类型

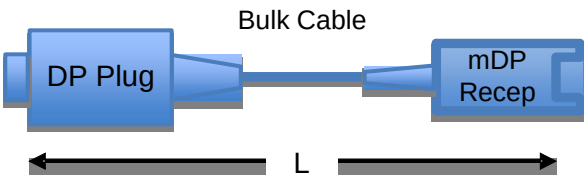


图4-5： A2调整适配器的类型A2

此外，水槽可能具有带有全尺寸DP插头的永久连接电缆或带有MDP插头的永久连接电缆。

DP扩展电缆的设计专门用于与带有MDP插头的永久连接的电缆结合使用（或适配器）。

表4-3列出了受支持的扩展电缆类型。

表4-3：支持的扩展电缆类型

Type	Description
E1	Cable Assembly with an mDP plug on one end and an mDP receptacle on the other end. The Type E1 Extension Cable is depicted in Figure 4-6.

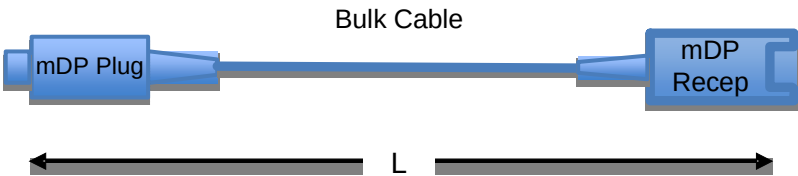


图4-6：类型E1扩展电缆

支持以下电缆组件和调整适配器的配置：

- 上游设备（TP2） - > 电缆组件类型C1 - > 下游设备（TP3）
- 上游设备（TP2） - > 电缆组件类型C2 - > 下游设备（TP3）
- 上游设备（TP2） - > 电缆组件类型C3 - > 下游设备（TP3）
- 上游设备（TP2） - > 全尺寸DP插头永久连接到下游设备
- 上游设备（TP2） - > MDP插头永久连接到下游设备
- 上游设备（TP2） - > 调整适配器类型A1 - > 全尺寸显示器插头永久连接到下游设备
- 上游设备（TP2） - > 调整适配器类型A2 - > MDP插头永久连接到下游设备
- 上游设备（TP2） - > 扩展电缆类型E1 - > MDP插头永久连接到下游设备

仅支持RBR和HBR的电缆组件和调整适配器的以下配置：

- 上游设备（TP2） - >调整适配器类型A1->电缆组装类型C1->下游设备（TP3）
- 上游设备（TP2） - >调整适配器类型A2->电缆组装类型C3 - >下游设备（TP3）

除上述电缆组件类型外，还支持C1，C2，C3和E1的电缆组件的活动版本，分别表示C1A，C2A，C3A和E1A。有关活动电缆组件的详细信息，请参见第5.8.3节。

4.1.1.1 c 降低EMI的能力施工指南（信息性）

应遵循以下关于建造DP电缆组件的建议，以防止EMI问题：

- 电缆组件中的差速度对的偏差应尽可能小，并应符合电缆组件电气规范定义的定义限制。
- 电缆屏蔽到连接器屏蔽层的终止应覆盖电缆周围的完整360°，并且阻抗低。
- 设备底盘，DP容器屏蔽，DP插头屏蔽和电缆屏蔽之间的屏蔽应形成统一的低阻抗链路，以最大程度地提高屏蔽效率并最大程度地减少EMI。为了促进这一点，建议使用多个接地点和盾牌零件之间的接触点。
- 通常，盾牌中不必要的孔可能会导致泄漏。强烈建议消除屏蔽组件之间的差距。还强烈建议将壳体盖的壳覆盖尽可能多，以产生信号引脚的最大EMI保护。
- 作为建议，散装电缆的屏蔽结构应遵循一般的高速实践，以在其结构中包含箔和编织屏蔽材料。一个进一步的建议是，箔层是最少20%重叠的Al/mylar包裹（螺旋或纵向），并且导电辫子在内部箔层上的覆盖率最低为75%，以确保有效的EMI屏蔽。

4.1.2散装电缆类型

必须选择批量电缆以满足或超过下面描述的所有电气和机械要求。参考构造如图4-7所示。

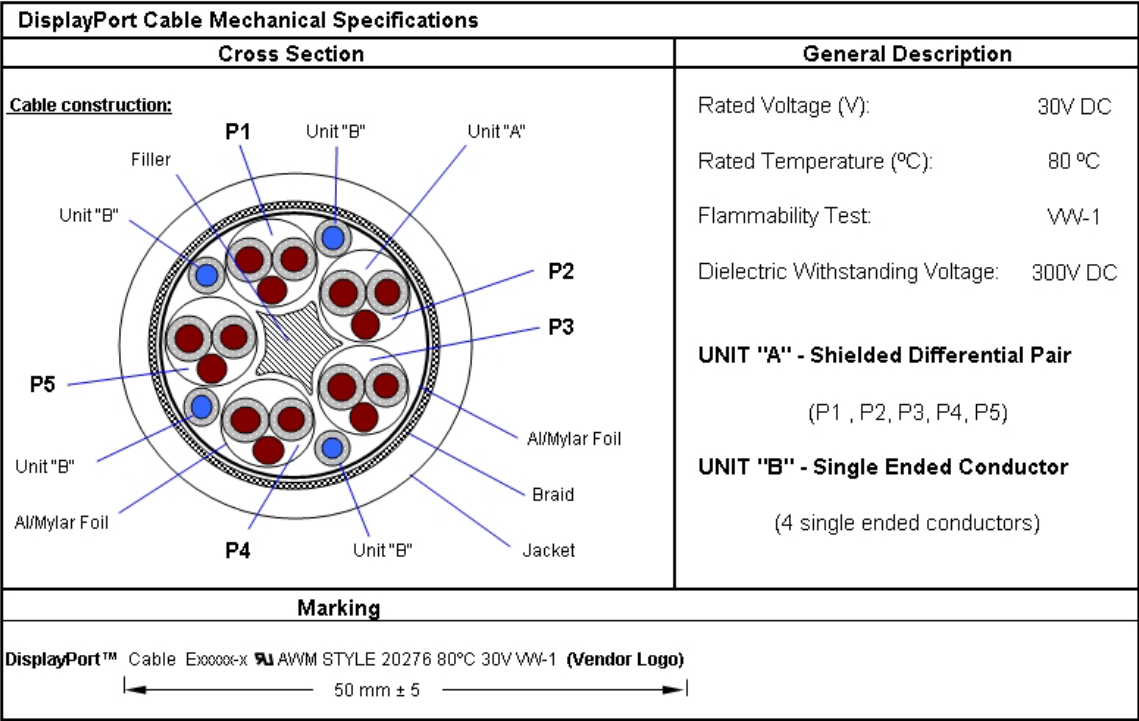


图4-7： 散装电缆构建（信息性 - 仅供参考）

以下是参考散装电缆构建的描述。此描述仅供参考。

- 总体屏蔽（编织）结构，上面装有夹克；
- 单元 “A” - P1-P5'STP'或'Twinax' #30 AWG绝缘滞留的导体， #30 AWG用于电缆组件类型C1的排水导体，并带有带有全尺寸显示器连接器的永久连接电缆，以及 #36或 #38 AWG绝缘链链导体， #36或 #38 AWG排水导体可用于所有其他电缆组件，用于所有其他电缆组件，用于调整适配器和扩展电缆（用于主链路和Aux Recon sions和Aux Reconsions）；
- 单元 “B” - 未屏蔽， #30 AWG单绝缘滞留导体（用于GND）。 #30- #8 AWG单绝缘链导体（用于Config1, Config2和HPD连接）。

差异的例子：

- 如果满足所有适当的电缆规格，则导线量表选择是特定于实施的。
- 永久连接到DP设备的电缆可能少于四个主链路车道。
- 带有永久连接电缆的下游设备可能具有额外的 # 24至28 AWG单绝缘的滞留导体。
- 调整适配器的大小必须具有 # 30到 # 36 AWG单绝缘束导体的电源。
- 延长电缆必须携带所有四个车道，并包括 # 24 AWG单绝缘束导体的电源。

4.1.3

阻抗概况

阻抗概况旨在为系统和连接器设计提供信心。本章稍后给出的退货损失规范提供了对阻抗偏移和不匹配导致的电性能的限制。

阻抗规范是在时域中定义的。必须使用受控的阻抗固定装置和带有差采样头的TDR测量阻抗曲线。固定时间上升时间必须为50PS（20至80%）或更快，而测量的读数必须过滤为 $TR = 130PS$ （20至80%）。定义了两个阻抗概况：

- 一个用于通过全尺寸DP连接器测量阻抗
- 一个用于通过MDP连接器测量阻抗

在测试的电缆组件上部分或全部归因于部分或全部归因于表4-4或表4-5中列出的连接器的阻抗值。图4-8和图4-9显示了测量数据的示例。

适用于测试固定装置的阻抗曲线是有益的。DP PHY CTS规范中定义了测试固定装置的要求。

4.1.3.1 Impedance Profile through a DP Connector

表4-4： 电缆组件的阻抗曲线值

Segment	Differential Impedance Value	Maximum Tolerance	Comment
Fixture	100Ω	±10%	Fixture should have trace lengths of no more than 50mm (2 inches) Transition from ±10% to ±5% must have a slope of 5Ω / 80ps
Connector	100Ω	±10%	
Wire management	100Ω	±10%	
Cable	100Ω	±5%	

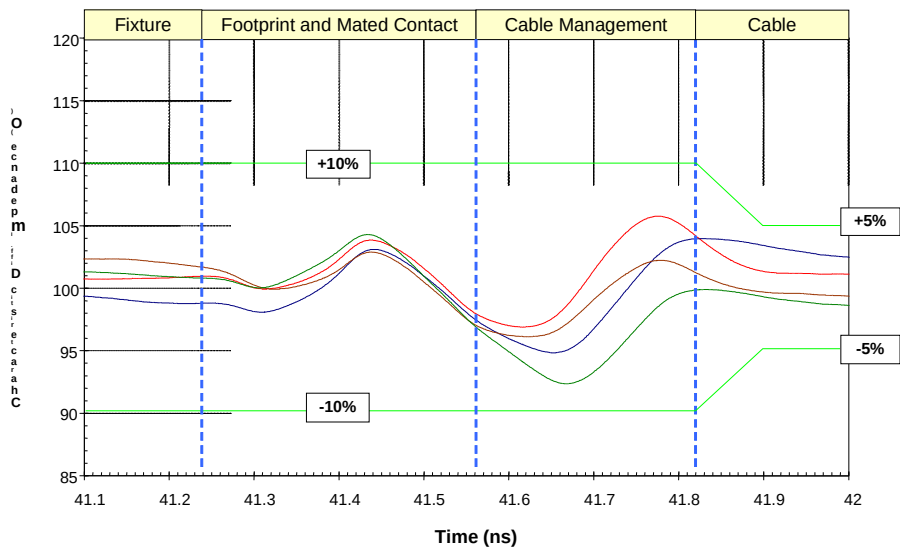


图4-8： 差分阻抗曲线测量数据示例

4.1.3.2 Impedance Profile through an mDP Connector

表4-5：电缆组件的阻抗曲线值

Segment	Differential Impedance Value	Maximum Tolerance	Comment
Fixture	100Ω	±10%	Exception window peak duration of 200ps, Transition from ±15% to ±5% must have a slope of 10Ω / 200ps
Connector	100Ω	±15%	
Wire management	100Ω	±10%	
Cable	100Ω	±5%	

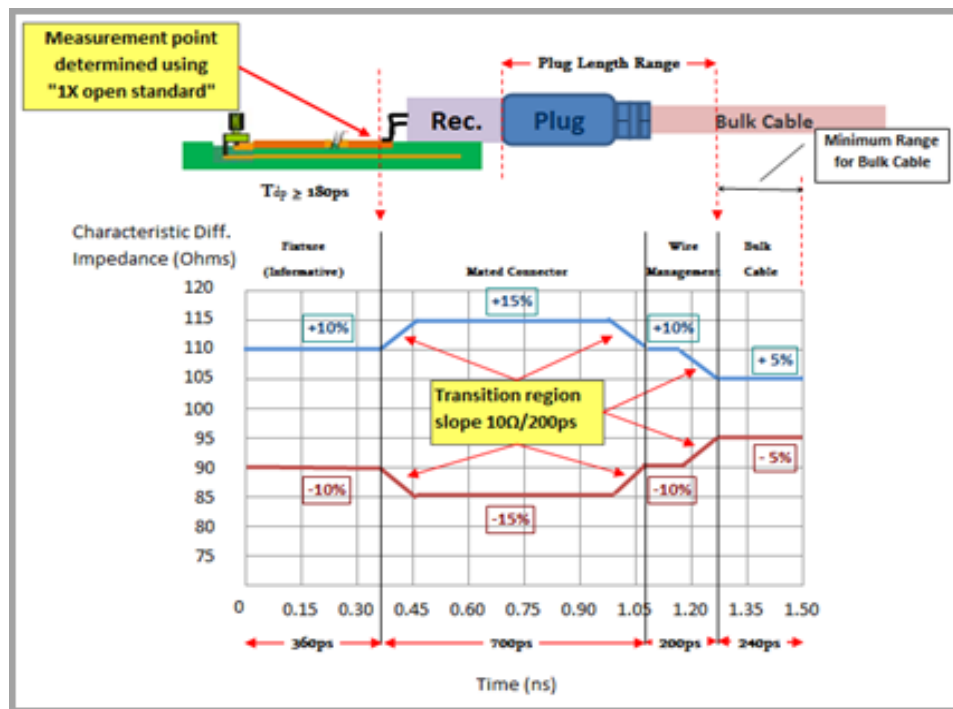


图4-9：MDP差异阻抗概况概况测量数据示例

4.1.4

插入损失和退货损失

本节中指定的插入损失和回报损失分别是称为SDD21和SDD11的混合模式S-参数。与单端情况不同，SDDIJ指的是差异刺激和差异响应，如表4-6所示，在差异情况下所有混合模式的以下矩阵中所示。

表4-6: S-PAR的混合模式差异/共同关系

进产

Response	Stimulus			
	Differential		Common	
Differential	SDD11	SDD12	SDC11	SDC12
	SDD21	SDD22	SDC21	SDC22
Common	SCD11	SCD12	SCC11	SCC12
	SCD21	SCD22	SCC21	SCC22

4.1.5 高比特电缆连接器组装规范

4.1.5.1 插入损失和退货损失

以下方程表示限制插入损失和回报损失的结果的参考线。为C1，C2和C3类型的电缆组件提供了插入损耗限制，用于调整适配器和扩展电缆的大小。通过全尺寸DP连接器测量以及通过MDP连接器测量时，为电缆组件和调整适配器调整适配器提供了回报损耗限制。

4.1.5.1.1 插入损失 - 高比特速率电缆组件类型C1，C2和C3的下限

$$IL_{\min.}[dB] = \begin{cases} -8.7 \times \sqrt{\frac{f}{f_0}} - 0.072; & 0.1 < f \leq \frac{f_0}{3} \\ 5.68\sqrt{f} - 5.3 * f - 6.52; & \frac{f_0}{3} < f \leq 8.1 \end{cases}$$

在哪里：

f 在GHz中给出

$f_0 = 1.35 \text{ GHz}$

图4-10描绘了表示上述方程式插入损失的图表，必须称为下限。电缆组件测量结果必须符合此限制。

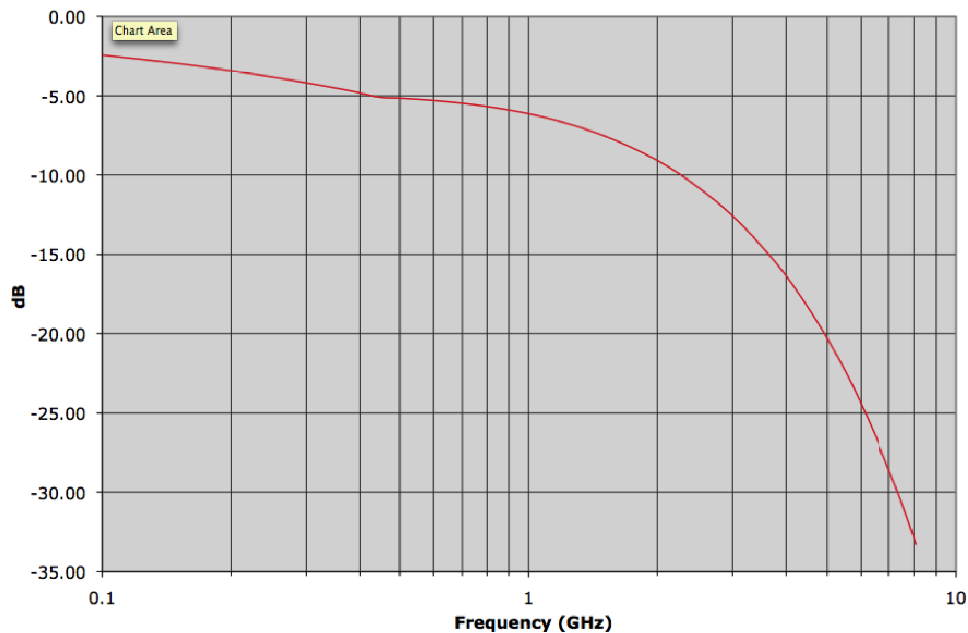


图4-10：HBR电缆组件类型C1，C2和C3的混合模式差插入损失

4.1.5.1.2 Insertion Loss – Lower Limit for High Bit Rate Resizing Adaptors

$$IL_{\min.}[dB] = \begin{cases} -1.6 \times \sqrt{\frac{f}{f_0}}; & 0.1 < f \leq \frac{f_0}{3} \\ 1.75\sqrt{f} - 1.65 * f - 1.31; & \frac{f_0}{3} < f \leq 8.1 \end{cases}$$

在哪里：

f 在GHz = 1.35 GHz中给出

f_0

图4-11描绘了表示上述方程式插入损失的图表，必须称为下限。调整适配器测量结果必须符合此限制。

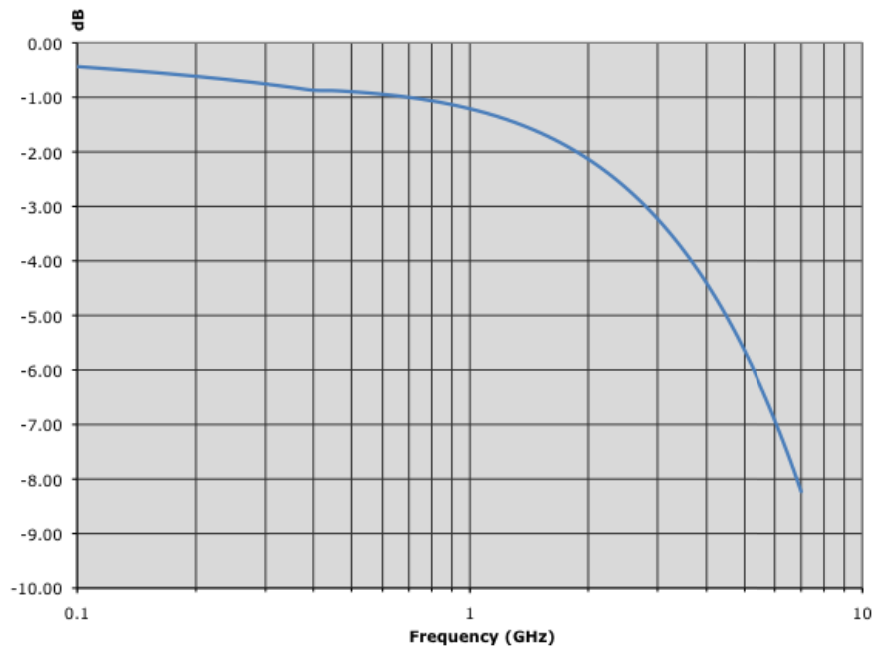


图4-11：HBR调整适配器的混合模式差分插入损失

4.1.5.1.3 Insertion Loss – Lower Limit for Extension Cables

$$IL_{\min.}[dB] = \begin{cases} -5.22 \times \sqrt{\frac{f}{f_0}} - 0.043; & 0.1 < f \leq \frac{f_0}{3} \\ 3.41\sqrt{f} - 3.18 * f - 3.91; & \frac{f_0}{3} < f \leq 8.1 \end{cases}$$

在哪里：

f 在GHz = 1.35 GHz中给出

f_0

图4-12描绘了表示上述方程式插入损失的图表，必须称为下限。扩展线测量结果必须符合此限制。

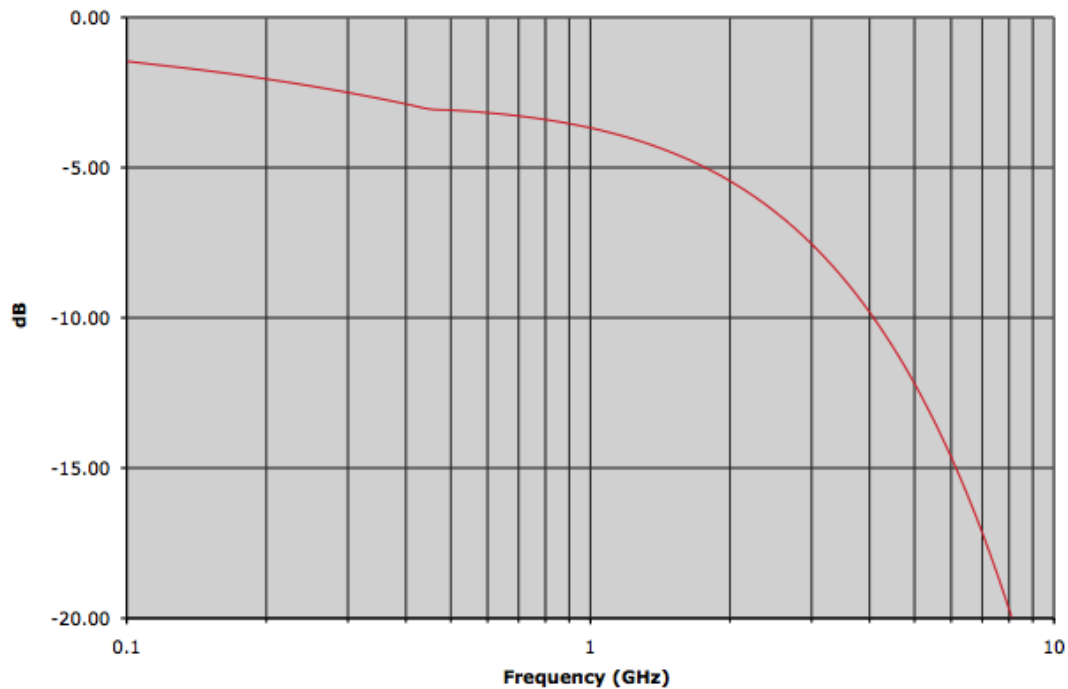


图4-12：延长电缆的混合模式差分插入损失

4.1.5.1.4 退货损失 - HBR电缆组件/适配器的上限（全尺寸DP连接器）

通过全尺寸DP连接器测量的HBR电缆组件或调整适配器的回报损失由以下方式给出：

$$RL_{\max.}[dB] = \begin{cases} -15; & 0.1 < f \leq \frac{f_0}{2} \\ -15 + 12.3 \log_{10} \left(\frac{2f}{f_0} \right); & \frac{f_0}{2} < f \leq 8.1 \end{cases}$$

在哪里：

f 在GHz中给出

$f_0 = 1.35 \text{ GHz}$

图4-13显示了表示上述退货损失方程的图表，必须称为退货损失的上限。

测量的电缆组件结果必须符合此限制。

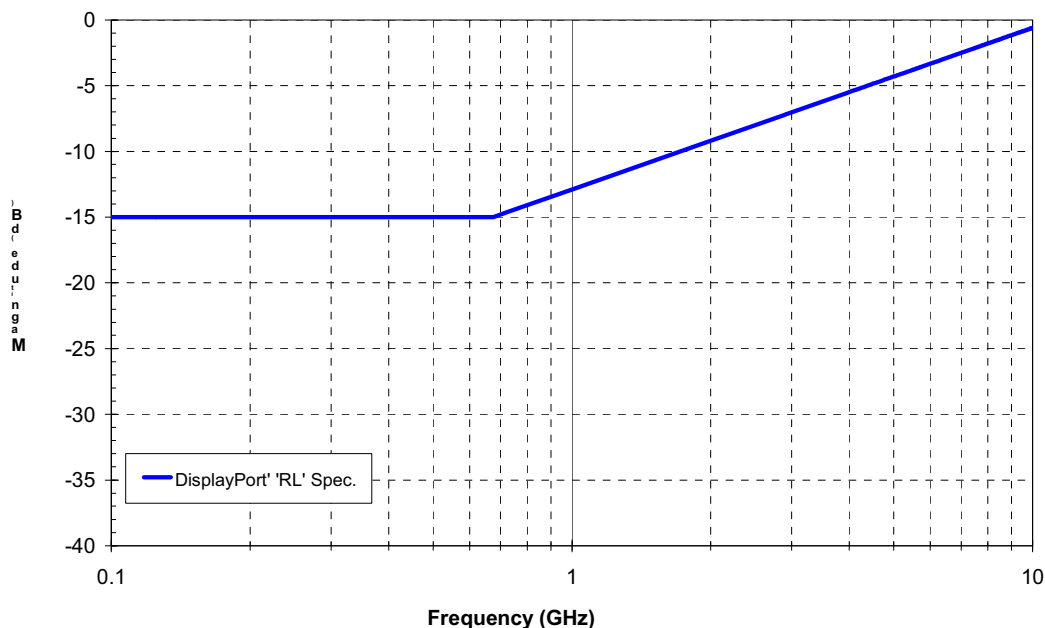


图4-13：混合M HBR电缆组件/ADAPTO的ODE差异RL R（DP连接器）

4.1.5.1.5退货损失 - HBR电缆组件/适配器/扩展电缆的上限

HBR电缆组件的返回损失，通过MDP连接器测量的调整适配器或扩展电缆的大小。

$$RL_{\max.}[dB] = \begin{cases} -15; & 0.1 < f \leq \frac{f_0}{2} \\ -15 + 12.3 \log_{10} \left(\frac{2f}{f_0} \right); & \frac{f_0}{2} < f \leq 8.1 \end{cases}$$

在哪里：

f 在GHz中给出

$f_0 = 1.35 \text{ GHz}$

图4-14显示了表示上述退货损失方程的图表，必须称为退货损失的上限。

测量的电缆组件结果必须符合此限制。

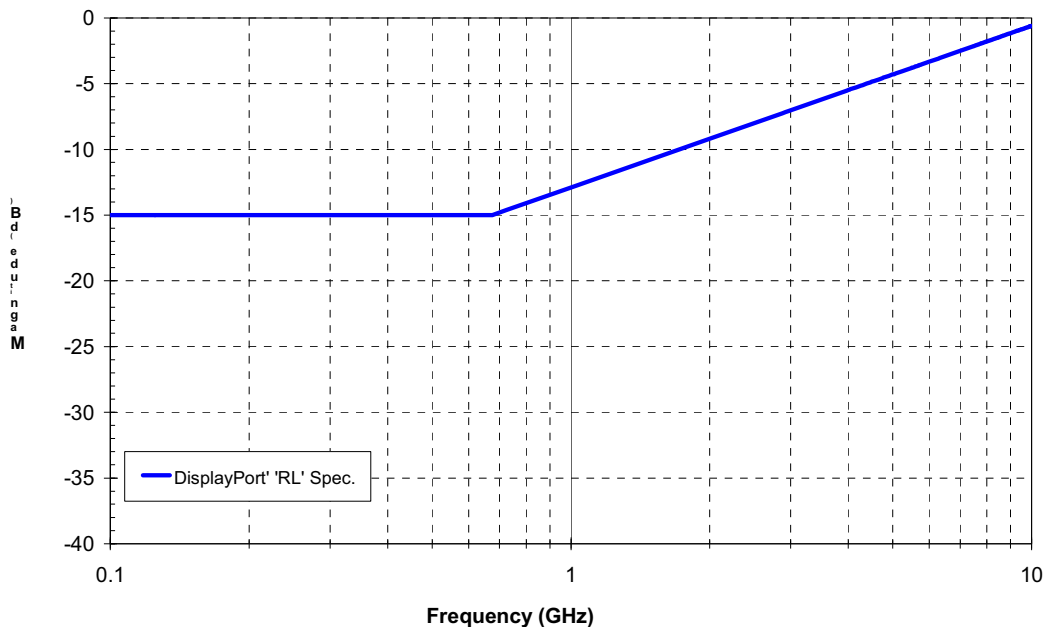


图4-14：HBR电缆组件/适配器（MDP连接器）的混合模式差速器RL

4.1.5.2近端噪声

近端噪声（NEN）规范适用于所有电缆组件类型。它是在频域中定义的，并覆盖了最高7GHz的带宽。NEN必须低于隔离方程中的上限，并在图4-15中描绘。

4.1.5.2.1近端噪声 - 高速电缆组件的上限

$$Isolation_{max.}[dB] = \begin{cases} -26 & ; 0.1 < f \leq f_0 \\ -26 + 15 \log_{10} \left(\frac{f}{f_0} \right) & ; f_0 < f \leq 8.1 \end{cases}$$

在哪里：

f 在GHz中给出

$f_0 = 1.35 \text{ GHz}$

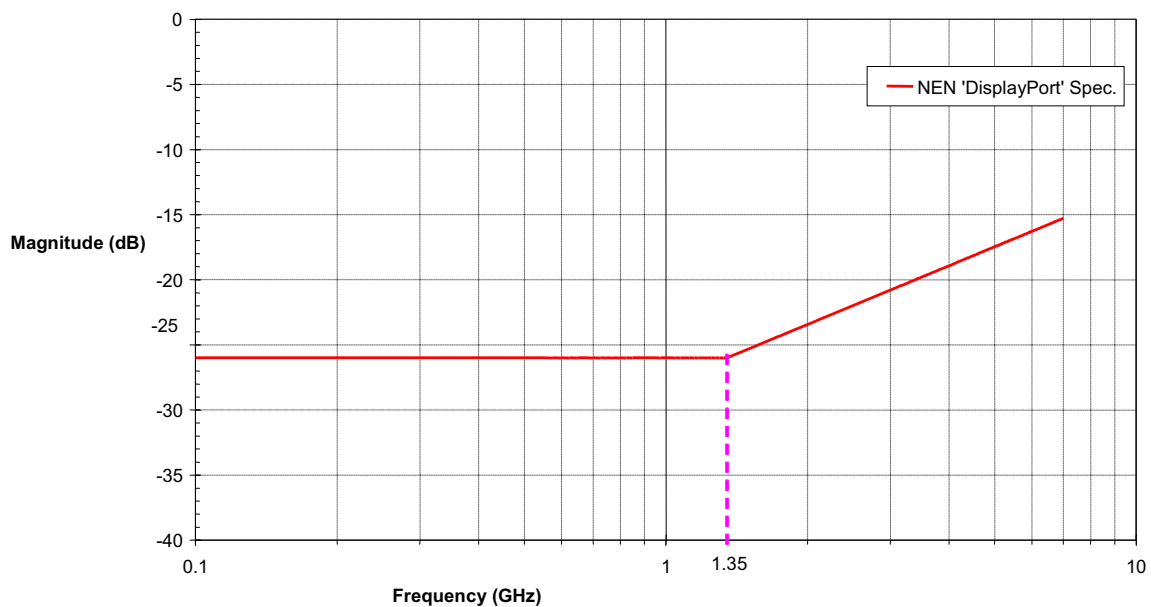


图4-15：HBR电缆组件的近端总噪声（峰值）

4.1.5.3功率总和等级远端噪声

功率总和等级远端噪声（PSEXP）规范适用于所有电缆组件类型。PSEXT表示电缆插入损耗与侵略者电缆车道的总功率和远端噪声之间的差异。

$$PSFEN(f) = 10 \times \log \sum_{1}^n 10^{\left(\frac{FEN_n(f)}{10} \right)}$$

$$PSELFEN(f) = PSFEN(f) - IL(f)$$

在哪里：

$FEN_n(f)$ 是DB中的远端噪音

$IL(f)$ 受害者车道插入DB是否损失

功率总和相等的远端噪声必须低于图4-16中所示的上限。

4.1.5.3.1 功率总和等级远端噪声 - 高速电缆组件的上限

$$PSELFEN_{\max}[dB] = \begin{cases} -22 + 6\text{Log}_{10}\left(\frac{f}{f_0}\right); & 0.1 < f \leq f_0 \\ -22 + 40\text{Log}_{10}\left(\frac{f}{f_0}\right); & f_0 < f \leq 8.1 \end{cases}$$

在哪里：

f 在GHz = 2.7 GHz中给出

f_0

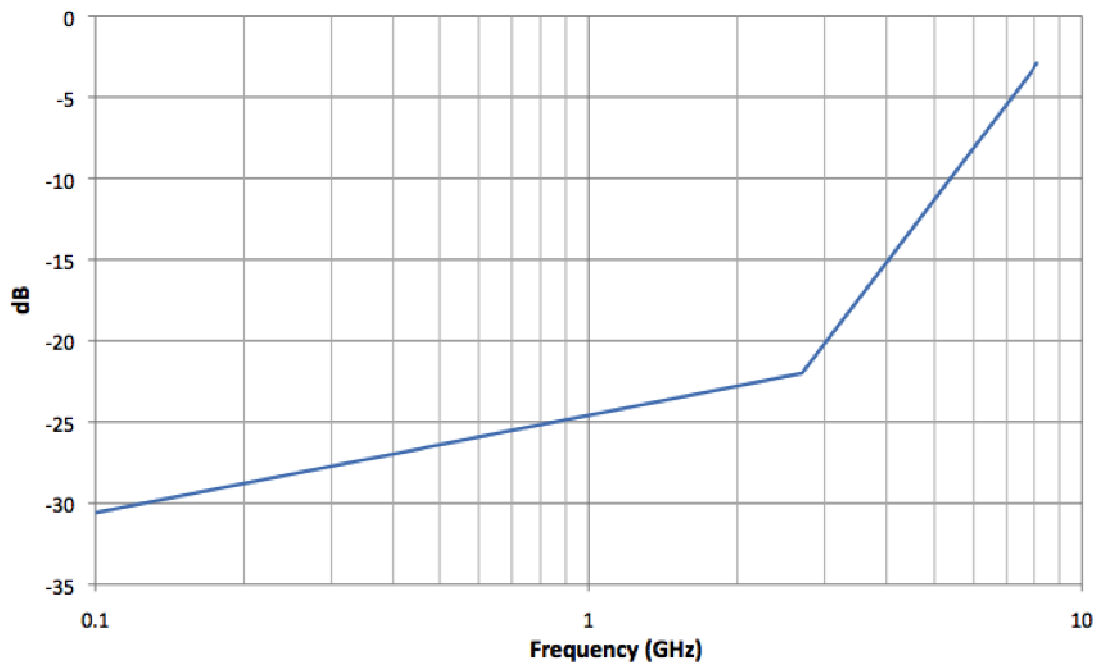


图4-16：功率总和等级远端总噪声（峰值）HBR电缆组件的

4.1.5.4

内和际偏斜

在固定装置上升/秋季时间，即测量的50PS（20%至80%）的时间域（20至80%）在时域中测量对对内的和配对偏差。

4.1.5.4.1

内对偏斜

表4-7列出了按照图4-17所示的测量，列出了偏斜限制。

表4-7：内对偏度极限

Component Type	Limit
Cable Types C1, C2, and C3	$\leq 50\text{ps}$
Resizing Adaptors Types A1 and A2	$\leq 10\text{ps}$
Extension Cables Type E1	$\leq 35\text{ps}$

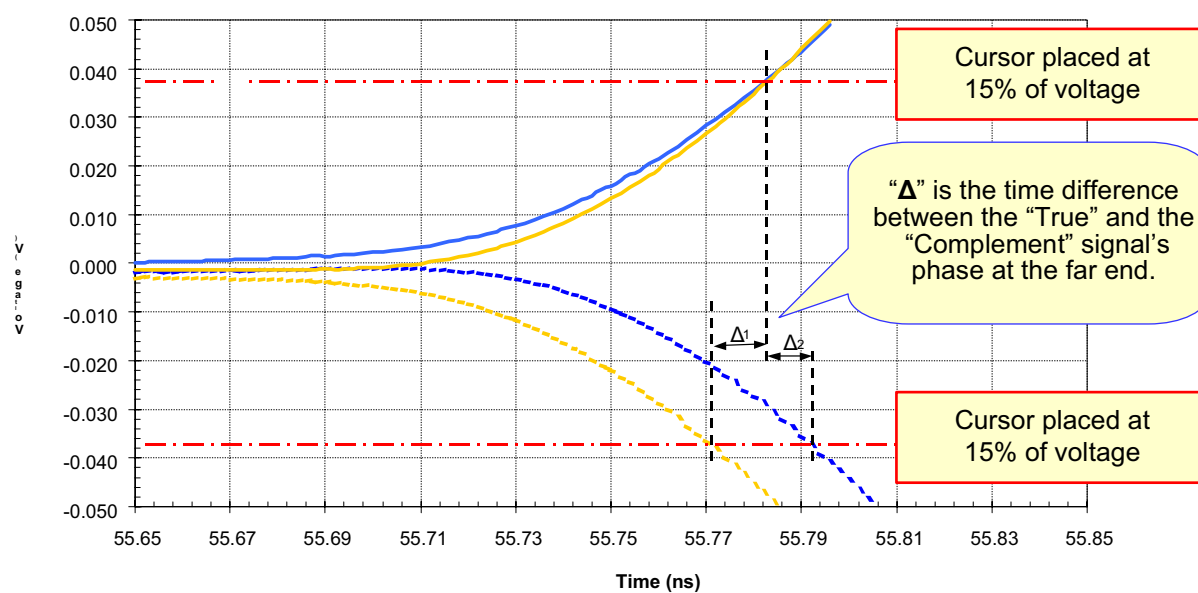


图4-17：内对偏斜测量方法

4.1.5.4.2 Inter-Pair Skew

表4-8列出了按照图4-18中所示的测量，列出了配对偏度限制。

表4-8：配对偏斜限制

Component Type	Limit
Cable Types C1, C2, and C3	$\leq 2UI$
Resizing Adaptors Types A1 and A2	$\leq 2UI$
Extension Cables Type E1	$\leq 1UI$

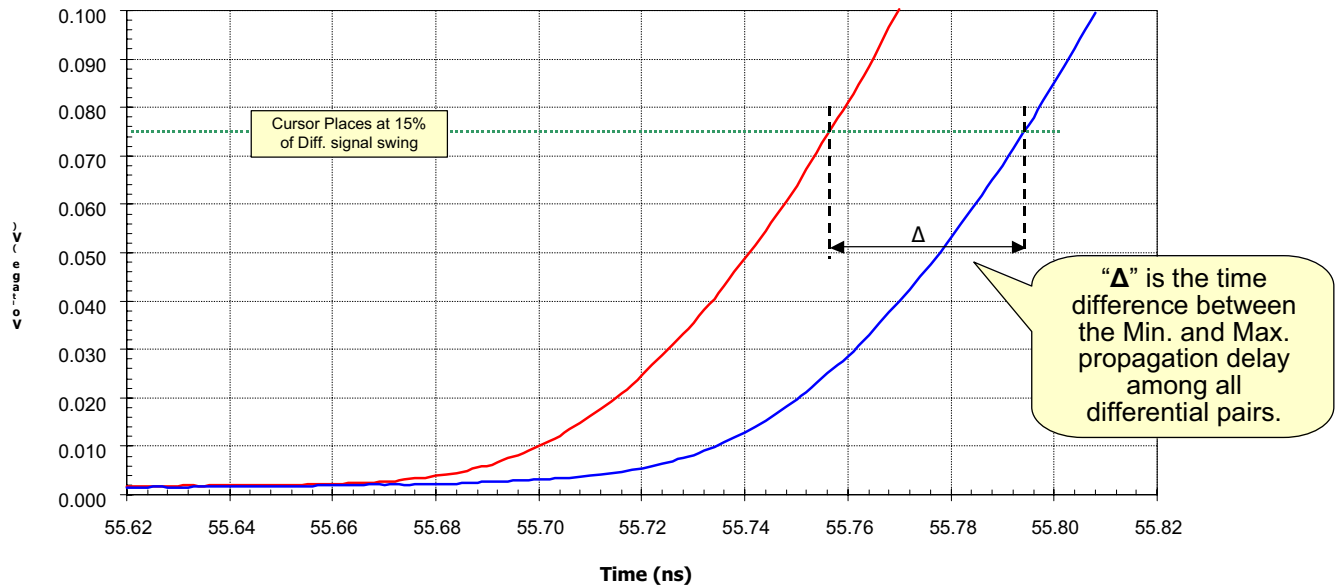


图4-18：配对偏斜测量方法

4.1.6 减少比特电缆连接器组装规范

4.1.6.1 插入损失和退货损失

以下方程表示限制插入损失和回报损失的结果的参考线。

4.1.6.1.1 插入损失 - 减少比特电缆组件的下限

$$IL_{\min.}[dB]=\begin{cases} -1-13.5\times\sqrt{\frac{f}{f_0}} & ; 0.01 < f \leq \frac{f_0}{3} \\ -2.1-[12(f-\frac{f_0}{3})+6.8] & ; \frac{f_0}{3} < f \leq 4 \end{cases}$$

在哪里：

f 在GHz中给出

$f_0=0.825\text{ GHz}$

图4-19显示了表示上述插入损失的图表，必须称为下限。测量的电缆组件结果必须符合此限制。

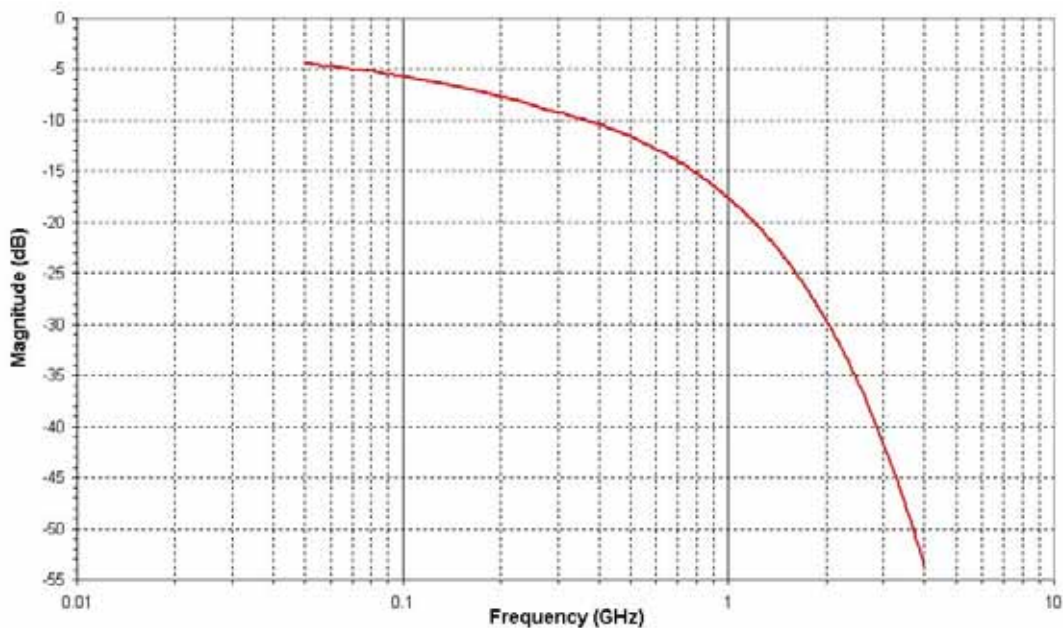


图4-19：混合模式差分插入损失（SDD21）RBR电缆的面膜

4.1.6.1.2 Return Loss – Upper Limit for Reduced Bit Rate Cable Assembly

$$RL_{\max.}[dB] = \begin{cases} -15 & ; 0.1 < f \leq \frac{f_0}{2} \\ -15 + 12 \log_{10} \left(2x \frac{f}{f_0} \right) & ; \frac{f_0}{2} < f \leq 4 \end{cases}$$

在哪里：

f 在GHz = 0.8 GHz中给出

f_0

图4-20显示了表示上述退货损失的图表，必须称为上限。

电缆组件测量的结果必须符合这些限制。

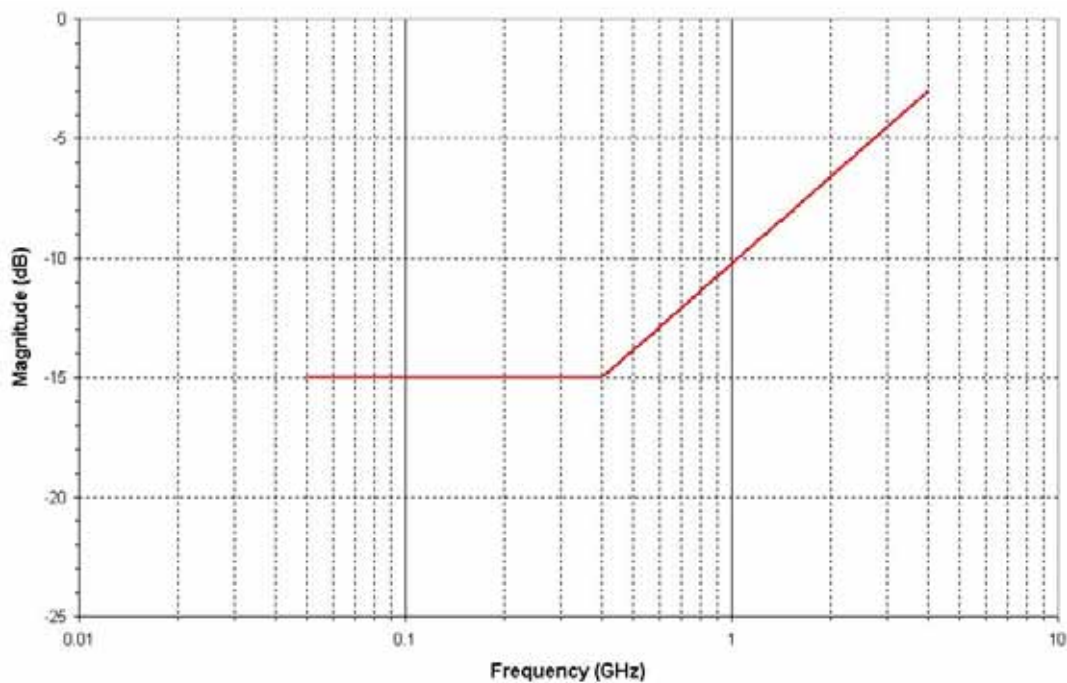


图4-20：RBR电缆的混合模式差异损失（SDD11）

4.1.6.2 近端噪音

近端噪声（NEN）必须低于隔离方程中的上限，并在图4-21中描绘。

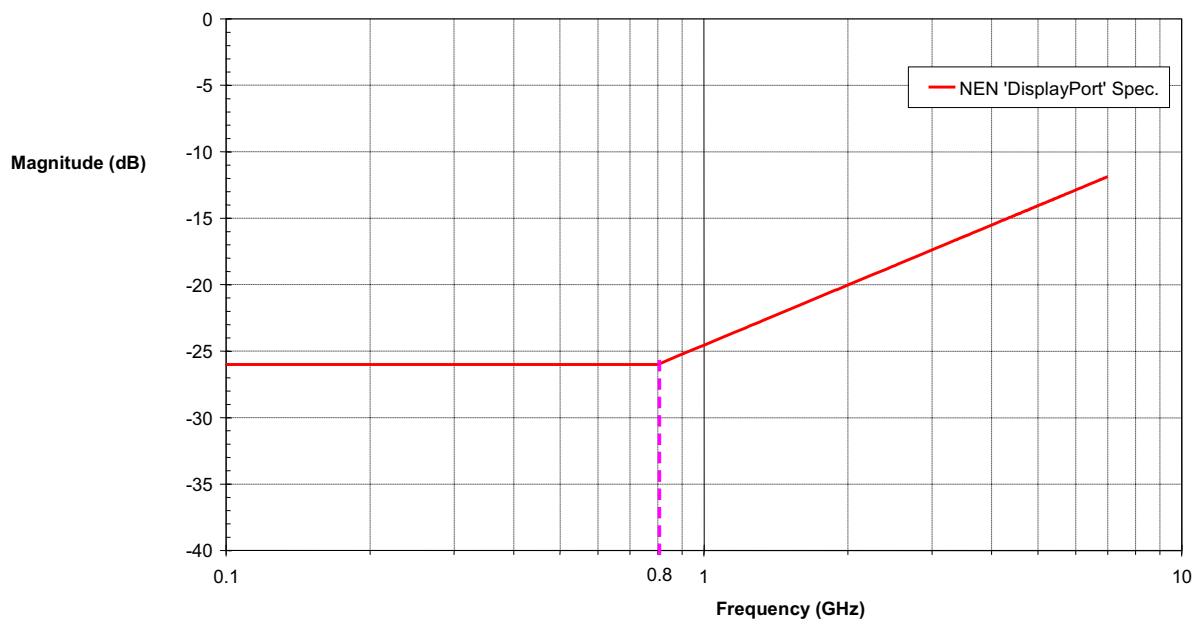
4.1.6.2.1 近端噪音 - 减少比特电缆组件的上限

$$Isolation_{max.}[dB] = \begin{cases} -26 & ; 0.1 < f \leq f_0 \\ -26 + 15 \log_{10}\left(\frac{f}{f_0}\right) & ; f_0 < f \leq 4 \end{cases}$$

Where:

f is given in GHz

$f_0 = 0.8GHz$



数字 4-21: RBR电缆屁股的近端总噪声（峰值）

艾利

4.1.6.3 Far-End Noise

远端噪音（FEN）必须低于图中所示的上限

URE 4-22。

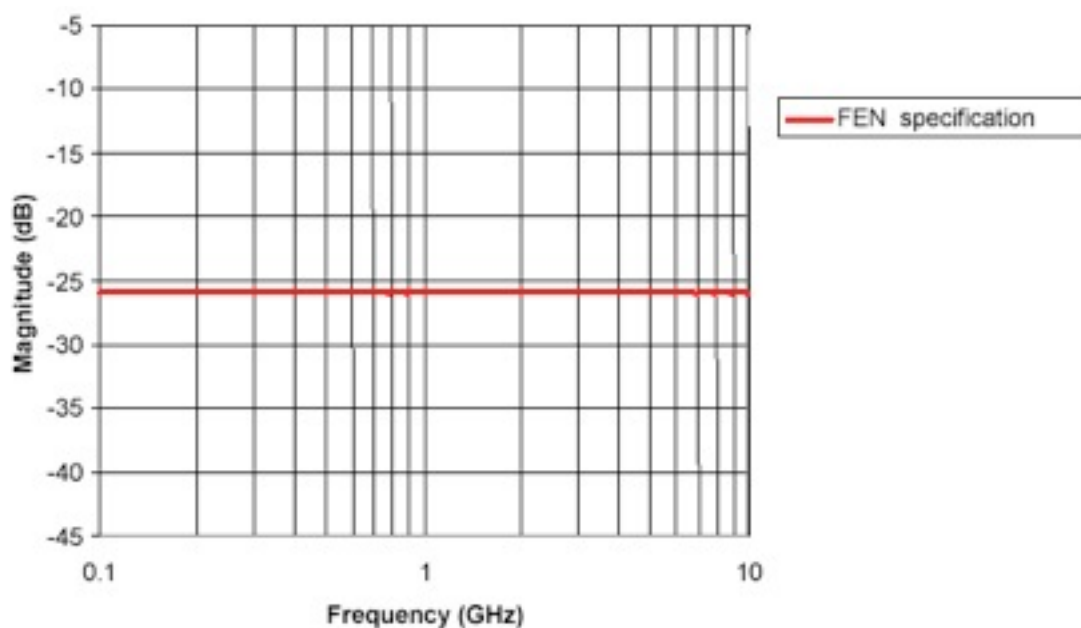


图4-22：RBR电缆组件的远端总噪声（峰值）

4.1.6.4 内和际偏斜

在固定时间上升/秋季时间（即测量的50PS（20至80%））时，在时间域中测量了对水之间偏斜的偏斜。

4.1.6.4.1内对偏斜

内对偏斜的偏差必须不超过250ps。

有关测量方法，请参见图4-17。

4.1.6.4.2跨对偏斜

对于电缆型C1，C2和C3，RBR处的配对间偏差必须不超过2UI。有关测量方法，请参见图4-18。

4.2 连接器规范

本节介绍了外部和内部DP连接器的规格。

4.2.1 外部全尺寸连接器

4.2.1.1 连接器销分配

表4-9显示了上游设备上下游端口（DFP）上DP外部连接器的销钉分配。表4-10显示了在下游设备上上游端口（UFP）上DP外部连接器的引脚分配。

表4-9：DFP连接器引脚分配

Pin Number	Signal Type	Pin Name	Mating Row Contact Location	Vertically Opposed Connector's Front View
1	Out	ML_Lane 0(p)	Top	
2	GND	GND	Bottom	
3	Out	ML_Lane 0 (n)	Top	
4	Out	ML_Lane 1 (p)	Bottom	
5	GND	GND	Top	
6	Out	ML_Lane 1 (n)	Bottom	
7	Out	ML_Lane 2 (p)	Top	
8	GND	GND	Bottom	
9	Out	ML_Lane 2 (n)	Top	
10	Out	ML_Lane 3 (p)	Bottom	
11	GND	GND	Top	
12	Out	ML_Lane 3 (n)	Bottom	
13	CONFIG ^a	CONFIG1	Top	
14	CONFIG ^a	CONFIG2	Bottom	
15	I/O	AUX CH (p)	Top	
16	GND	GND	Bottom	
17	I/O	AUX CH (n)	Top	
18	In	Hot Plug Detect	Bottom	
19	RTN	Return	Top	
20	PWR Out ^b	DP_PWR	Bottom	

a. Pins 13 and 14 must be connected to ground through a pull-down device. External devices and cable assemblies must be designed to not rely on a low-impedance ground path from these pins.

b. Pin 20, PWR Out, must provide $+3.3V \pm 10\%$ with a maximum current of 500mA and minimum power capability of 1.5W.

表4-10: UFP连接器引脚分配

Pin Number	Signal Type	Pin Name	Mating Row Contact Location	Vertically Opposed Connector's Front View
1	In	ML_Lane 3(n)	Top	
2	GND	GND	Bottom	
3	In	ML_Lane 3 (p)	Top	
4	In	ML_Lane 2 (n)	Bottom	
5	GND	GND	Top	
6	In	ML_Lane 2 (p)	Bottom	
7	In	ML_Lane 1 (n)	Top	
8	GND	GND	Bottom	
9	In	ML_Lane 1 (p)	Top	
10	In	ML_Lane 0 (n)	Bottom	
11	GND	GND	Top	
12	In	ML_Lane 0 (p)	Bottom	
13	CONFIG ^a	CONFIG1	Top	
14	CONFIG ^a	CONFIG2	Bottom	
15	I/O	AUX CH (p)	Top	
16	GND	GND	Bottom	
17	I/O	AUX CH (n)	Top	
18	Out	Hot Plug Detect	Bottom	
19	RTN	Return	Top	
20	PWR Out ^b	DP_PWR	Bottom	

a. Pins 13 and 14 must be connected to ground through a pull-down device. External devices and cable assemblies must be designed to not rely on a low-impedance ground path from these pins.

b. Pin 20, PWR Out, must provide $+3.3V \pm 10\%$ with a maximum current of 500mA and minimum power capability of 1.5W.

图4-23显示了外部电缆连接器组件的接线。标准的外部电缆连接器组件不得在引脚20，DP_PWR上有电线。

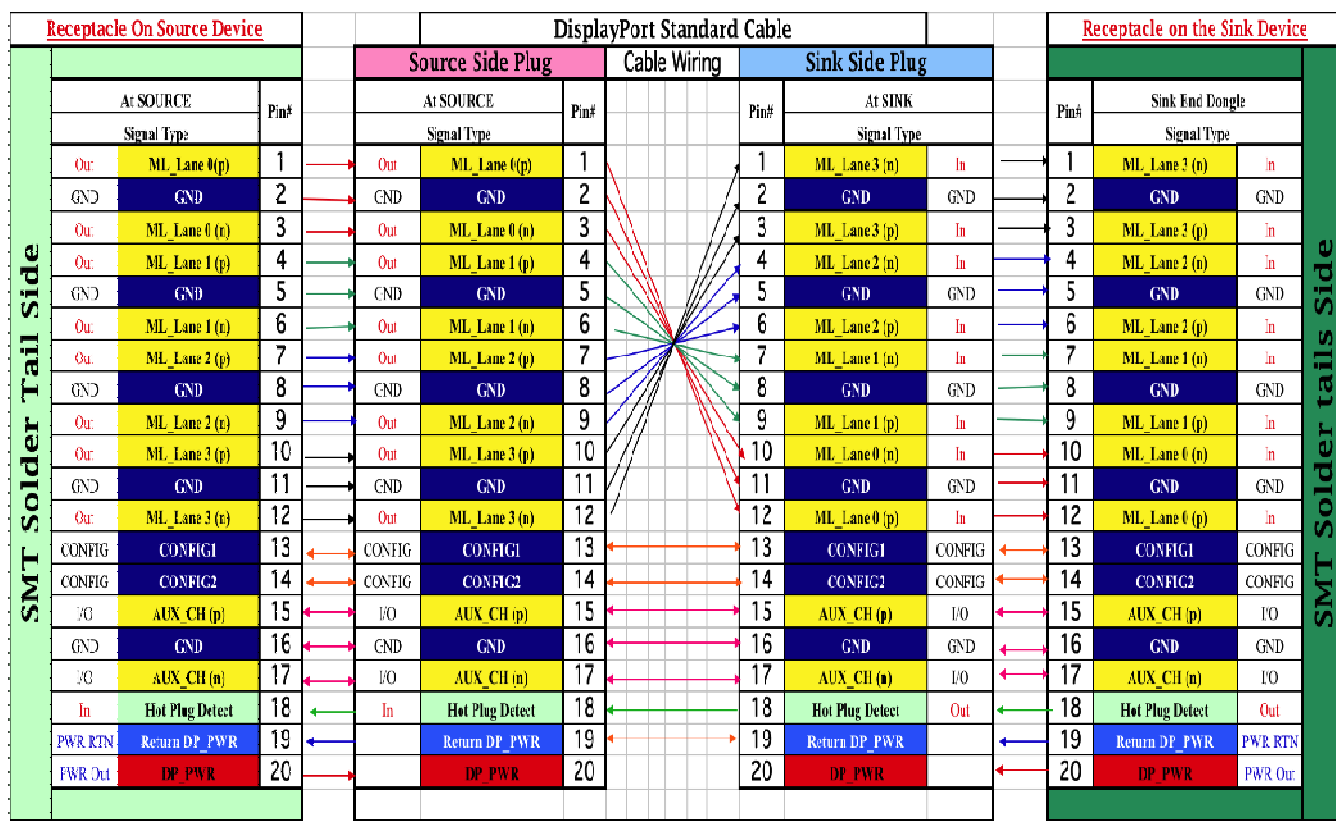


图4-23：外部电缆连接器组件接线

4.2.1.2 Contact Sequence

t Able 4-11显示了信号名称/类型交配的传说 等级。

表4-11： 交配序列水平

Signal Type			Level
Connector Shell			First Mate
DP_PWR	Return	GND	Second Mate
Auxiliary (+) / (-)	ML_Lane (i) (+) / (-)	Hot Plug Detect	Third Mate

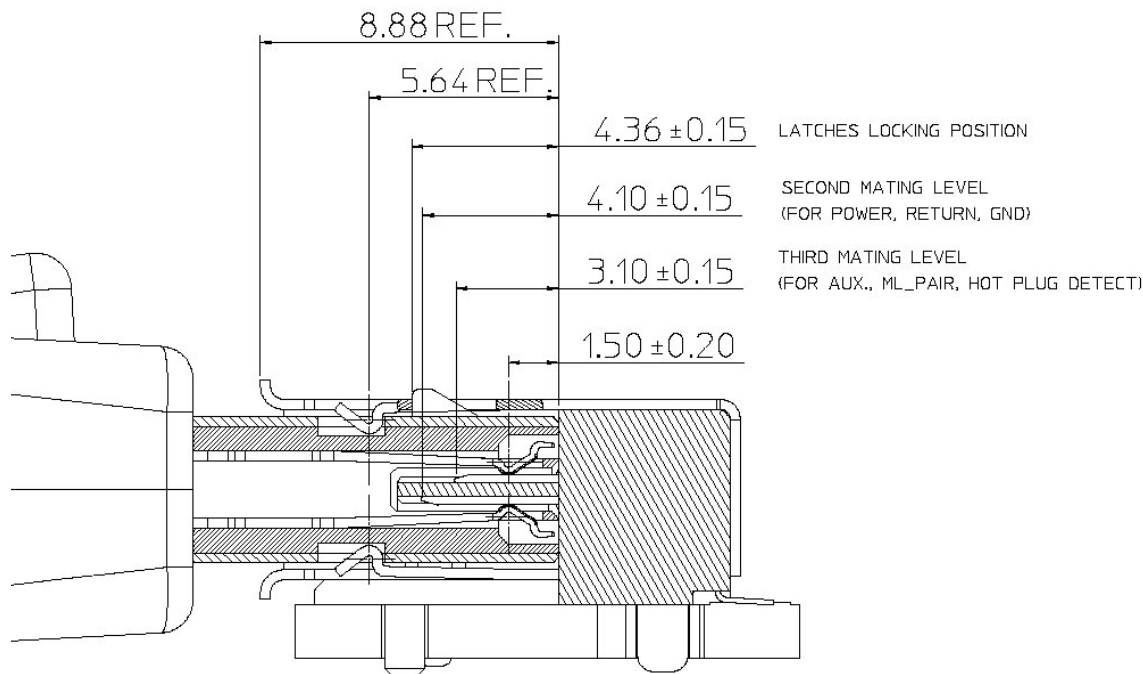


图4-24： 连接器交配级别

4.2.1.3连接器机械性能

表4-12显示 DP外观的机械性能要求

NAL连接器。

表4-12: 连接器机械性能

Item	Test Condition	Requirement	
Vibration	Amplitude: 1.52mm P-P or 147m/s ² {15G} Sweep time: 50-2000-50Hz in 20 minutes. Duration: 12 times in each of X, Y, Z axes (Total of 36 times) Electrical load: DC 100mA current must be conducted during the test. (ANSI/EIA-364-28 Condition III, Method 5A)	Appearance	No Damage
		Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum
		Discontinuity	1us maximum
Durability	Measure contact and shell resistance after the following. Automatic cycling: 10,000 cycles at 100 ±50 cycles/hr. (ANSI/EIA-364-09)	Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum
Insertion/ Withdrawal Force (no latches)	Insertion and withdrawal speed: 25mm/minute. (ANSI/EIA-364-13)	Withdrawal force	9.8N {1.0kgf} minimum 39.2N {4.0kgf} maximum
		Insertion force	44.1N {4.5kgf} maximum
Latch Strength	Mate connectors, apply axial pull-out force at a rate of 13mm / minute until the latch is disengaged or damaged. (ANSI/EIA-364-98)	Appearance	No damage on either part of connector
		Pull force	49.0N {5.0kgf} minimum
Cable Flex	100 cycles in each of 2 planes. Dimension: X = 3.7 x Cable Diameter. (ANSI/EIA-364-41, Condition I)	Discontinuity	1us maximum
		Dielectric Withstanding Voltage and Insulation Resistance.	Conform to item of dielectric withstanding voltage and insulation resistance

4.2.1.4连接器电气性能

表4-13显示 DP外部的电气性能要求

l连接器。

表4-13: 连接器电气性能

Item	Test Condition	Requirement
Low Level Contact Resistance	Mated connectors Contact: measured by dry circuit, 20mV maximum, and 10mA. Shell: measured by open circuit, 5V maximum, 100mA. (ANSI/EIA-364-23)	Contact: Change from initial value = 30mΩ maximum Shell: Change from initial value = 50mΩ maximum
Dielectric Strength	Unmated connectors, apply 500V RMS between adjacent terminal and ground. (ANSI/EIA 364-20, Method 301) Mated connector, apply 300V RMS between adjacent terminal and ground.	No Breakdown
Insulation Resistance	Unmated connectors, apply 500V DC between adjacent terminal and ground. (ANSI/EIA 364-21, Method 302)	Unmated: 100MΩ minimum
	Mated connectors, apply 150V DC between adjacent terminal and ground.	Mated: 10MΩ minimum
Contact Current Rating	55°C, maximum ambient 85°C, maximum temperature change (ANSI/EIA-364-70, TP-70)	0.5A minimum
Applied Voltage Rating	40V RMS continuous maximum, on any signal pin with respect to the shield.	No Breakdown
Electrostatic Discharge	Test unmated connectors from 1 to 8kV, in 1kV steps, using 8mm ball probe. (IEC61000-4-2)	No evidence of discharge to contacts at 8kV

4.2.1.5连接器环境性能

表4-14显示 s DP EX的环境绩效要求

属连接器。

表4-14: 连接器环境性能

Item	Test Condition	Requirement	
Thermal Shock	10 cycles of: -55°C for 30 minutes +85°C for 30 minutes (ANSI/EIA-364-32, Condition I)	Appearance	No Damage
		Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum
Humidity	A) Mate connectors together and perform the test as follows: - Temperature: +25 to +85°C - Relative Humidity: 80 to 95% - Duration: Four cycles (96 hours) Upon completion of the test, specimens must be conditioned at ambient room conditions for 24 hours, after which the specified measurements must be performed. (ANSI/EIA-364-31)	Appearance	No Damage
		Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum
	B) Unmate connectors and perform the test as follows: - Temperature: +25 to +85°C - Relative Humidity: 80 to 95% - Duration: Four cycles (96 hours) Upon completion of the test, specimens must be conditioned at ambient room conditions for 24 hours, after which the specified measurements must be performed. (ANSI/EIA-364-31)	Appearance	No Damage
		Dielectric Withstanding Voltage and Insulation Resistance	Conform to item of Dielectric Withstanding Voltage and Insulation Resistance
Thermal Aging	Mate connectors and expose to (+105 ±2)°C for 250 hours. Upon completion of the exposure period, the test specimens must be conditioned at ambient room conditions for one to two hours after which the specified measurements must be performed. (ANSI/EIA-364-17, Condition 4, Method A)	Appearance	No Damage
		Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum

4.2.1.6

连接器性能测试序列

为了评估连接器性能，测试顺序必须遵循ANSI/EIA标准（EIA-364-1000.01）中的测试组1、2、3和7。

4.2.1.7

连接器图

图4-25显示了DP外部连接器。所有尺寸均以毫米为单位。

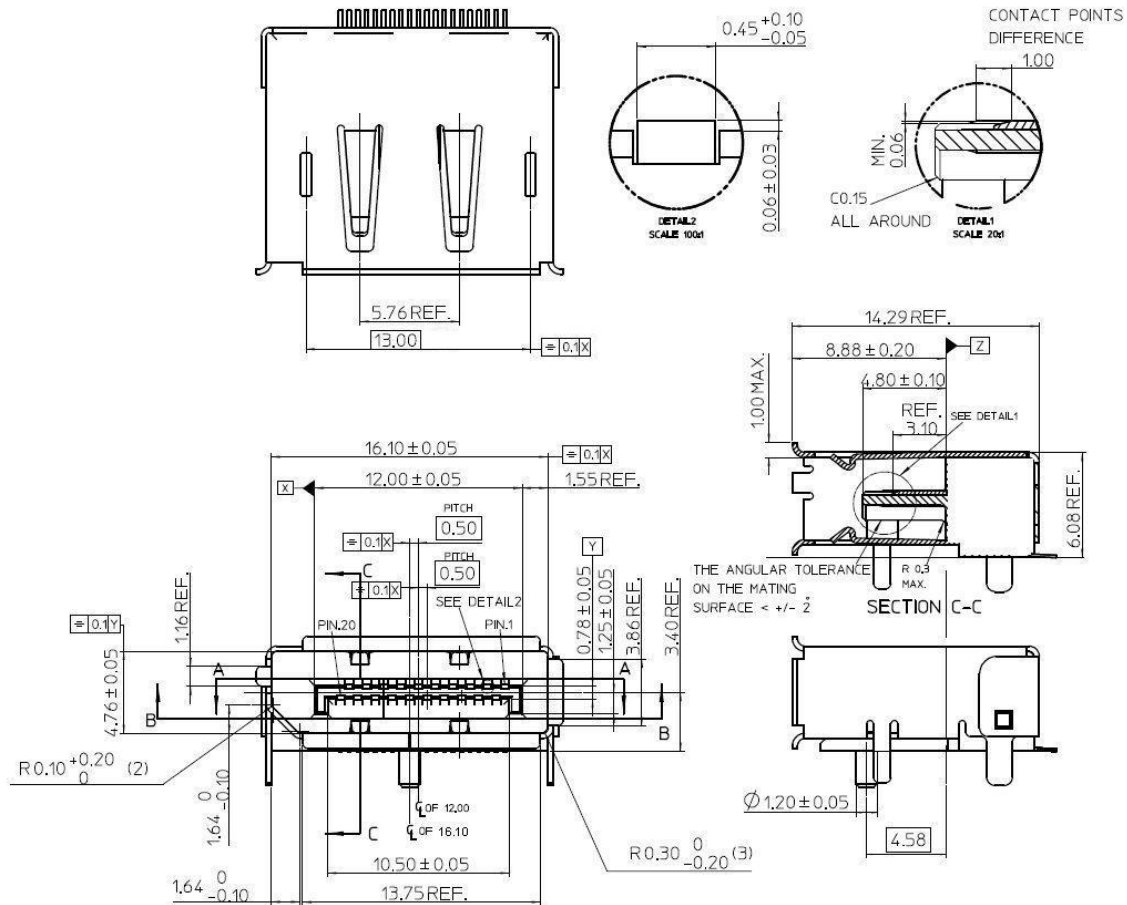


图4-25: DisplayPort外部连接器Drawin

GS

4.2.1.8 电缆连接器图纸

f Figure 4-26 显示了 DP 外部电缆连接组件 布莱。

插头连接器结构的建议：

- 在接口倒角角的另一侧找到“拇指”按钮。
- 无论是否安装闩锁，都可以在插头的顶盖上提供“拇指”按钮。这将为用户提供良好的插头方向指标。
- 没有闩锁的插头可能具有与标准插头的拇指按钮相同的方向指示器的替代功能。

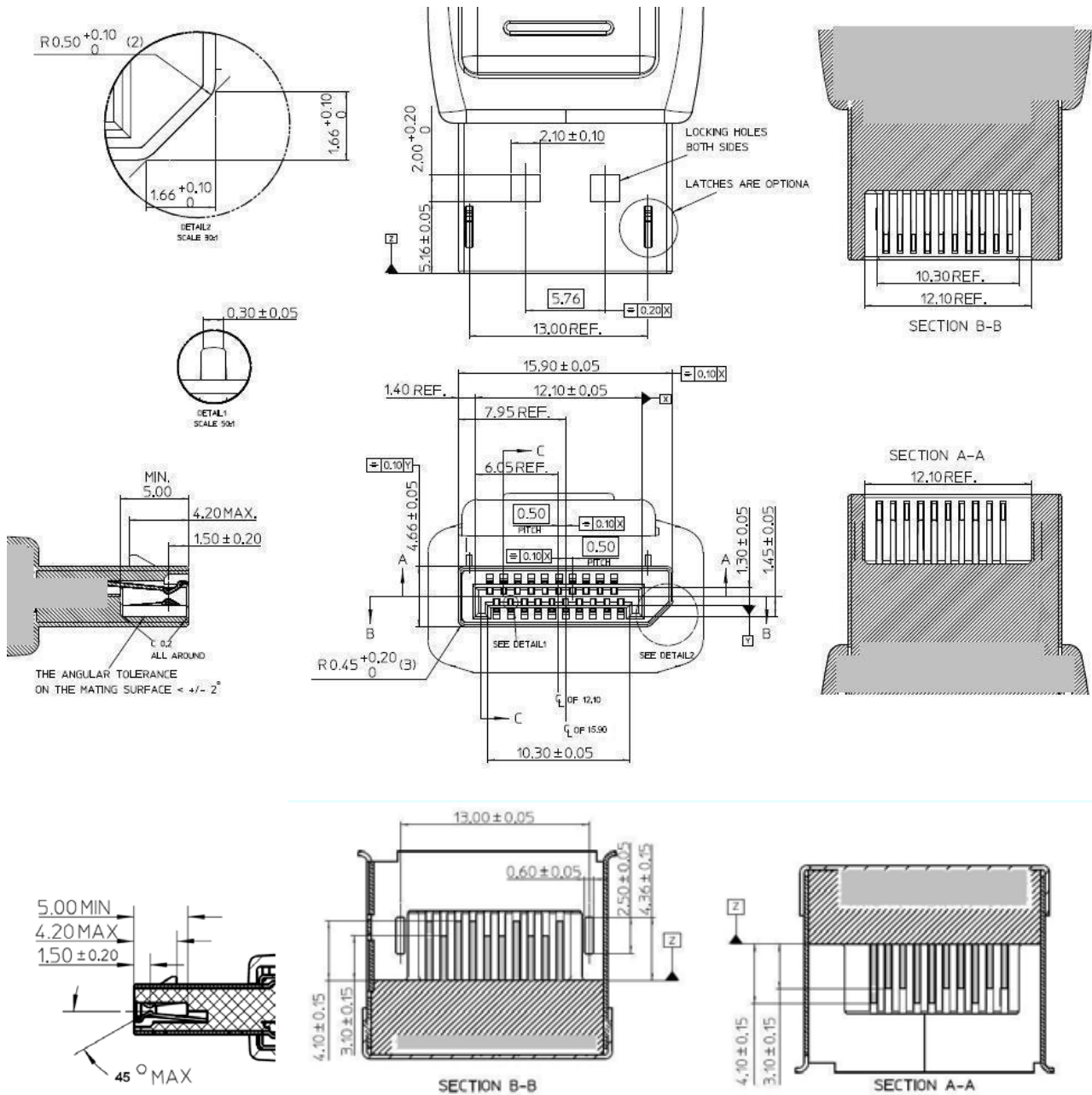


图4-26：显示港外部电缆连接器组装图纸

图4-27显示了外部连接器的推荐方向。

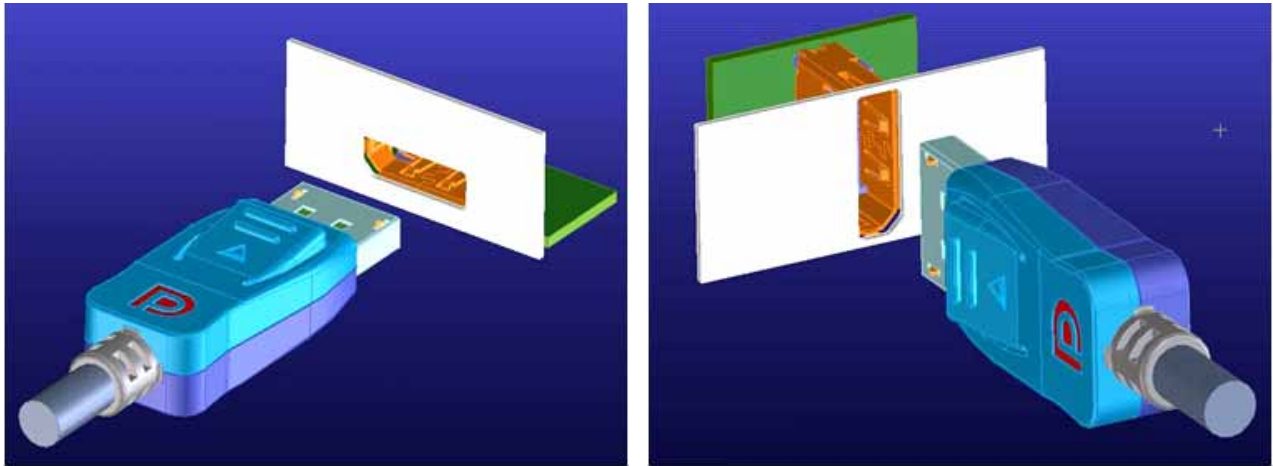
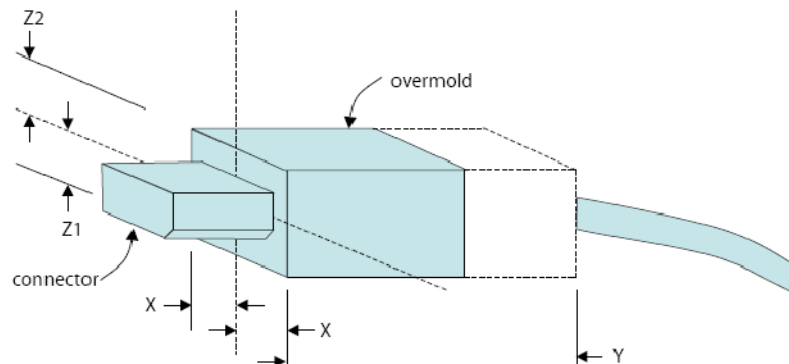


图4-27：外部连接器的建议方向

4.2.1.9非锁定插头连接器的插头过高尺寸

对于非插件插头连接器，必须满足图4-28中的以下过度尺寸参数。



X: max 10mm from connector centerline
Z1: max 5mm from connector centerline
Z2: max 5mm from connector centerline for Y from overmold face
Y: X and Z2 apply for 25mm from overmold face or depth of plug (if less);
Designs intended for use on portable systems are encouraged to use smaller dimensions for Z1 and Z2 wherever practical

图4-28：非锁定连接器的插头过高尺寸

4.2.1.10 插头连接器和板连接器完全磨损的条件

图4-29显示了插头和板连接器的完全交配条件。

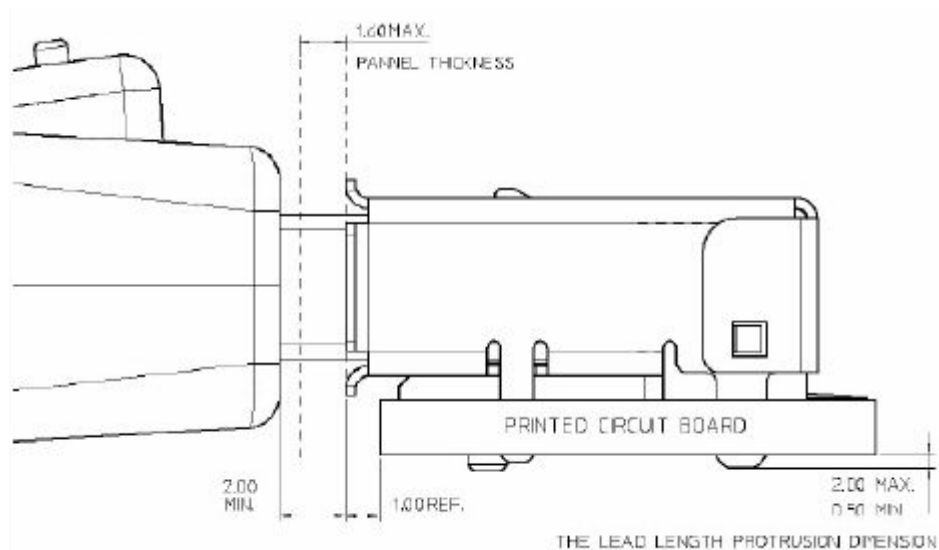
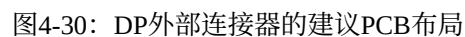


图4-29：展示端口外部连接器的完全配合条件

Figure 4-30显示了DP外部电缆连接组件

Figure 4-30显示了DP外部电缆连接组件 布莱。



4.2.1.12 PCI卡上的四个DisplayPort外部连接器的参考设计

图4-31是标准PCI卡上四个外部连接器的参考申请设计。

图4-32显示了面板切口参考尺寸。

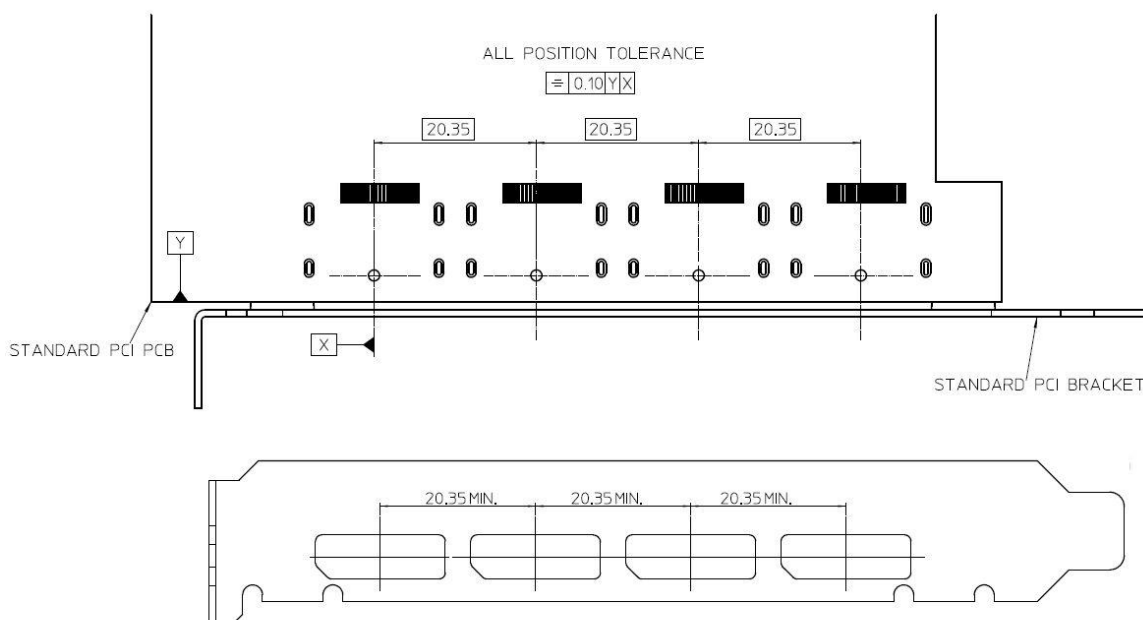


图4-31：PCI卡上四个DP外部连接器的参考设计

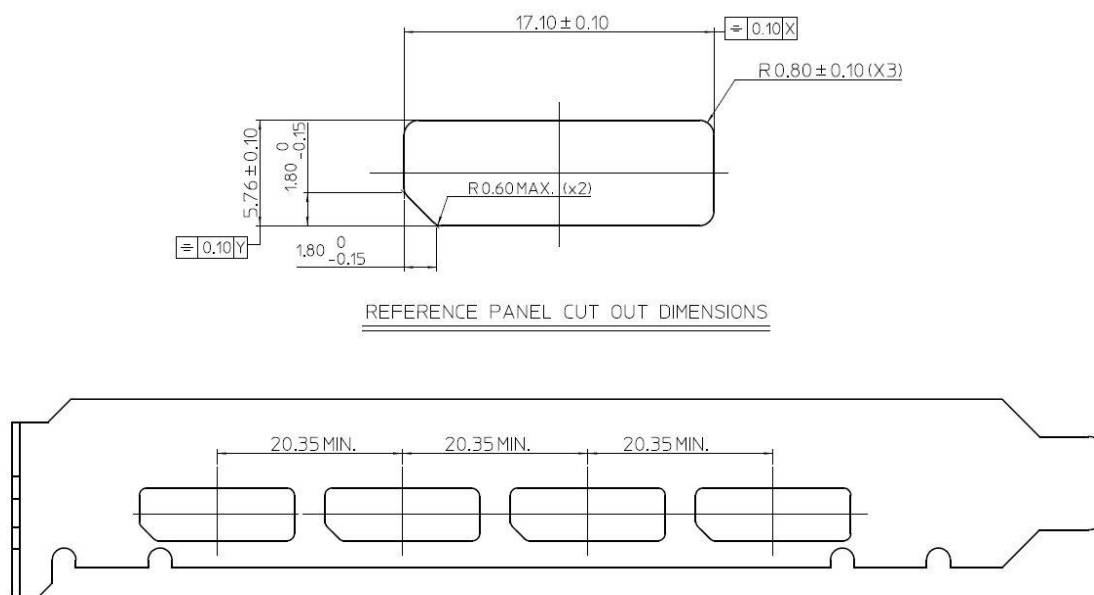


图4-32：剪切的参考尺寸

4.2.2 迷你DisplayPort外部连接器

MDP连接器旨在在源设备上用作外部连接器，其中小型尺寸连接器是有利的。

4.2.2.1 Mini DisplayPort连接器引脚分配

表4-15显示了上游设备上DFP上MDP外部连接器的PIN分配。

表4-15： DFP MDP连接器引脚分配

Top Row			Bottom Row		
Pin Number	Signal Type	Pin Name	Pin Number	Signal Type	Pin Name
1	GND	GND	2	In	Hot Plug Detect
3	Out	ML_Lane 0 (p)	4	CONFIG ^a	CONFIG1
5	Out	ML_Lane 0 (n)	6	CONFIG ^a	CONFIG2
7	GND	GND	8	GND	GND
9	Out	ML_Lane 1 (p)	10	Out	ML_Lane 3 (p)
11	Out	ML_Lane 1 (n)	12	Out	ML_Lane 3 (n)
13	GND	GND	14	GND	GND
15	Out	ML_Lane 2 (p)	16	I/O	AUX_CH (p)
17	Out	ML_Lane 2 (n)	18	I/O	AUX_CH (n)
19	GND	GND	20	PWR Out ^b	DP_PWR

a. Pins 4 and 6 must be connected to ground through a pull-down device. External devices and cable assemblies must be designed to not rely on a low-impedance ground path from these pins.

b. Pin 20, PWR Out, must provide +3.3V ±10% with a maximum current of 500mA and minimum power capability of 1.5W.

建议下游设备应在其UFPS上使用全尺寸DP连接器。但是，如果下游设备在UFP上实现M DP连接器，则必须使用表4-16中指定的PINOUT。

表4-16： UFP MDP连接器引脚分配

Top Row			Bottom Row		
Pin Number	Signal Type	Pin Name	Pin Number	Signal Type	Pin Name
1	GND	GND	2	Out	Hot Plug Detect
3	In	ML_Lane 3 (n)	4	CONFIG ^a	CONFIG1
5	In	ML_Lane 3 (p)	6	CONFIG ^a	CONFIG2
7	GND	GND	8	GND	GND
9	In	ML_Lane 2 (n)	10	In	ML_Lane 0 (n)
11	In	ML_Lane 2 (p)	12	In	ML_Lane 0 (p)
13	GND	GND	14	GND	GND
15	In	ML_Lane 1 (n)	16	I/O	AUX_CH (p)
17	In	ML_Lane 1 (p)	18	I/O	AUX_CH (n)
19	GND	GND	20	PWR Out ^b	DP_PWR

- a. Pins 4 and 6 must be connected to ground through a pull-down device. External devices and cable assemblies must be designed to not rely on a low-impedance ground path from these pins.*
- b. Pin 20, PWR Out, must provide +3.3V ±10% with a maximum current of 500mA and minimum power capability of 1.5W.*

可以在两端用MDP插头构建电缆组件，或者一端的MDP插头和另一端的全尺寸DP插头，或两端的全尺寸DP插头。标准的外部电缆连接器组件不得在引脚20，DP_PWR上有电线。

图4-33显示了在两端使用MDP插头时外部电缆连接器组件的接线。

mDP DFP Connector			mDP-to-mDP Cable Assembly			mDP UFP Connector		
Signal Type	Pin Name	Pin	Plug Pin	Direction	Plug Pin	Pin	Pin Name	Signal Type
GND	GND	1	1	↔	8	8	GND	GND
Out	ML_Lane 0 (p)	3	3	↔	12	12	ML_Lane 0 (p)	In
Out	ML_Lane 0 (n)	5	5	↔	10	10	ML_Lane 0 (n)	In
GND	GND	7	7	↔	13	13	GND	GND
Out	ML_Lane 1 (p)	9	9	↔	17	17	ML_Lane 1 (p)	In
Out	ML_Lane 1 (n)	11	11	↔	15	15	ML_Lane 1 (n)	In
GND	GND	13	13	↔	7	7	GND	GND
Out	ML_Lane 2 (p)	15	15	↔	11	11	ML_Lane 2 (p)	In
Out	ML_Lane 2 (n)	17	17	↔	9	9	ML_Lane 2 (n)	In
GND	GND	19	19	↔	19	19	GND	GND
In	Hot Plug Detect	2	2	↔	2	2	Hot Plug Detect	Out
CFG	CONFIG1	4	4	↔	4	4	CONFIG1	CFG
CFG	CONFIG2	6	6	↔	6	6	CONFIG2	CFG
GND	GND	8	8	↔	1	1	GND	GND
Out	ML_Lane 3 (p)	10	10	↔	5	5	ML_Lane 3 (p)	In
Out	ML_Lane 3 (n)	12	12	↔	3	3	ML_Lane 3 (n)	In
GND	GND	14	14	↔	14	14	GND	GND
I/O	AUX_CH (p)	16	16	↔	16	16	AUX_CH (p)	I/O
I/O	AUX_CH (n)	18	18	↔	18	18	AUX_CH (n)	I/O
PWR Out	DP_PWR	20	20	(no connection)	20	20	DP_PWR	PWR Out

图4-33: MDP电缆连接器组件接线

图4-34和图4-35显示了一端使用MDP插头，另一端使用了全尺寸DP插头时，外部电缆连接器组件的接线。

mDP DFP Connector			mDP-to-DP Cable Assembly			DP UFP Connector		
Signal Type	Pin Name	Pin	Plug Pin	Direction	Plug Pin	Pin	Pin Name	Signal Type
GND	GND	1	1	↔	11	11	GND	GND
Out	ML_Lane 0 (p)	3	3	↔	12	12	ML_Lane 0 (p)	In
Out	ML_Lane 0 (n)	5	5	↔	10	10	ML_Lane 0 (n)	In
GND	GND	7	7	↔	8	8	GND	GND
Out	ML_Lane 1 (p)	9	9	↔	9	9	ML_Lane 1 (p)	In
Out	ML_Lane 1 (n)	11	11	↔	7	7	ML_Lane 1 (n)	In
GND	GND	13	13	↔	5	5	GND	GND
Out	ML_Lane 2 (p)	15	15	↔	6	6	ML_Lane 2 (p)	In
Out	ML_Lane 2 (n)	17	17	↔	4	4	ML_Lane 2 (n)	In
GND	GND	19	19	↔	19	19	GND	GND
In	Hot Plug Detect	2	2	↔	18	18	Hot Plug Detect	Out
CFG	CONFIG1	4	4	↔	13	13	CONFIG1	CFG
CFG	CONFIG2	6	6	↔	14	14	CONFIG2	CFG
GND	GND	8	8	↔	2	2	GND	GND
Out	ML_Lane 3 (p)	10	10	↔	3	3	ML_Lane 3 (p)	In
Out	ML_Lane 3 (n)	12	12	↔	1	1	ML_Lane 3 (n)	In
GND	GND	14	14	↔	16	16	GND	GND
I/O	AUX_CH (p)	16	16	↔	15	15	AUX_CH (p)	I/O
I/O	AUX_CH (n)	18	18	↔	17	17	AUX_CH (n)	I/O
PWR Out	DP_PWR	20	20	(no connection)	20	20	DP_PWR	PWR Out

图4-34：MDP-TO-DP电缆连接器组件接线

DP DFP Connector			DP-to-Mini DP Cable Assembly			mDP UFP Connector		
Signal Type	Pin Name	Pin	Plug Pin	Direction	Plug Pin	Pin	Pin Name	Signal Type
GND	GND	2	2	↔	8	8	GND	GND
Out	ML_Lane 0 (p)	1	1	↔	12	12	ML_Lane 0 (p)	In
Out	ML_Lane 0 (n)	3	3	↔	10	10	ML_Lane 0 (n)	In
GND	GND	5	5	↔	13	13	GND	GND
Out	ML_Lane 1 (p)	4	4	↔	17	17	ML_Lane 1 (p)	In
Out	ML_Lane 1 (n)	6	6	↔	15	15	ML_Lane 1 (n)	In
GND	GND	8	8	↔	7	7	GND	GND
Out	ML_Lane 2 (p)	7	7	↔	11	11	ML_Lane 2 (p)	In
Out	ML_Lane 2 (n)	9	9	↔	9	9	ML_Lane 2 (n)	In
GND	GND	19	19	↔	19	19	GND	GND
In	Hot Plug Detect	18	18	↔	2	2	Hot Plug Detect	Out
CFG	CONFIG1	13	13	↔	4	4	CONFIG1	CFG
CFG	CONFIG2	14	14	↔	6	6	CONFIG2	CFG
GND	GND	11	11	↔	1	1	GND	GND
Out	ML_Lane 3 (p)	10	10	↔	5	5	ML_Lane 3 (p)	In
Out	ML_Lane 3 (n)	12	12	↔	3	3	ML_Lane 3 (n)	In
GND	GND	16	16	↔	14	14	GND	GND
I/O	AUX_CH (p)	15	15	↔	16	16	AUX_CH (p)	I/O
I/O	AUX_CH (n)	17	17	↔	18	18	AUX_CH (n)	I/O
PWR Out	DP_PWR	20	20	(no connection)	20	20	DP_PWR	PWR Out

图4-35: DP-TO-MDP电缆连接器组件接线

可以用一端的MDP插头和另一端的全尺寸DP连接器来构建调整大小的适配器。这样的适配器必须携带所有20个信号（包括DP_PWR），并且必须进行信号连接，以使MDP插头适应全尺寸DP连接器。图4-36显示了一个被动适配器的接线，一端的MDP插头和另一端的全尺寸DP连接器。

mDP DFP Connector			mDP-to-DP Adaptor			DP Cable Plug		
Signal Type	Pin Name	Pin	Plug Pin	Direction	Connector Pin	Pin	Pin Name	Signal Type
GND	GND	1	1	↔	2	2	GND	GND
Out	ML_Lane 0 (p)	3	3	↔	1	1	ML_Lane 0 (p)	In
Out	ML_Lane 0 (n)	5	5	↔	3	3	ML_Lane 0 (n)	In
GND	GND	7	7	↔	5	5	GND	GND
Out	ML_Lane 1 (p)	9	9	↔	4	4	ML_Lane 1 (p)	In
Out	ML_Lane 1 (n)	11	11	↔	6	6	ML_Lane 1 (n)	In
GND	GND	13	13	↔	8	8	GND	GND
Out	ML_Lane 2 (p)	15	15	↔	7	7	ML_Lane 2 (p)	In
Out	ML_Lane 2 (n)	17	17	↔	9	9	ML_Lane 2 (n)	In
GND	GND	19	19	↔	19	19	GND	GND
In	Hot Plug Detect	2	2	↔	18	18	Hot Plug Detect	Out
CFG	CONFIG1	4	4	↔	13	13	CONFIG1	CFG
CFG	CONFIG2	6	6	↔	14	14	CONFIG2	CFG
GND	GND	8	8	↔	11	11	GND	GND
Out	ML_Lane 3 (p)	10	10	↔	10	10	ML_Lane 3 (p)	In
Out	ML_Lane 3 (n)	12	12	↔	12	12	ML_Lane 3 (n)	In
GND	GND	14	14	↔	16	16	GND	GND
I/O	AUX_CH (p)	16	16	↔	15	15	AUX_CH (p)	I/O
I/O	AUX_CH (n)	18	18	↔	17	17	AUX_CH (n)	I/O
PWR Out	DP_PWR	20	20	↔	20	20	DP_PWR	PWR Out

图4-36：MDP-TO-DP适配器接线

可以用一端的DP插头和另一端的MDP连接器来构建调整大小适配器。这样的适配器必须携带所有20个信号（包括DP_PWR），并且必须进行信号连接，以使全尺寸的DP插头适应MDP连接器。图4-37显示了一个被动适配器的接线，一端的DP插头和另一端的MDP连接器。

DP DFP Connector			DP-to-mDP Cable Adaptor			mDP Cable Plug		
Signal Type	Pin Name	Pin	Plug Pin	Direction	Connector Pin	Pin	Pin Name	Signal Type
GND	GND	2	2	←	1	1	GND	GND
Out	ML_Lane 0 (p)	1	1	←	3	3	ML_Lane 0 (p)	In
Out	ML_Lane 0 (n)	3	3	←	5	5	ML_Lane 0 (n)	In
GND	GND	5	5	←	7	7	GND	GND
Out	ML_Lane 1 (p)	4	4	←	9	9	ML_Lane 1 (p)	In
Out	ML_Lane 1 (n)	6	6	←	11	11	ML_Lane 1 (n)	In
GND	GND	8	8	←	13	13	GND	GND
Out	ML_Lane 2 (p)	7	7	←	15	15	ML_Lane 2 (p)	In
Out	ML_Lane 2 (n)	9	9	←	17	17	ML_Lane 2 (n)	In
GND	GND	19	19	←	19	19	GND	GND
In	Hot Plug Detect	18	18	←	2	2	Hot Plug Detect	Out
CFG	CONFIG1	13	13	←	4	4	CONFIG1	CFG
CFG	CONFIG2	14	14	←	6	6	CONFIG2	CFG
GND	GND	11	11	←	8	8	GND	GND
Out	ML_Lane 3 (p)	10	10	←	10	10	ML_Lane 3 (p)	In
Out	ML_Lane 3 (n)	12	12	←	12	12	ML_Lane 3 (n)	In
GND	GND	16	16	←	14	14	GND	GND
I/O	AUX_CH (p)	15	15	←	16	16	AUX_CH (p)	I/O
I/O	AUX_CH (n)	17	17	←	18	18	AUX_CH (n)	I/O
PWR Out	DP_PWR	20	20	←	20	20	DP_PWR	PWR Out

图4-37：DP-TO-MDP适配器接线

可以用一端的MDP插头构建扩展器，另一端构造MDP连接器。这样的适配器必须携带20个信号并制作信号连接，以便MDP插头连接到MDP连接器。图4-38显示了一个被动扩展器的接线，一端的MDP插头和另一端的MDP连接器。

mDP DFP Connector			mDP Plug-to-mDP Connector Cable Assembly			mDP Cable Plug		
Signal Type	Pin Name	Pin	Plug Pin	Direction	Connector Pin	Pin	Pin Name	Signal Type
GND	GND	1	1	↔	1	1	GND	GND
Out	ML_Lane 0 (p)	3	3	↔	3	3	ML_Lane 0 (p)	In
Out	ML_Lane 0 (n)	5	5	↔	5	5	ML_Lane 0 (n)	In
GND	GND	7	7	↔	7	7	GND	GND
Out	ML_Lane 1 (p)	9	9	↔	9	9	ML_Lane 1 (p)	In
Out	ML_Lane 1 (n)	11	11	↔	11	11	ML_Lane 1 (n)	In
GND	GND	13	13	↔	13	13	GND	GND
Out	ML_Lane 2 (p)	15	15	↔	15	15	ML_Lane 2 (p)	In
Out	ML_Lane 2 (n)	17	17	↔	17	17	ML_Lane 2 (n)	In
GND	GND	19	19	↔	19	19	GND	GND
In	Hot Plug Detect	2	2	↔	2	2	Hot Plug Detect	Out
CFG	CONFIG1	4	4	↔	4	4	CONFIG1	CFG
CFG	CONFIG2	6	6	↔	6	6	CONFIG2	CFG
GND	GND	8	8	↔	8	8	GND	GND
Out	ML_Lane 3 (p)	10	10	↔	10	10	ML_Lane 3 (p)	In
Out	ML_Lane 3 (n)	12	12	↔	12	12	ML_Lane 3 (n)	In
GND	GND	14	14	↔	14	14	GND	GND
I/O	AUX_CH (p)	16	16	↔	16	16	AUX_CH (p)	I/O
I/O	AUX_CH (n)	18	18	↔	18	18	AUX_CH (n)	I/O
PWR Out	DP_PWR	20	20	↔	20	20	DP_PWR	PWR Out

图4-38：MDP电缆扩展器接线

4.2.2.2 Mini DisplayPort连接器机械性能要求

表4-17显示了MDP连接器的机械性能要求。

表4-17: MDP连接器机械性能要求

Item	Test Condition	Requirement	
Vibration	Amplitude: 1.52mm P-P or 147m/s ² {15G} Sweep time: 50-2000-50Hz in 20 minutes. Duration: 12 times in each of X, Y, Z axes (Total of 36 times). Electrical load: DC 100mA current must be conducted during the test. (ANSI/EIA-364-28 Condition III Method 5A)	Appearance	No Damage
		Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum
		Discontinuity	1us maximum
Durability	Measure contact and shell resistance after the following. Automatic cycling: 10,000 cycles at 100 ± 50 cycles per hour (ANSI/EIA-364-09)	Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum
Insertion/ Withdrawal Force	Insertion and withdrawal speed: 25mm / minute. (ANSI/EIA-364-13)	Withdrawal force	9.8N {1.0kgf} minimum 39.2N {4.0kgf} maximum
		Insertion force	44.1N {4.5kgf} maximum
Cable Flex	100 cycles in each of 2 planes. Dimension: X = 3.7 x Cable Diameter. (ANSI/EIA-364-41, Condition I)	Discontinuity	1us maximum
		Dielectric Withstanding Voltage and Insulation Resistance.	Conform to item of dielectric withstanding voltage and insulation resistance

4.2.2.3 Mini DisplayPort连接器电气性能要求

表4-18显示了MDP连接器的电性能要求。

表4-18: MDP连接器电气性能要求

Item	Test Condition	Requirement
Low-Level Contact Resistance	Mated connectors. Contact: Measured by dry circuit, 20mV maximum, and 10mA. Shell: Measured by open circuit, 5V maximum, 100mA. (ANSI/EIA-364-23)	Contact: Change from initial value = 30mΩ maximum Shell: Change from initial value = 50mΩ maximum
Dielectric Strength	Unmated connectors, apply 500V RMS between adjacent terminal and ground. (ANSI/EIA 364-20, Method 301) Mated connector, apply 300V RMS between adjacent terminal and ground.	No Breakdown
Insulation Resistance	Unmated connectors, apply 500V DC between adjacent terminal and ground. (ANSI/EIA 364-21, Method 302)	Unmated: 100MΩ minimum
	Mated connectors, apply 150V DC between adjacent terminal and ground.	Mated: 10MΩ minimum
Contact Current Rating	55°C, maximum ambient 85°C, maximum temperature change. (ANSI/EIA-364-70, TP-70)	0.5A minimum
Applied Voltage Rating	40V RMS continuous maximum, on any signal pin with respect to the shield.	No Breakdown
Electrostatic Discharge	Test signal and power pins of associated DP components (transmitter IC, receiver IC and associated I/O circuitry) to withstand JEDEC JESD22-A114-B Class 2 (2kV Human Body Model, 200V Machine Model) strikes.	After test, the DP component meets the part drawing requirements using parametric and functional testing.

4.2.2.4 Mini DisplayPort连接器环境性能要求

表4-19 Sho M的环境绩效要求

DP连接器。

表4-19: MDP连接器环境性能要求

Item	Test Condition	Requirement	
Thermal Shock	10 cycles of: • -55°C for 30 minutes • +85°C for 30 minutes (ANSI/EIA-364-32, Condition I)	Appearance	No Damage
		Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum
Humidity	A) Mate connectors together and perform the test as follows: Temperature: +25 to +85°C Relative Humidity: 80 to 95% Duration: Four cycles (96 hours) Upon completion of the test, specimens must be conditioned at ambient room conditions for 24 hours, after which the specified measurements must be performed. (ANSI/EIA-364-31)	Appearance	No Damage
		Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum
	B) Unmate connectors and perform the test as follows: Temperature: +25 to +85°C Relative Humidity: 80 to 95% Duration: Four cycles (96 hours) Upon completion of the test, specimens must be conditioned at ambient room conditions for 24 hours, after which the specified measurements must be performed. (ANSI/EIA-364-31)	Appearance	No Damage
		Dielectric Withstanding Voltage and Insulation Resistance	Conform to item of Dielectric Withstanding Voltage and Insulation Resistance
Thermal Aging	Mate connectors and expose to (+105 ±2)°C for 250 hours. Upon completion of the exposure period, the test specimens must be conditioned at ambient room conditions for one to two hours after which the specified measurements must be performed. (ANSI/EIA-364-17, Condition 4, Method A)	Appearance	No Damage
		Contact Resistance	Contact: Change from initial value = 30mΩ maximum Shell Part: Change from initial value = 50mΩ maximum

4.2.2.5 连接器性能测试序列

为了评估连接器性能，测试序列必须遵循ANSI/EIA标准（EIA-364-1000.01）中的测试组1、2、3和7。

4.2.2.6 Mini DisplayPort电缆连接器（插头）尺寸

图4-39和图4-40显示了MDP插头的尺寸，包括过度数的最大外部尺寸。显示了过度横截面的外部形状，仅用于说明目的，而不是该标准的一部分。插头必须满足所示的所有维度和公差。

所有尺寸均以毫米为单位。除非另有说明，否则公差为 $x.x \pm 0.2$ ， $x.xx \pm 0.10$ ， $x.xxx \pm 0.05$ 0，Angles $\pm 0.5^\circ$ 。

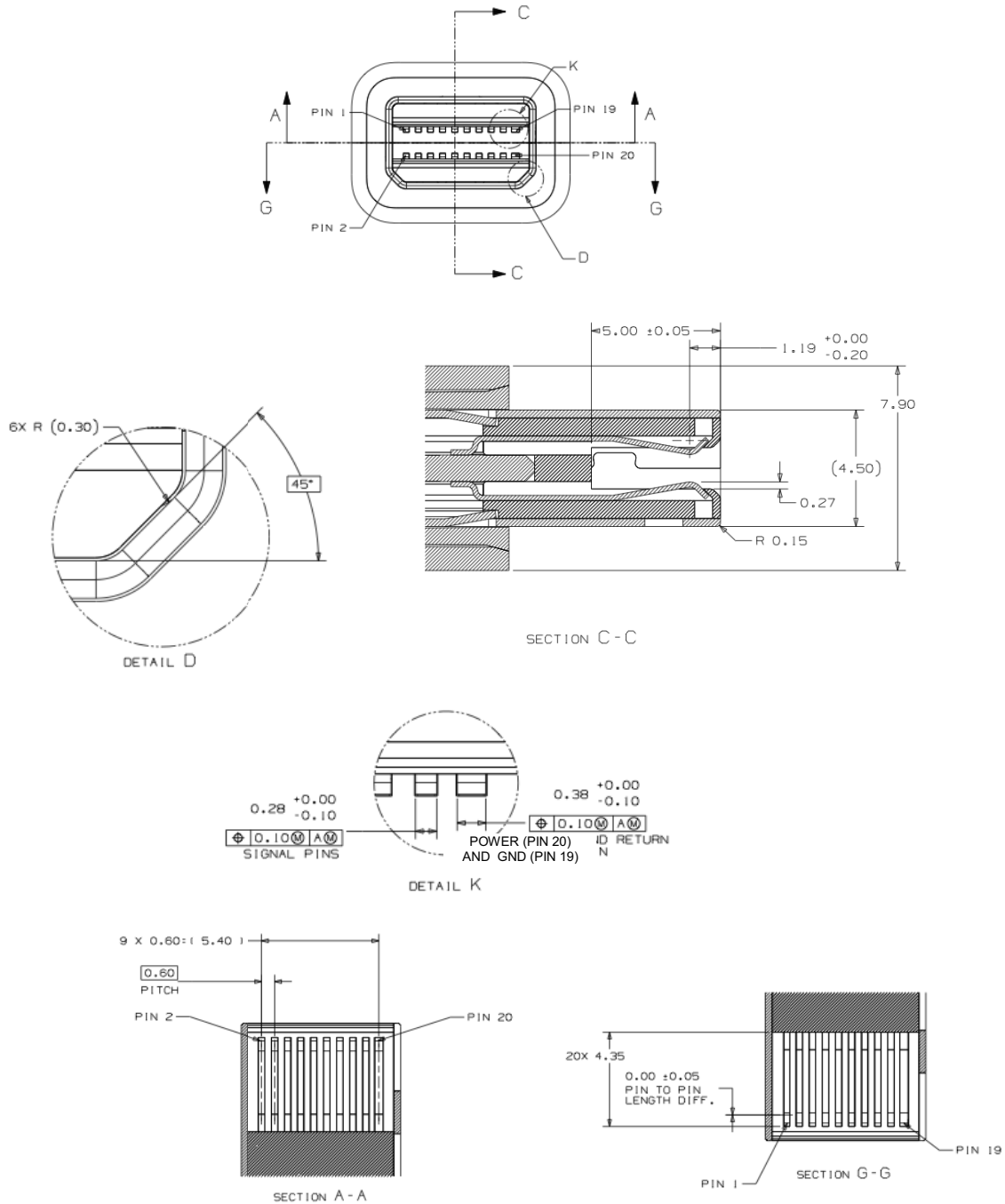


图4-39: MDP电缆连接尺寸 - 1

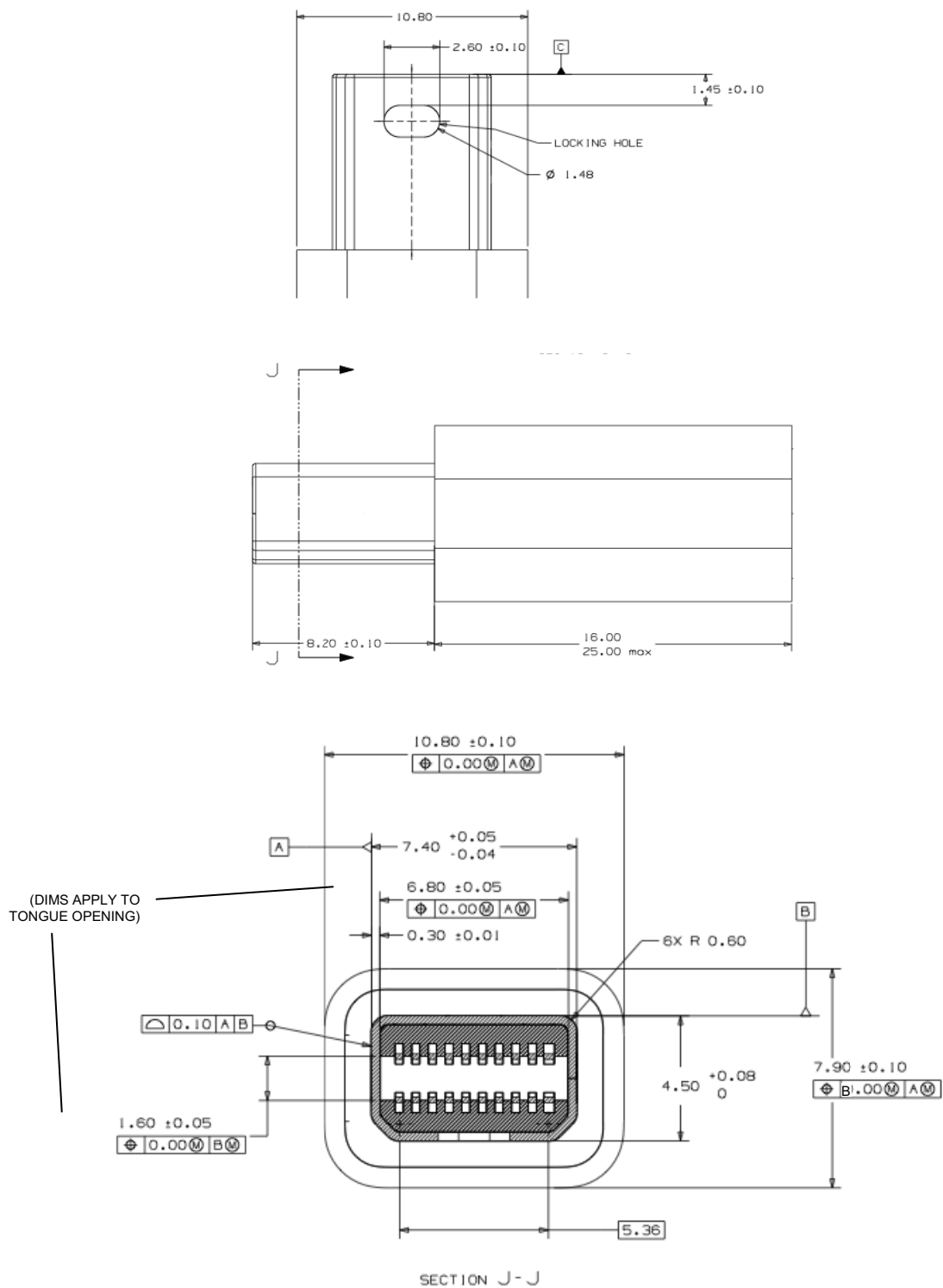


图4-40: MDP电缆连接尺寸 - 2

4.2.2.7 Mini DisplayPort连接器（插座）尺寸

图4-41和图4-42显示了MDP连接器尺寸。连接器必须满足所示的所有维度和公差。

所有尺寸均以毫米为单位。除非另有说明，否则公差为 $x.x \pm 0.2$ ， $x.xx \pm 0.10$ ， $x.xxx \pm 0.05$ ， 0 ， $\text{Angles} \pm 0.5^\circ$ 。

另请参阅第4.2.2.8节，有关所需的面板津贴，第4.2.2.9节以及适当的PCB布局第4.2.2.9节。

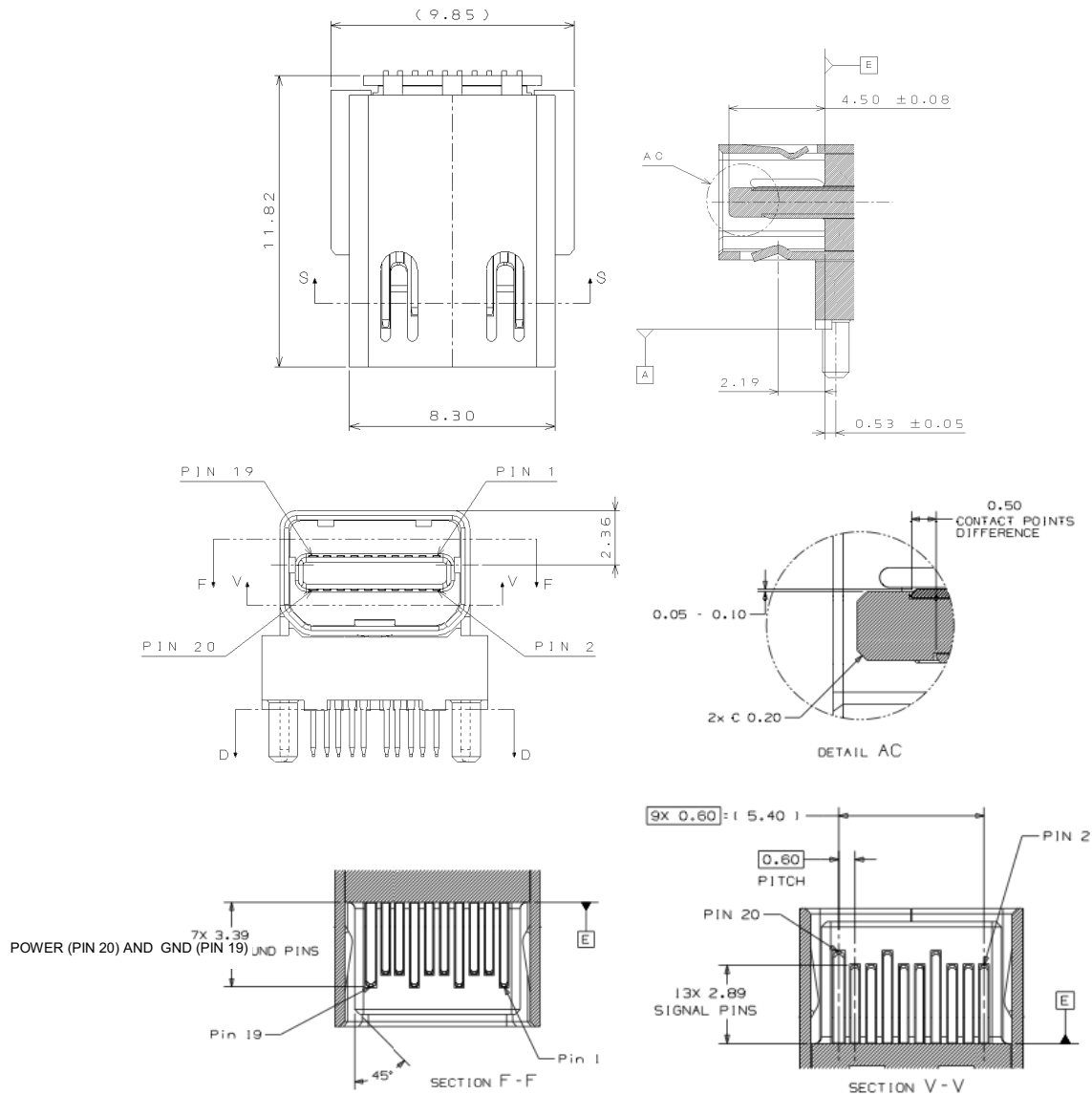


图4-41：MDP连接器尺寸 - 1

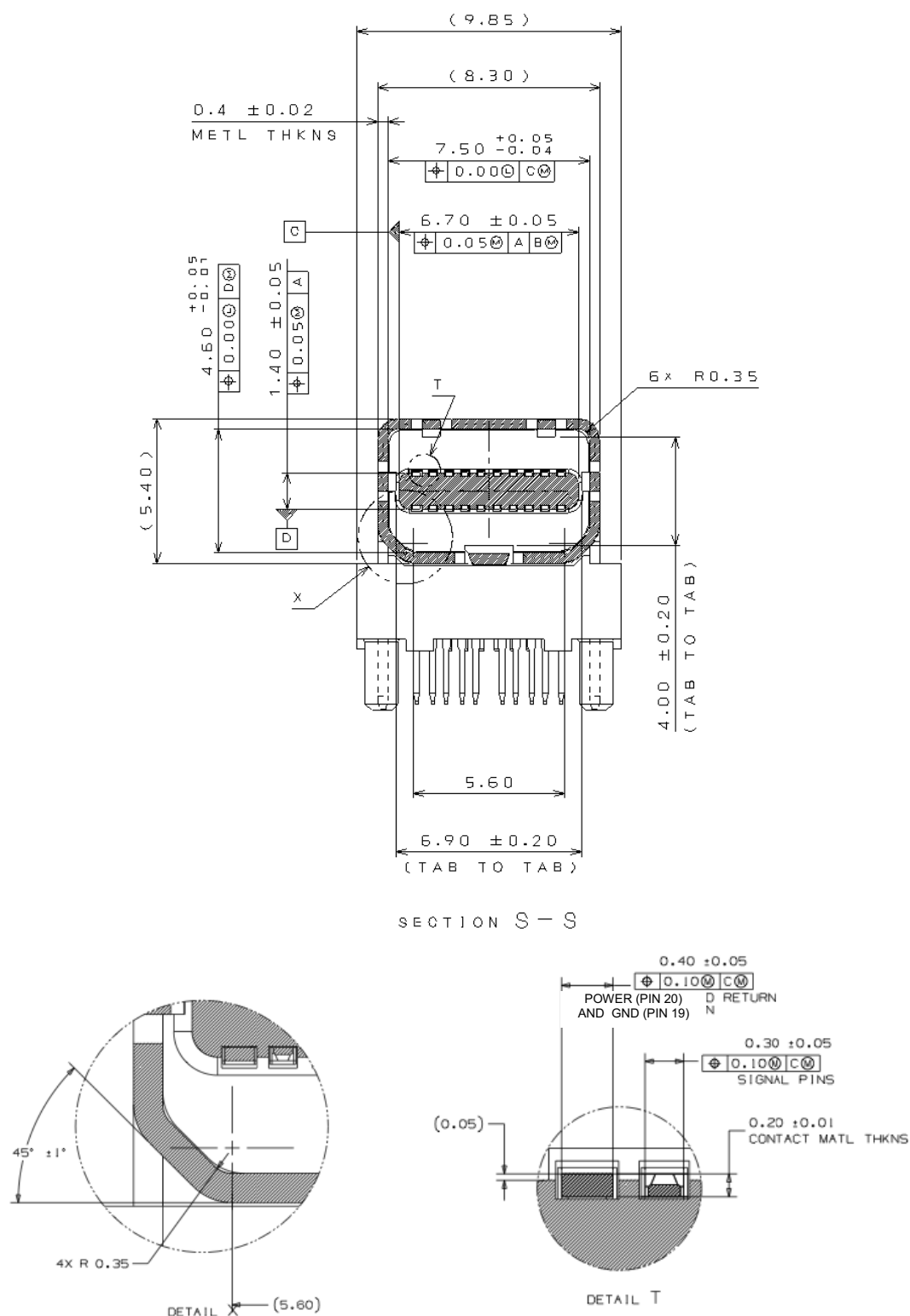


图4-42: MDP连接器尺寸 - 2

4.2.2.8

迷你展示港联系顺序

必须设计MDP插座以确保正确的交配序列。表4-20显示了信号名称/类型交配级别的传说。

表4-20: 交配序列水平

Signal Type		Level
Connector Shell		First Mate ^a
DP_PWR	GND	Second Mate
Auxiliary (+) / (-) ML_Lane (i) (+) / (-)	Hot Plug Detect, CONFIG1, CONFIG2	Third Mate

a. EMC fingers on the shell may mate after all contacts have mated.

图4-43显示了完全交配的MDP插座和插头的交配水平。所有尺寸均以毫米为单位。除非另有说明，否则公差为 $x.x \pm 0.2$ ， $x.xx \pm 0.10$ ， $x.xxx \pm 0.050$ ，Angles $\pm 0.5^\circ$ 。

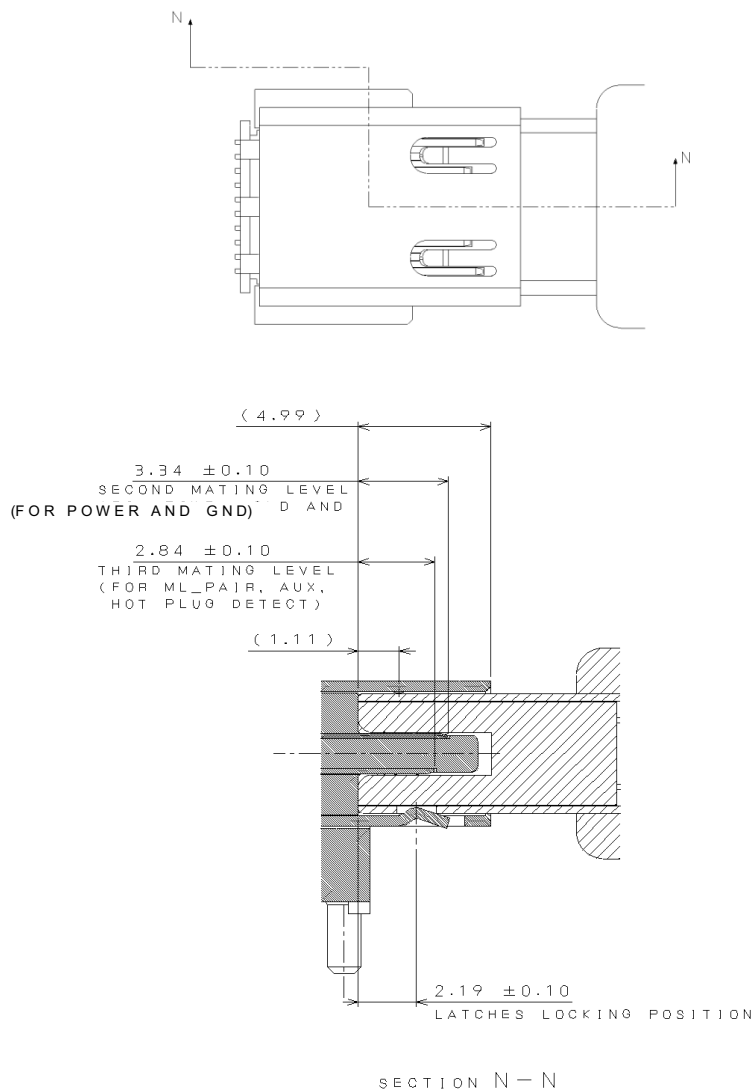


图4-43：满足配合级别的MDP连接器

4.2.2.9 Mini DisplayPort面板津贴

上一节中的数字显示了插头和木板插座状态的插头突出。必须设计包含MDP插座的系统设计，以使MDP插头与MDP插座完全搭配，但具有适当的控制，但具有足够的控制，以防止由于倾斜插入而导致的不正确接触序列。插座设计必须为面板，挡板或类似（使用时）提供适当的津贴，以便满足此要求。为了满足这些要求，从插座中的基准e到设备上的外部交配接口的距离至少为5.7mm，不得超过8.0mm。

4.2.2.10推荐的PCB安装

MDP连接器的推荐安装使用PCB使用的表面安装触点，用于交配界面的销钉顶行和孔底部的销钉底部行。图4-44显示了MDP连接器的PCB界面，即表面安装触点的大小和位置，Thru-Hole触点和定位凸耳。接收这些联系人的实际降落垫设计将取决于系统。

所有尺寸均以毫米为单位。除非另有说明，否则公差为 $x.x \pm 0.2$ ， $x.xx \pm 0.10$ ， $x.xxx \pm 0.05$ 0，Angles $\pm 0.5^\circ$ 。

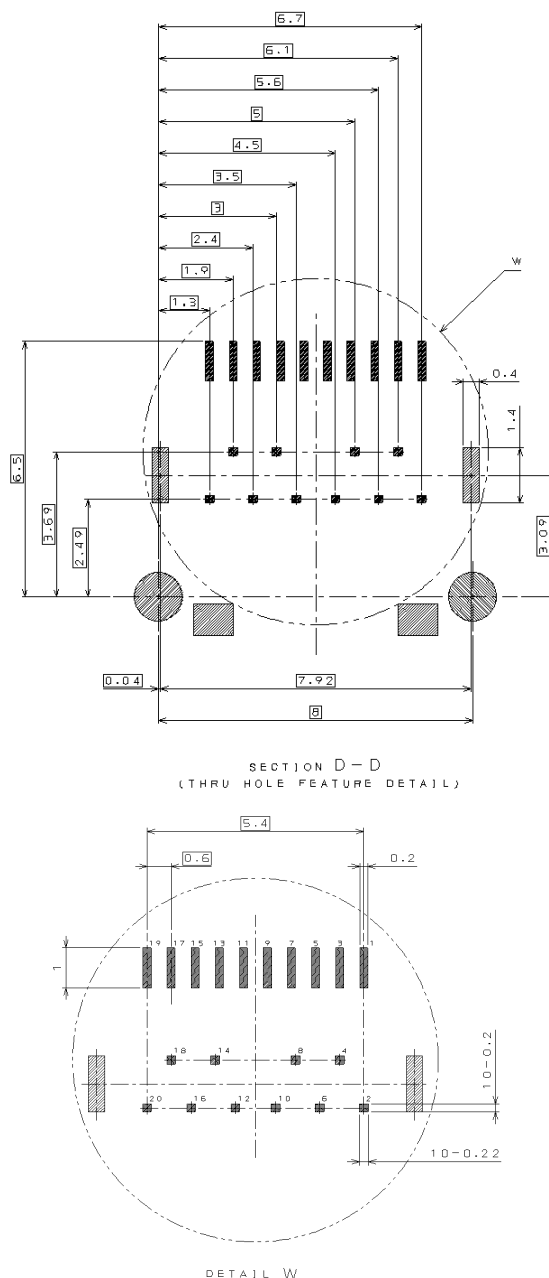


图4-44：推荐的MDP连接器PCB触点和安装

4.2.2.11降低高度PCI卡上四个MDP连接器的参考设计

图4-45和图4-46显示了低调PCI/PCIE卡上四个MDP连接器的参考申请设计。

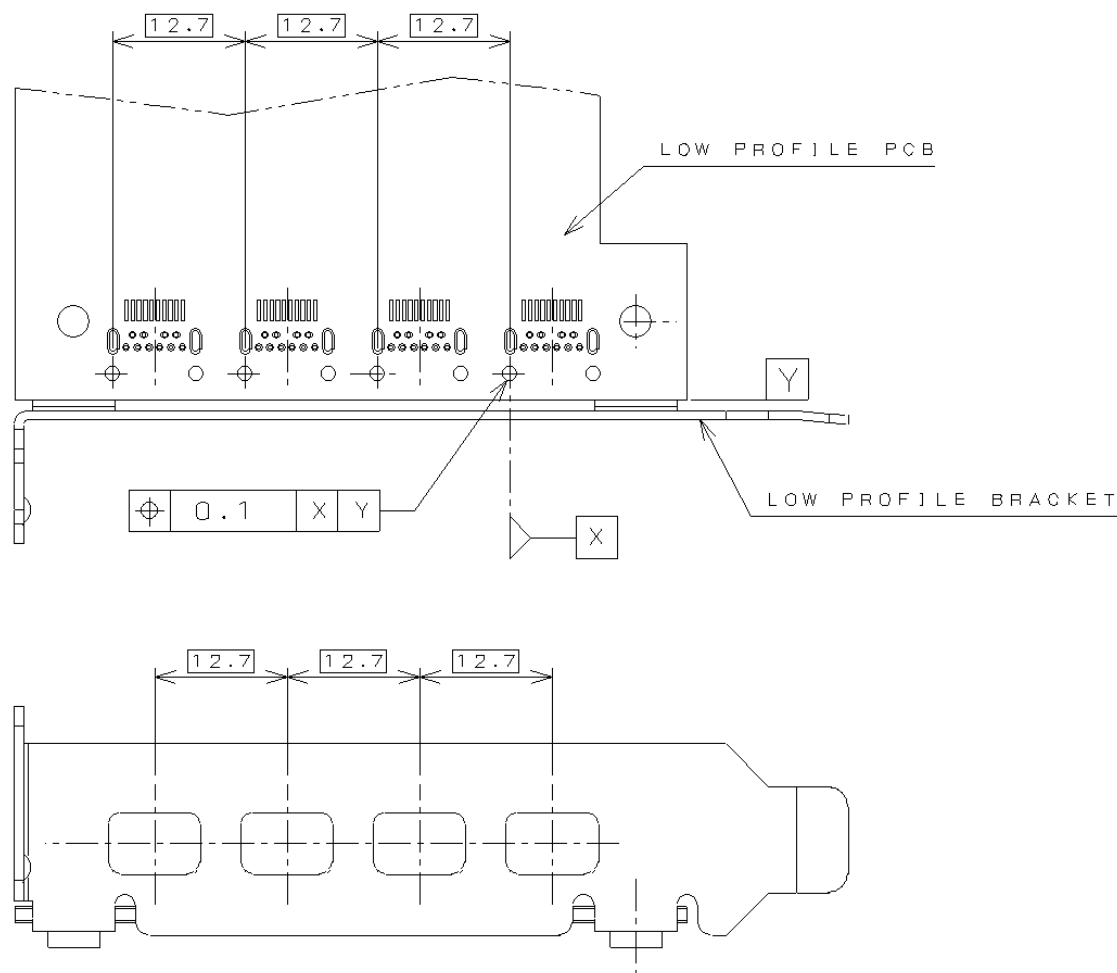


图4-45：降低高度PCI卡上四个MDP连接器的参考设计 - 1

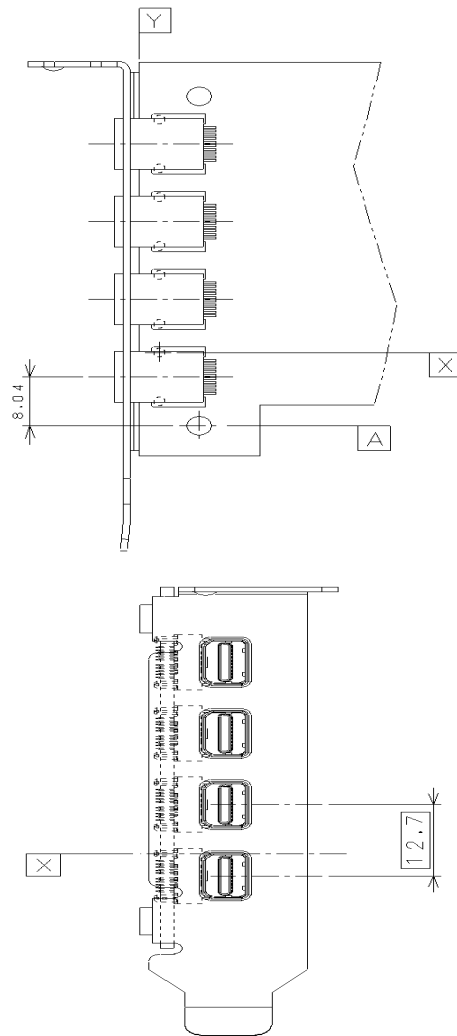


图4-46: 降低高度PCI卡上四个MDP连接器的参考设计 - 2

4.2.3

面板侧内连接器（信息性）

本节涵盖了DP面板侧内部连接器的规格，以进行参考。

面板侧内连接器由两件式30位，低调的，电缆到板，副平面连接器组成。一个件终止电缆（插头），另一件连接到PCB（插座）。

连接器最多支持四个主链路车道（车道0、1、2和3）。在嵌入式连接中，电缆连接器组件可以根据应用程序的带宽要求支持一个，两个或四个车道。

对于一个车道和两个车道主链接配置，填充规则必须是：

- 当仅需要两个车道时，必须填充0和1的车道，而车道2和3。人口不足。
- 当只需要一条车道时，必须填充0车道，而泳道1、2和3则没有人口。

此规范中仅定义了连接器的面板TCON（定时控制器）侧。虽然某些电缆在电缆连接组件的两端可能具有相同的连接器，但其他电缆可能在源设备侧（例如，图形处理器，LCD控制器等）具有更多的引脚，例如LCD背光控制。

4.2.3.1 面板侧内部连接器销分配

表4-21显示了DP面板侧内部连接器的销钉分配。表4-21中DP主链接和AUX CH以外的那些引脚的销分配仅出于参考目的。 有关引脚1的位置， 请参见图4-47。

表4-21: DisplayPort面板侧内部连接器销分配

Pin #	Pin Name	Pin Definition
Frame		Outer shell
1	RESERVED	
2	LCDVCC	Power to LCD panel
3	LCDVCC	
4	LCDVCC	
5	LCDVCC	
6	GND	Power Return (Ground)
7	GND	
8	GND	
9	GND	
10	HPD	Hot Plug Detect Optional
11	RESERVED	
12	RESERVED	
13	H_GND	High Speed (Main-Link) Ground
14	ML_Lane 3(n)	‘Complement’ Signal-Main-Link
15	ML_Lane 3(p)	‘True’ Signal-Main-Link
16	H_GND	High Speed (Main-Link) Ground
17	ML_Lane 2(n)	‘Complement’ Signal-Main-Link
18	ML_Lane 2(p)	‘True’ Signal-Main-Link
19	H_GND	High Speed (Main-Link) Ground
20	ML_Lane 1(n)	‘Complement’ Signal-Main-Link
21	ML_Lane 1(p)	‘True’ Signal-Main-Link
22	H_GND	High Speed (Main-Link) Ground
23	ML_Lane 0(n)	‘Complement’ Signal-Main-Link
24	ML_Lane 0(p)	‘True’ Signal-Main-Link
25	H_GND	High Speed (Main-Link) Ground
26	AUX_CH (p)	‘True’ Signal – Auxiliary channel
27	AUX_CH (n)	‘Complement’ Signal – Auxiliary channel
28	H_GND	High Speed (Main-Link) Ground
29	AUX_PWR	+3.3 Trickle PWR
30	RESERVED	
Frame		Outer shell

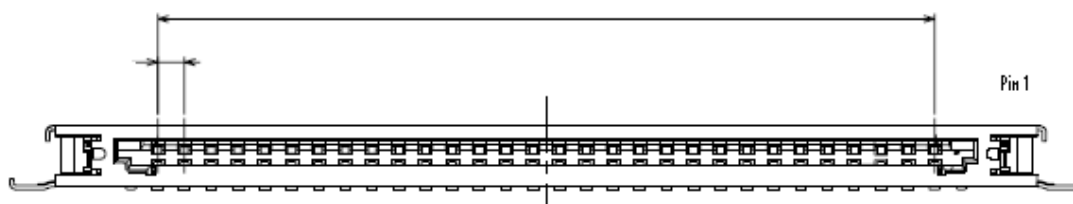
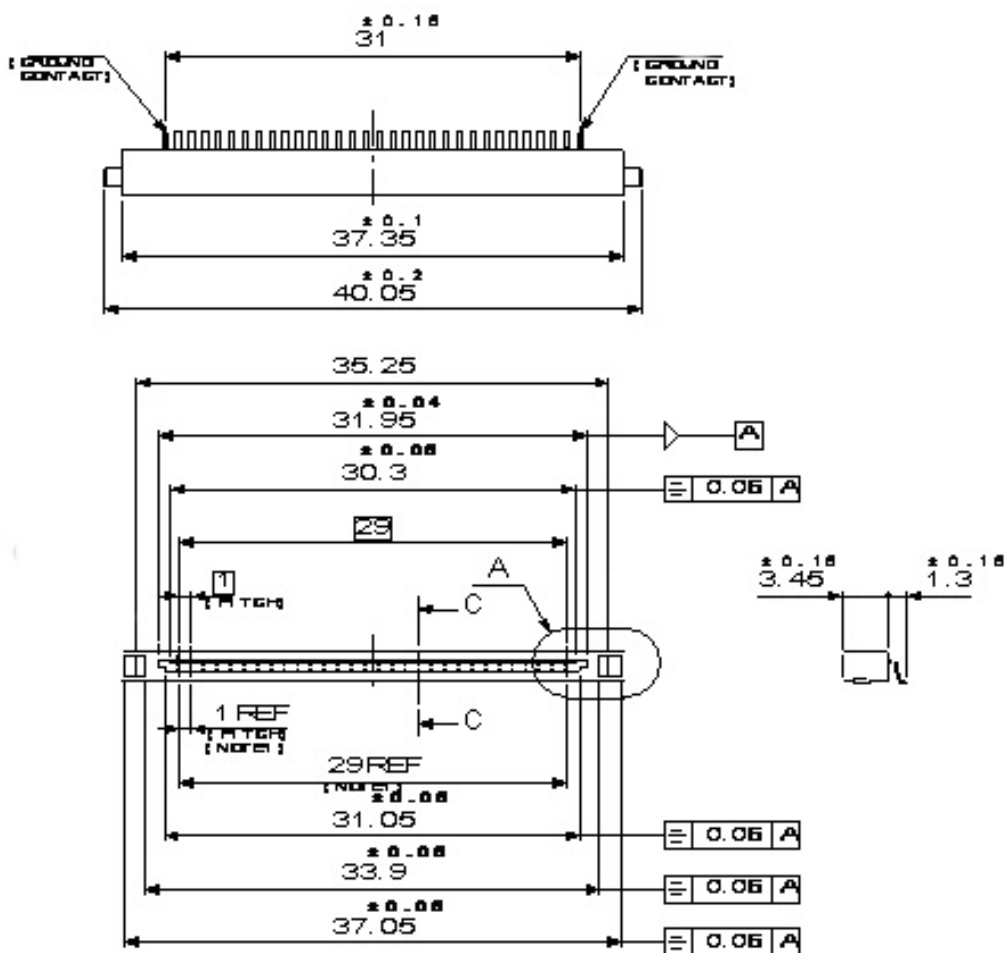


图4-47: 图1显示

4.2.3.2

面板侧内置插座连接器

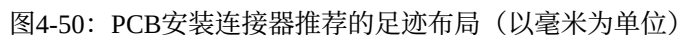
图4-48至图4-50显示了DP面板侧内部PCB插座连接器和建议的足迹布局。



Note: This dimension shows ground contact.

图4-48: 窗格 L边内PCB安装插座连接器 (在M中

m) - 1



面板侧内插头连接器

%0.1 REF

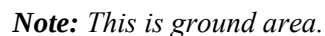
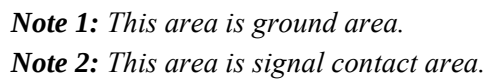


图4-51: 面板侧内部电缆插头连接器 (以毫米为单位)

图4-52和图4-53显示了触点和机械指南的详细信息。



Version 1.4 d1
Page 744 of 866

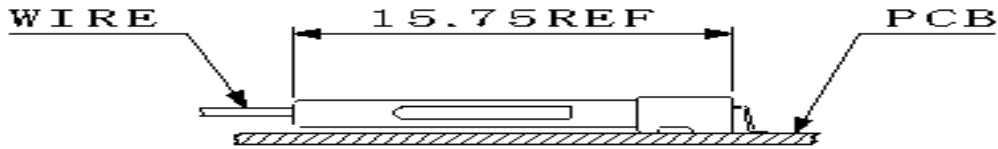


图4-53: 面板侧内部电缆连接器（以毫米为单位）的交配条件（参考）

4.2.3.5 p Anel侧连接器机械需求 NTS

表4-22显示了面板侧连接器的机械要求。

表4-22: 面板侧连接器机械要求

Item	Test Condition	Requirement
Vibration (random)	Frequency: 10 to 2000Hz Acceleration Velocity: 30.38m/s ² (3.1G) RMS. Action direction: In each of three mutually perpendicular planes. Duration: 15 minutes each sample. (EIA-364-28, Test condition VII, Test condition D)	100mA applied with no electrical discontinuity greater than 1us.
Physical shock	Sample should be mounted on the test jig as mounted on the PCB. Acceleration velocity: 490m/s ² or 50G. Waveform: half sine Duration: 11ms. Number of drops: Three drops each to normal and reversed directions of X,Y, and Z axes. Total 18 drops. (EIA-364-27B, Method A)	No electrical discontinuity greater than 1us must occur.
Durability (mating and unmating)	Number of cycles: 50 Automatic Cycling: 100 ±50 cycles per hour (EIA-364-09C)	R = 40mΩ maximum (initially) ΔR = 20mΩ maximum (final)
Durability (preconditioning)	Number of cycles: 20 (EIA-364-09C)	No physical damage.
Connector insertion force	Operation speed: 12.5mm/minute Measure the force required to mate the connector including the latching mechanism. (EIA-364-13B)	35N maximum per connector (30 pin).
Connector withdrawal force	Operation speed: 12.5mm/minute Measure the force required to unmate the connector excluding the latching mechanism. (EIA-364-13B)	5N minimum to 25N maximum per connector (30 pin).

4.2.3.6面板侧连接器电气要求

表4-2 3显示了面板侧con的电气要求

内心。

表4-23: 面板侧连接器电气要求

Item	Test Condition	Requirement
Dielectric withstanding voltage	0.25kV AC for 1 minute. Test between adjacent circuits of unmated connectors. (EIA-364-20C)	No creeping discharge or flashover must occur. Current leakage: 0.5mA maximum
Insulation resistance	Impressed voltage: 100V DC Test between adjacent circuits of unmated connectors for 2 minutes. (EIA-364-21C)	100MΩ minimum (initial) 50MΩ minimum (final)
Low-level contact resistance	Subject mated contacts assembled in housing measured by dry circuit 20mV maximum open circuit at 10mA (EIA-364-23B)	R = 40mΩ maximum (initial) ΔR = 40mΩ maximum (final)
Temperature rise	Measure temperature rise by energizing current. (EIA-364-70A, Method 1)	30°C maximum ΔT over ambient at maximum rated current (0.50A) per contact.

4.2.3.7面板侧连接器环境要求

表4-24 显示面板侧的环境要求

连接器。

表4-24: 面板侧连接器环境要求

Item	Test Condition	Requirement
Humidity and Temperature Cycling	Cycle Mated connector: 25 to 65°C and 50 to 80% relative humidity 10 cycles and 10 cycles of cold shock at -10°C. (EIA-364-31B, Method 4)	Mating Condition: - Contact Resistance: - R = 80mΩ maximum (final) Unmating condition: - Insulation resistance: - R = 50MΩ maximum (final) - ΔR = 50MΩ maximum
Thermal Shock	Cycle mated connector from -55°C for 30 minutes to 85°C for 30 minutes, repeat for 10 cycles. (EIA-364-32)	R = 40mΩ minimum (initial) ΔR = 40mΩ maximum (final)
Temperature Life (heat age)	Submit mated connector to 105°C for 168 hours. (EIA-364-17B)	R = 40mΩ minimum (initial) ΔR = 40mΩ maximum (final)
Temperature Life (preconditioning)	Submit mated connector to 105°C for 92 hours. (EIA-364-17B)	No physical damage

5源/接收器/分支设备策略要求互操作性要求

本节介绍了DisplayPort设备和电缆连接器组件的要求，以最大程度地利用开放式的盒装DP链接来最大化源和接收器设备之间的互操作性。

对于嵌入式连接，系统集成器的责任是确保DP链接满足给定应用程序的要求。圈养源设备和水槽设备对之间的封闭式，框对盒连接（仅设计为彼此）被视为嵌入式连接。来源和水槽设备对必须通过检查源特定的源场的OUI和其他特定于设备的值（DPCD地址00300H至003FFH；请参见表2-158）和Sink设备特异性字段（DPCD地址00400H至004FFH；请参见表2-159），请参见表2-159），请参见004FF，请参见004FFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFF，表2-160）通过辅助交易。

DisplayPort徽标仅适用于满足打开的，框向框DP连接要求的设备。这些产品必须经过认证，并在此徽标上使用该徽标/包装之前完成了VESA的许可协议。

5.1 SST模式下的源设备

本节介绍了在SST模式下运行的框到框连接的源设备要求。

对于嵌入式连接，系统集成器的责任是确保源设备满足给定应用程序的要求。

5.1.1 流源需求

该小节描述了流源的要求，以视频色彩法，视频时间和音频格式来描述。

需要流源来支持EDID V1.4的解析，并且在可行的情况下强烈建议支持解析水槽设备的扩展块（两个CEA扩展块DisplayID扩展块）。

5.1.1.1 视频比色法

DP源设备必须支持表5-1中所示的RGB和YCBCR色色的采购。如第2.2.4节所述，源设备必须指示显示端口主流属性中传输流的比色格式（包括动态范围）。

在确定比色格式时，源设备必须通过EDID读取来检查水槽设备的功能。当接收器设备功能未知时，例如由于EDID的损坏，源设备必须降至18BPP RGB，并具有完整的动态范围（如第5.1.1.1.1节所述，称为“VESA范围”）。

当源设备使用CEA-861-F, Section 5 (640x480p除外) 中调用的视频正时格式传输RGB流时, 使用CEA范围RGB时, 应使用CEA范围RGB。

当源设备传输640x480p 24位RGB时，它将始终使用完整的动态范围。

表5-1: DisplayPort Colilimetry格式支持

Colorimetry Format	Bit-depth per Pixel (bpp)	Bit-depth per Component (bpc)	Dynamic Range ^a	Mandatory vs. Optional
RGB	18	6	“VESA range” only	Mandatory Used in “fall-back” modes when Sink device capability is unknown
	24	8	“VESA range” or “CEA range”	Mandatory
	30	10		Optional
	36	12		
	48	16		
Y-only	8	8	“VESA range”	Optional
	10	10		
	12	12		
	16	16		
YCbCr 4:2:0	12	8	“CEA range” (“VESA range” is also allowed if a DP Sink supports pixel encoding and colorimetry format indication by way of VSC SDP and declares support of the VESA range YCbCr by way of EDID)	Optional
	15	10		
	18	12		
	24	16		
YCbCr 4:2:2	16	8		Mandatory if YCbCr is supported on any other display interface
	20	10		Optional
	24	12		
	32	16		
YCbCr 4:4:4	24	8		Mandatory if YCbCr is supported on any other display interface
	30	10		Optional
	36	12		
	48	16		
RAW	6	6	—	Optional
	7	7		
	8	8		
	10	10		
	12	12		
	14	14		
	16	16		

a. See the following sub-sections for definitions of VESA and CEA ranges.

5.1.1.1.1 RGB Colorimetry

所有DP源设备都必须使用18和24BPP的像素深度来支持RGB色色。支持30、36和48BPP RGB是可选的。

“VESA范围”和“CEA范围”定义如下：

- VESA范围必须具有：
 - 代码值的标称零强度水平0
 - 最大强度水平在最大代码值下允许进行位深度值（即18BPP RGB为63，24BPP RGB的255，30BPP RGB的1023，36BPP RGB的4095和48BPP RGB的65535）
- CEA范围必须具有：
 - 24BPP的标称零强度水平为16，30BPP为64，36BPP为256，为48BPP的4096
 - 最大强度水平在最大代码值下允许进行位深度值，即24BPP RGB的235，30BPP RGB的940，36BPP RGB的3760，48BPP RGB为60160

Note: *The RGB CEA range is defined for 24, 30, 36, 48bpp RGB only, not for 18bpp RGB.*

当源设备以CEA-861-F中调用的视频正时格式传输RGB流时，该设备可能会在VESA范围内源RGB。

水槽设备的责任是根据需要限制像素值范围。

Note: *The Source device falls back to 18bpp, VESA range RGB when the sink capability is unknown.*

5.1.1.1.2 YCBCR色色

DP源设备需要支持YCBCR比色，这些DP源设备支持YCBCR或任何其他显示接口上支持YCBCR或YPBPR，除非需要将RGB视频转换为YCBCR以满足此要求的源设备。

支持YCBCR的源设备必须至少支持24BPP YCBCR 4: 4: 4和16BPP YCBCR 4: 2: 2在601中（在ITU-R-R BT.601-5中定义，第3.5节中定义，或EIA/CEA/CEA-770.2-C，3.3）和709和709（由ITU-R-R BT.709-4部分，或定义了4部分，或定义。EIA/CEA-770.3-C，第5.4至5.7节）。

除上述所需的最小值外，对于YCBCR 4: 4: 4: 4: 4: 4和20、24和32BPP的像素深度可能为YCBCR 4: 2: 2: 2: 2: 2: 2: 2: 2: 2。

建议在CEA-861-F, Section 5（CEA范围）中定义YCBCR动态范围：

- y在8位为16，10位的零强度水平为16，12位为256，每个组件的16位为16位。
- y的最大强度水平为235，为8位，10位为940，12位为3760，每个组件的16位为60160
- CB和CR的零水平为128，为8位，10位为512，12位为2048，每个组件的16位为16位的32768
- CB和CR的名义范围为16至240，为8位，10位的64至960，12位256至3840，4096至61440，每个组件16位

但是，源设备可以将所有代码值从零传输到最大值。水槽设备的责任是根据需要限制像素值范围。

5.1.1.1.3仅y合色法

仅y是在DisplayPort设备上可选的。如果他们支持它，则必须支持8、10、12和16BPP的像素位深度。

这种格式的目的是将DP带宽的量减少1/3，以将灰度视频从源传输到源。这种格式的主要目的是用于超高分辨率医疗显示。

对于比色，在医疗市场中，通常使用“DICOM第14部分灰度显示功能”来描述对监视器上的亮度的映射。该标准定义了“感知线性化”标准，包括监视器的校准，以确保达到标准。虽然这是最常见的用法，但这并不是唯一的用途。因此，唯一需要的亮度映射是VESA范围。

5.1.1.2视频定时格式

在确定视频正时格式时，源设备的流源必须在热插头检测信号发挥活性后通过EDID读取的水槽设备的功能。当水槽设备无法处理传入流时，它必须切换HPD信号以通知此情况的源设备。检测到HPD脉冲后，源设备必须通过读取sink_status寄存器（DPCD地址00205H）来确定接收器设备状态。

当未知的接收器设备功能（例如，由于EDID的损坏）时，源设备可能会落回其选择的一组倒下的视频正时格式（除了故障安全模式除外）。当没有一个倒下的视频正时格式是可以接受的（如接收器寄存器寄存器所示）时，源设备必须退回到失败的安全模式，即60Hz的640x480（在DMT v1 r13中定义）。

5.1.1.3 音频格式

音频支持是DP源设备的可选。支持音频的源设备必须在32、44.1或48kHz的一个或多个样本LPCM中支持立体声（两个通道）16位。

具有音频能力的源设备是可选的，可以支持其他编码类型，样本速率，样本量和/或在其EDID中指示的接收器设备的音频功能范围内的通道数。

源设备必须通过EDID或CEA定时扩展到EDID进行检查，然后在发送任何音频流数据之前，接收器可以支持哪种音频。

建议源设备通过检查sink_status寄存器（DPCD地址00205H）并根据需要采取纠正措施来找出水槽设备是否能够下沉音频流。

5.1.2 源设备链接配置要求

如第3.5.1.2节所述，DP源设备必须通过热插头事件检测后的链路训练序列来建立其DPTX和DPRX之间的链接。

在链接训练成功完成后（这意味着DPRX已同步到传入的主链接数据），并且在主视频流的传输开始之前，源设备必须发送由BS符号序列组成的空闲模式

VB-ID（位3）中的NovideoStream_flag位设置为每213（或8192）链接符号。每一个BS符号序列的第512次出现必须由相应的拼凑式重置（SR）符号序列代替。

源设备清除了训练_Pattern_Set寄存器（DPCD地址00102H）后，必须开始发送空闲模式。

Box-Box DP连接的源设备也必须支持提供足够带宽的主链路车道的数量，即使以每个车道的降低为单位。

例如，如果以高比特率提供了两个车道，则提供了两个车道，并以降低的比特率提供了四个车道，则需要可拆卸的源设备来支撑四个车道。

Note: *The Source device for an embedded connection is not required to follow this rule.*

在检测热插头事件后，源链接策略制定者必须读取接收器设备的接收器功能字段（DPCD地址00000H至000FFH；请参阅表2-155），并使用链接培训步骤相应地配置链接，如第2.9.4.3节所述，并进行了3.5.1.2节。

至于链接培训失败的处理，请参见第3.5.1.2.1节和第3.5.1.2.2节。

配置链接后，源链接策略制定者必须在检测IRQ_HPD脉冲时检查链接状态。当它检测到链接是否丢失锁定时，源链接政策制定者必须重新培训链接。由于任何原因，都可以重新训练链接。源设备必须耐受性带宽，这是由于重新训练低于先前链接培训导致的带宽，而这又可能需要更改视频模式集。

在检测下面列出的条件之一后，源设备链接策略制定者必须重新阅读接收器功能字段并采取纠正措施。

- 低速HPD脉冲大于2ms（热插头事件HPD脉冲）
- rx_cap_changed位在link_service_irq_vector_esi0寄存器（DPCD地址02005H，位0）已设置
- 下游设备是DP分支设备，其下游_PORT_STATUS_CHANGED BITS在Lane_align_status_updated和Lane_align_status_updated_esi寄存器（dpcd地址00204H和0200EH，位6个位置）。

当DP源设备恢复传输（例如，从睡眠中醒来）时，如果满足以下两个条件，则源设备可以跳过链路训练的AUX Transactions：

- 源设备已确定HPD信号一直在持续断言（除了IRQ_HPDP通知外），因为该链接是最后一次操作。
- 在初始接收器设备检测后，源设备已在max_downspread寄存器（DPCD地址00003H，位6）中的NO_AUX_TRANSACTION_LINK_TRAINN位读取1。

如果满足上面列出的两个条件，并且源设备确定要使用的带宽与链接最后运行最后运行时所使用的带宽相同，则源设备可以将tps1发送至500US的最低限度，而tps2，tps3或tps4中的一个可以传输tps1（取决于dptx和dprx的范围，均可在500 us for 500us for-500 us for 500us wort and-dov and-dove to-min-min-pre-pre-pretime。在没有辅助交易的情况下进行链路培训的正常操作。无论是否跳过了完整的链路训练，当设备无法同步到传入的主链接流时，DP接收器设备都必须在HPD信号线上发送IRQ_HPDP脉冲。

源设备在正常运行期间增加了主链路巷数，如下所示：

1停止在主链路车道上的符号传输。2将所需的车道计数写入Lane_Count_Set寄存器中的Lane_Count_Set字段（DPCD地址00101H，位4：0）。3执行链接培训。来源可以使用已知的驱动电流和重点级别设置来加速链接训练序列。4一旦训练了所有车道，就开始传输空闲图案或流。

源设备在正常运行过程中降低了主链路巷数，如下所示：

1将传输符号切换到所有活动车道上的空闲图案。2通过AUX CH将所需的的车道计数写入链接配置字段。

3停止在要禁用的车道上的空闲图案的传输。

4验证DP接收器是符号锁定的，并在车间对齐（除非是1车道配置）。

5开始传输流。

5.1.2.1源设备链接要求在支持其他接口时

DisplayPort标准的一个目的是提供一个满足最终用户期望的高性能显示接口。最终用户期望可以由其他非播放视频显示界面建立，该视频显示界面，该界面在设备上共存。因此，对于为VGA, DVI, HDMI, Thunderbolt, Analog组件或复合视频提供标准连接器的源设备，同一源上的任何DisplayPort标准插座都必须满足以下要求。在本节中，上面列举的非播放港连接器将共同称为“非本地连接器”。对于具有非本地连接器和多个DisplayPort输出的源，只需要在单独测试时每个DisplayPort输出符合这些要求。

对于提供非本地连接器的源设备，DisplayPort输出必须支持至最大视频显示模式（确定为从支持的像素时钟和颜色深度深度组合的最大带宽产品），在四车灯配置中最多可提供支持的链路速率的最大功能。需要RBR和HBR的支持。HBR2和HBR3的支持是可选的。

如果在非本地连接器上支持音频，则提供非本地连接器的源设备的显示端口输出必须支持音频。

如果在非本地连接器上支持HDCP，则提供非本地连接器的源设备的DisplayPort输出必须支持HDCP。

上述音频和HDCP要求还适用于以双模式操作（如果受支持）时的DisplayPort输出，除非明确排除其他管理标准或许可证。

5.1.3 源设备行为在流时更改

5.1.3.1 视频流时更改

在更改主视频流的时间之前，源设备必须传输“空闲模式”（BS符号，后跟NovideoStream_Flag和verticalblanking_flag_flag bit

VB-ID（分别为3和0）都设置为每213或8192 LS_CLK循环），直到准备就绪在主视频流的垂直空白期间插入新的主流属性数据。至少，源设备必须在插入新的主流属性之前重复五次空闲图案。

对于EDP连接，插入的空闲模式的数量可能少于五个。

如果源设备选择在视频定时更改期间停止传输主链接符号，则需要在开始新的主视频流的传输之前运行链接训练。

Note: *The Source device is allowed to continue transmitting Audio_Stream SDP framed by SS and SE symbols, even when it is no longer transmitting the main video stream. When the video stream is absent, the Source device must transmit Audio INFOFRAME and Audio_TimeStamp SDPs after every 512th BS symbol set after SR symbol.*

5.1.3.2 音频流格式/定时更改

至于音频格式/定时更改，源设备必须设置并将AudioMute_Flag位放在VB-ID（位4）至1中，直到发送新的Audio InfoFrame和Audio_timestamp SDP之后。这些SDP可能会在下一个帧边界（存在主视频流）或下一个第512 bs符号集之后（当不存在主视频流）后立即发送。

5.1.4 HPD脉冲检测时的源设备行为

HPD s 无知通知源设备以下一个

事件发生了:

- IRQ - 下游DP接收器设备可能会生成IRQ_HPDP脉冲以提示源接收状态的设备已更改, 因此可以切换HPD线, 迫使源设备读取DPCD地址00200H至00205H或DPCD地址02002H至0200FH
- 拔出电源 - 接收器设备不再连接到源设备, 然后源设备可以禁用其主链接作为节能措施
- 插头/重新插头 - 现在将接收器设备连接到源设备, 迫使源设备读取接收器功能并在E DID中的流式接收器功能

数字 5-1说明了通过HPD S发出的不同事件

无知。

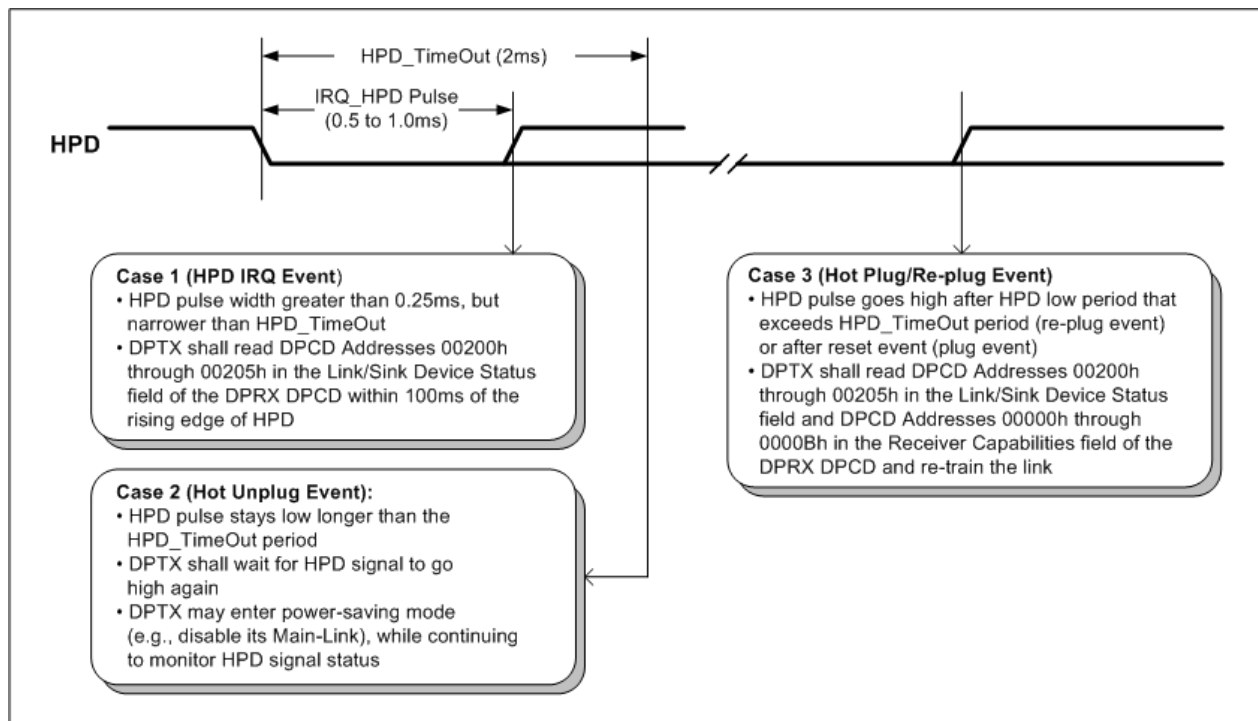


图5-1: HPD事件

Note: *In the subsequent discussions the state of the Source device is assumed to be ON, as the Source device in the OFF state (e.g., powered off or blocked waiting for user input) will obviously not be capable (or required) to respond to a HPD signal status changes.*

源设备必须通过读取DPCD地址00200H至00205H或DPCD地址02002H至0200FH来响应IRQ_HPDP脉冲。然后，源设备必须基于当前链接/接收器状态执行必要的纠正措施。

源设备无需对热拔下事件的明确响应。源可以选择进入节能模式，在该模式下，在HPD被删除时间比HPD_TimeOut更长的时间（2 ms）之后，它可以禁用其主链接。

Note: *False events may occur due to signal bounce upon cable-assembly unplugging. In this condition, AUX read operations will likely fail, and the HPD signal will eventually settle in a de-asserted state for an extended period of time, allowing accurate detection of the Hot Unplug event.*

源设备必须通过第一读DPCD链接/接收器设备状态寄存器在DPCD地址00200H到00205H或DPCD响应热插头事件/热插头事件。

地址02002H至0200FH。如果链接不稳定或丢失，则源设备将在DPCD地址00000H至0000FH上读取DPCD接收器功能寄存器，以确定适当的信息以训练链接。然后，源设备必须启动链接培训。

源设备对热插头事件/热插头事件的响应没有强制性的时间限制，但是源设备供应商可能希望施加与IRQ_HPDP脉冲（例如100ms）相似的自愿约束，以通过及时发现和配置新连接的decessices来确保良好的用户体验。

5.1.5 下游设备DPRX电源管理通过源设备

源设备必须通过AUX CH将2H的值写入SET_POWER&SET_DP_PWR_VOLT_VOLT_VOLT_VOLT_VOLTAGE寄存器（DPCD地址00600H），通过Aux CH将下游设备的DPRX放置在动力保存模式下。在动力保存模式下，DP源设备可能会禁用主链接发送器以节省动力。

源设备必须通过AUX写入事务将1H的值写入下游设备的SET_POWER&SET_DP_PWR_VOLTAGE寄存器，以将下游设备的DPRX从功率储能模式中切换出来。下游设备在电源模式下的DPRX可能无法回复此AUX请求交易。下游设备的DPRX在电源模式下用于打开，框对框连接最多可占用1毫秒，直到准备回复AUX请求交易。因此，源设备必须重试，直到接收器设备的1ms唤醒超时周期到期为止。

Note: *For embedded connections, a Sink device may take up to 20ms from a power-save mode till it is ready to reply to AUX request transaction.*

在重新启动主链接传输之前，源设备必须验证水槽设备是否回复了AUX事务。重新启动主链接传输时，源设备必须首先启动链接训练。

即使没有流传输，源设备也可能会通过主链路传输空闲模式。源设备可以启动流的传输而无需启动链接培训。因此，只要接收流或怠速模式，并且只要它保留HPD信号，就必须保持主链接接收器的活动时间。

5.1.6连接到分支设备的源设备

在检测HPD信号断言后，DisplayPort源设备必须读取DOWN_STREAM_PORT_PRESENT寄存器（DPCD地址00005H，BIT 0）中的DFP_PRESENT位，以找出下游设备是接收器设备（位0 = 0）还是Branch设备（位0 = 1）。如果是分支设备，则源设备必须根据端口数量读取以下寄存器位，以确定：

- down_stream_port_count寄存器中DFP_COUNT字段的下游朝下端口（DFP）的数量（DPCD地址00007H，位3: 0）
- Down_stream_port_present寄存器中的DFP_TYPE字段的DFP和端口类型的类型（DPCD地址00005H，位2: 1）
- DFP功能在详细功能信息寄存器（DPCD地址00080H）h
0008FH）

要确定源设备是否连接到活动协议转换器适配器，源设备必须读取sink_count寄存器中的sink_count字段（DPCD地址00200H，位7: 5: 0）。检测IRQ_HPDP脉冲后，与活动协议转换器连接的源设备必须检查sink_count，以查看计数是否有变化。

源必须生成与活动协议转换器适配器的输出时间一致的时间。例如，HDCP用于HDMI需要在水平掩膜期间至少有56个掠夺像素时钟周期。源设备有责任是生成带有足够的空白像素时钟周期的流。

除非适配器已将frame_seq_to_frame_pack bit（字节3，详细功能信息中的位0）设置为HDMI DFP类型中的frame_seq_to_frame_pack位，否则不得传输源帧顺序3D格式。

When the Source device is connected to an Active Protocol Converter Adaptor that advertises a DP++ DFP, if a Source attempts to transmit a resolution that requires a TMDS clock rate or color depth exceeds the advertised capabilities of the Branch device or 165MHz TMDS clock rate (whichever is less), then it should display a warning message to the user requesting confirmation of acceptability of the image and revert to a resolution that requires a如果超出暂停后未收到确认，则不超过广告功能的较小功能的TMD时钟速率或颜色深度。

当源设备连接到广告VGA DFP的活动协议转换器适配器时，建议使用源设备来支持全插件（PNP）体验，并在可能的情况下，并恢复到未插入式设备连接状态的其他情况下，使用手动用户干预的非插电和播放（非PNP）体验。

表5-2描述了推荐的DP源设备行为，连接到分支设备。

表5-2：连接到分支设备时推荐的DP源设备行为

HPD	Sink Count	Valid EDID Read?	Recommended Source Device Behavior
High	1 or 0 → 1	Yes	PnP experience, automatically drive the sink.
<i>TBD</i>	IRQ_HPDP	<i>TBD</i>	Video format (video timing, pixel bit depth, colorimetry format) support based on the EDID, link and convertor capability reported in the DPCD. Automatically disable driving the Sink device on transition from 1 → 0 on IRQ_HPDP.
High	1 or 0 → 1 on IRQ_HPDP	No	Non-PnP experience. Allows a user to manually enable the port and drive video format up to the link and convertor capability reported in the DPCD. It is recommended that a DP Source device should not limit video support to only 640x480 for a DP-to-VGA convertor if EDID cannot be obtained. Support for higher video format is based on the DP Source device policy. Disabling of the converter's VGA output port requires manual user intervention.
High	0	No	Non-PnP experience, as described for the case above.
High	0	Yes	Non-PnP experience; however, when a user manually enables the converter's VGA output port, a DP Source device should drive the output based on the EDID, link and convertor capability reported in the DPCD.
Low	Don't Care	Don't Care	Active Protocol Convertor Adaptor is not discovered, and therefore, is not driven by a DP Source device.

除非以下条件为真： 否则DP源设备不应传输非RGB颜色编码， Infoframe或与音频相关的SDP：

- DFP类型是DisplayPort
- DFP类型是HDMI
- DFP类型为DP ++， 源设备检测到DFP连接到HDMI级别移动适配器

5.1.7 源设备DSC BITSTREAM运输和FEC政策
DP v1.4的新事物。

DSC BITSTREAM可供电的DP源设备应具有FEC编码功能。（请参阅第3.5.1.5节。）在启用DSC Bitstream传输之前， 在SST模式下运行的DP源设备应检查插入的DPRX是否能够通过从DPCD寄存器读取DSC解压缩和FEC解码。

为了启用FEC编码/解码， DP源设备应在FEC_Configuration寄存器（DPCD地址00120H， BIT 0）中设置FEC_READY位为1， 然后启动链接培训。

启用FEC编码的DP源设备应考虑到FEC的2.3%的运输开销，当它在启用了FEC的DP链接上计算最大可运输AV流带宽。与没有FEC编码/解码的情况一样，DP源设备应以像素速率以有效的像素数据符号填充每个TU。

5.1.8 MSA水平空白扩展操作支持

*DP v1.4*的新手。

DP源发现插入的DPRX是否通过读取REEPRED_PORT0_CAP_1和RECEDE_PORT0_CAP_0寄存器（DPCD地址（ES）00009H和00008H）是否支持MSA水平隐形扩展操作。

当插入能够水平清除扩展操作的DPRX时，DP源设备可能会提示DPRX通过编程MSA SDP H total [15: 0], HSTART [15: 0], HSYNCPLITY [0] (HSP) 和HSYNCWIDTH [14: 0] (HSYNCWIDTH [14: 0] (HSYNCPOLLITY [15: 0]), dprx可以通过编程MSA SDP HTOTAL [15: 0], HSTART [15: 0], hSSART [15: 0]启用水平空白扩展操作（HSTART [15: 0]）（HSYNC -Pallience）（HSYNC Palltial）（HSyncpoltity）（HSYNCWIDTH [14: 0]）在第2.2.4.1.2节中进行了描述。在此操作中，DP源设备应编程与扩展后重生像素时钟频率相对应的MVID和NVID值。

当插入能够水平空白扩展操作的DPRX时，DP源设备可能会促使DPRX通过对output_htotal, output_hstart和output_hsp_hsw寄存器进行编程来启用水平空白扩展操作（DPCD在需要03059H到03059H的情况下）以进行视频传输。

5.2 SST模式下的水槽设备

本节介绍了仅SST模式接收器设备的框对方连接的要求。

对于嵌入式连接，系统集成器的责任是确保水槽设备满足给定应用程序的要求。

5.2.1 流水槽需求

本小节描述了视频色彩法，视频时间和音频格式的流汇的要求。水槽设备必须描述基本EDID和/或CEA-861-F时正时扩展块（可选）中的功能（受支持的视频比色格式，视频定时格式和音频格式）。需要该水槽设备支持EDID V1.4。

5.2.1.1 视频比色法

DP接收器设备支持RGB，YCBCR和仅Y的色彩法的下沉，如表5-1所示。接收器设备必须从DP主流属性读取传输流的比色格式。

接收CEA范围视频流时，接收器设备应预测源设备可以使用所有代码值，并在需要时夹紧动态范围。

5.2.1.2 视频正时格式

DP接收器设备必须指示它是否能够通过设置或清除其接收_PORT_1_STATUS和RECEDE_PORT_0_STATUS BITS在Sink_status寄存器（DPCD地址00205H，BITS 1: 0）中进行沉没。

所有可拆卸的DP接收器设备必须支持640x480 @ 60Hz作为故障安全模式。不需要水槽设备将640x480缩放到全屏或中心图像中，但是所有像素都必须可见。

5.2.1.3 音频格式

输出音频的DP接收器设备必须通过DP链接支持音频输入流。音频输出可能是声波（扬声器）或电气模拟或数字音频输出。

支持音频的水槽设备必须在32、44.1和48kHz时支持立体声16位LPCM。对于所有能够音频的水槽设备来说，它是可选的，可以支持其他样本率，样本量或通道数量。

水槽设备必须通过EDID或CEA定时扩展到EDID表示哪些音频格式。

Note: *As of this writing, only the CEA Timing Extension to EDID provides this information, but it is anticipated that future versions of VESA EDID may also specify audio capabilities of the Sink device, and these would be acceptable to a DP Source device.*

与下沉视频流一样，接收器设备必须指示它是否能够通过设置或清除其接收_PORT_1_STATUS和RECEDE_PORT_0_STATUS BITS在Sink_status寄存器（DPCD地址00205H，BITS 1 : 0）中进行下沉的音频流。

5.2.2 水槽设备链接配置要求

接收器设备的链接配置的需求取决于设备是“靠背”显示还是“精益”显示。靠背的水槽设备是一种显示器，旨在从超过120万（约4英尺）的地方查看。出于此标准的目的，靠背水槽是任何能够支撑具有30英寸或更高对角线测量的图像的显示器。稀疏水槽是任何无法支撑图像的显示设备，其对角线测量为30英寸或更高。

一个靠背的水槽设备必须支持即使以每条车道降低的比特率，也提供足够的带宽的主链路车道的数量。这样，靠背的显示器可以支撑长的电缆长度，仅需要降低比特率的支撑。

靠背式水槽设备的一些示例是电视显示器和投影仪。表5-3和表5-4显示了这些倾斜显示器所需的车道计数的示例。

EDP连接的水槽设备被认为是倾斜的水槽，不需要遵循上面描述的倾斜水槽的规则。

表5-3: RBR典型电视时间的必需车道计数

Timing	Lane Count	Remark
Up to 480p/576p @ 50/60Hz	One	
Up to 720p/1080i @ 50/60Hz	One @ 50Hz Two @ 60Hz	One @ 60Hz if 16bpp YCbCr 4:2:2
Up to 1080p @ 50 / 60Hz	Four	

表5-4: RBR处的典型数据投影仪定时所需的车道计数

Timing	Lane Count	Remark
Up to 1024x768	One	18bpp
Up to 1680x1050 and 1600x1200	Two	18bpp 18bpp with reduced blanking
Up to 2048x1536	Four	18bpp with reduced blanking

诸如桌面监视器之类的精益显示器可以选择以最低的成本最小化车道数量。

例如，1400x1050桌面显示器可能只有一个主链路车道。

Note: *This example monitor cannot receive its Native input resolution over the one lane at the reduced bit rate.*

带有圈养电缆组件的水槽设备被视为倾斜设备，可以选择最大程度地减少车道计数。

5.2.2.1 s 当支持其他接口时，墨水设备链接要求

对于支持其他显示接口的接收器设备，除了DisplayPort，DP输入接口必须提供等于或更好的性能，而不是其他显示输入接口。

但是，不需要DP接口以四个车道支持HBR以外的支持。这显示接口性能需求包括像素分辨率，颜色深度和刷新率。

HBR超过四个车道的链路支持不需要HBR2的支持，而HBR3是可选的。第5.2.2节中定义的“精益”显示也需要RBR支持；如果支持RBR的少于四个车道，则使用RBR时可用的车道数必须支持最高的显示性能功能，包括像素分辨率，颜色深度和刷新率。

如果通过任何其他数字显示输入接口支持HDCP，则必须通过DP接口支持HDCP。

5.2.3 流中心时机上的槽设备行为更改

5.2.3.1主视频流正时更改

如第5.1.3节所述，DP源设备必须插入“空闲模式”（bs + vb-id + mvid7: 0 + maud7: 0 novideoStream_flag和vertricttriceblanking_flag bit

VB-ID（分别为3和0）都将每213或8,192 LS_CLK循环设置为1个），至少在切换到新的视频正时之前至少五次。检测到此情况后，水槽设备必须准备好接收新的主流属性和主视频流数据。

Note: *The number of inserted idle patterns may be fewer than five for an eDP connection.*

是否在此过渡过程中为显示显示是特定于实现的。无论选择哪种方法，都应避免避免使用传入的视频流和空白屏幕的视觉图像。

5.2.3.2 音频流格式/定时更改

至于音频格式/定时更改，源设备应设置并将AudioMute_Flag位保持在VB-ID（位4）设置为1，直到发送新的Audio InfoFrame和Audio_timestamp SDP之后。音频格式更改是由以下任何一个引起的：

- 在压缩和非压缩音频之间更改
- 变化率
- 更改频道数量

这些数据包可能会在下一个帧边界（存在主视频流）或下一个第512 bs符号集之后（当不存在主视频流）后立即发送。

当VB-ID中的AudioMute_Flag位（位4）设置时，接收器设备必须静音音频，并且在检测到音频Infoframe和Audio_timestamp SDP时，应准备好接收新的音频格式。

5.2.4 切换HPD信号以进行状态更改通知

当链接状态（例如，链接同步丢失）或设备状态（例如，遥控命令待处理）中发生更改时，接收器设备必须将HPD信号清除为低点（0.5至1ms），然后再将其再次设置为高，从而生成IRQ_HPDP脉冲，以通知状态更改的源设备。上游DP设备检测到的热插头事件是长时间的

HPD脉冲（大于2ms）提示DP源设备采取许多动作，例如DPCD中的EDID读数以及接收器功能字段（DPCD地址00000H到000FFH；请参见表2-155），以及与其操作系统的通信。因此，DP接收器设备必须使用IRQ_HPDP脉冲来通知其上游设备链接状态和设备状态更改，而不是生成长的HPD脉冲来模拟热插头事件，除非它提示DP源设备重新阅读EDID和RECOVER功能字段。特别是，DP接收器设备必须弃用长HPD脉冲的周期性生成，直到上游设备的启动AUX Transactions为止，因为这些动作可能会导致DP源设备的软锁定状态。

5.2.5

水槽设备DPRX电源状态

本节介绍了由主动，待机，睡眠和关闭的DP接收器设备的功率状态。第5.2.5.1节讨论了本标准中添加的功率状态规范的扩展。

功率状态规范适用于所有具有DPRX的DP设备，即DP接收器设备和DP分支设备。

源设备将通过AUX CH将接收器设备的2H的值写入SET_POWER&SET_DP_PWR_VOLTAGE寄存器（DPCD地址00600H），以将接收器设备的DPRX放置在电源保存模式下。在动力保存模式下，接收器设备可能会禁用DPRX的主链接接收器以节省动力。

除非电源关闭，否则水槽设备必须保持HPD信号。因此，当接收器设备处于电力保存模式时，HPD信号必须保持主张。

当接收器设备处于电源保存模式时接收AUX请求交易时，无需立即回复接收器设备。但是，水槽设备必须监视AUX CH上的差分信号的存在。打开的框向框连接的接收器设备必须在检测到差分信号后1毫秒内完全启用Aux CH电路，以便可以通过源设备回复请求交易。

Note: *For an embedded connection, a Sink device may take up to 20ms from a power-save mode until it is ready to reply to an AUX request transaction.*

源设备将通过AUX CH将1H的值写入SET_POWER&SET_DP_PWR_VOLTAGE寄存器，以将接收器设备从电源保存模式中切换出来。在此AUX写入交易后，水槽设备必须准备好源设备启动链接训练。

即使没有流传输，源设备也可能会通过主链路传输空闲模式。源设备可以启动流的传输而无需启动链接培训。因此，只要接收流或怠速模式并且只要保持HPD信号所断言，就必须保持DPRX的主链接接收器的活动。

水槽必须实现图5-2中所示的电源机器。

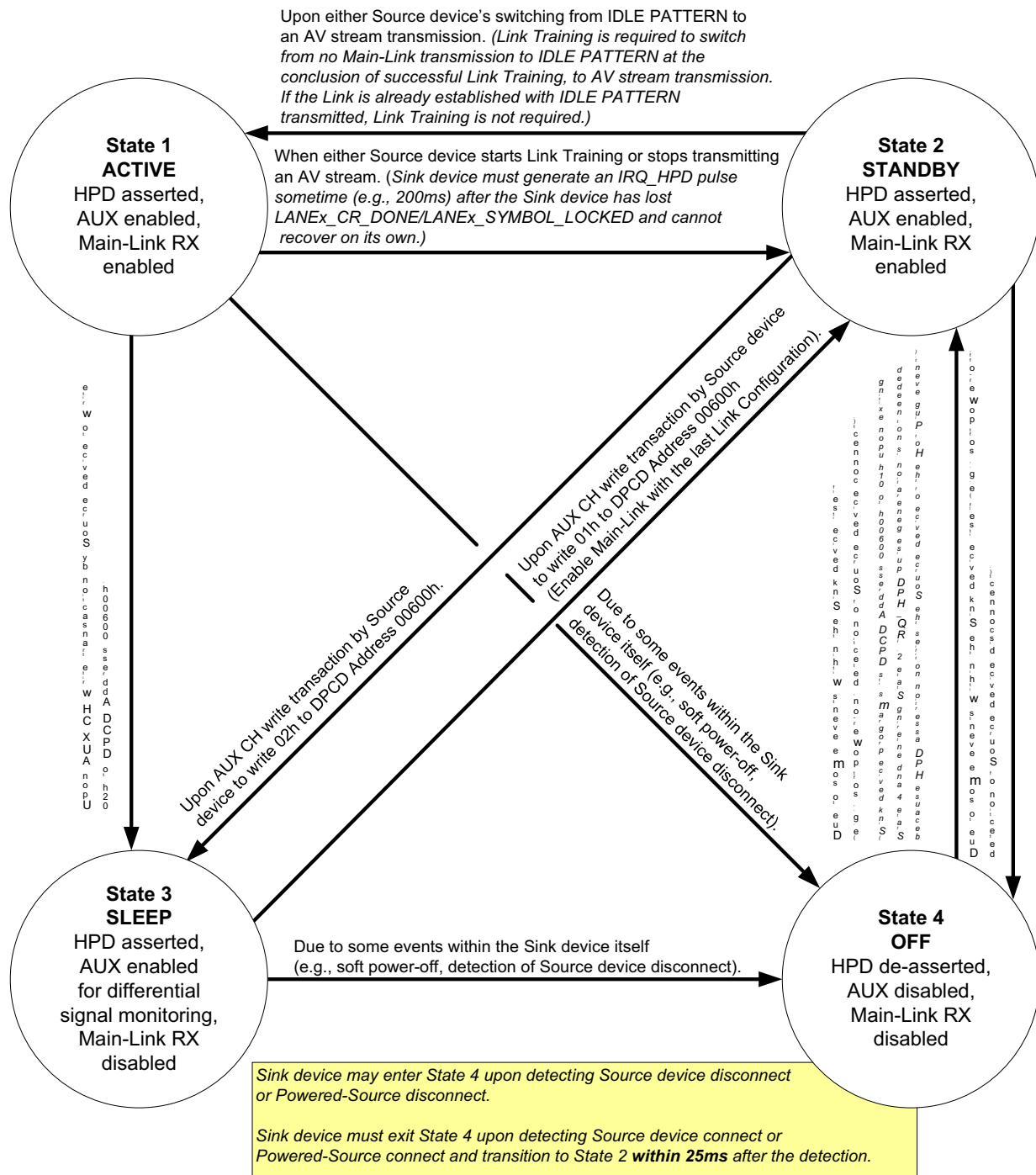


图5-2：水槽设备电源机器

表5-5：水槽设备电源状态机注意

PM_State	Description
1	ACTIVE The Sink device has asserted HPD, and enabled AUX CH and Main-Link RX, and is receiving an AV stream. While optionally supporting PSR as defined by eDP Standard (version 1.3 and above), a Source device may stop Main-Link signal transmission while in a PSR active state. When in a PSR active state, the Sink device will not generate IRQ_HPDP to indicate the loss of LANEx_CR_DONE and LANEx_SYMBOL_LOCKED, and will continue to refresh the display from its internal Remote Frame Buffer. When the Source device stops the Main-Link signal transmission, the Sink device may disable the Main-Link RX, but must monitor the AUX CH. See eDP Standard (version 1.3 and above) for further details on Sink and Source device behavior when supporting PSR. This state is entered from one state: - State 2 (STANDBY), upon either a Source device switching from IDLE PATTERN to an AV stream transmission (Link Training required to switch from no Main-Link transmission to IDLE PATTERN at the conclusion of successful Link Training, to AV stream transmission: If the Link is already established with IDLE PATTERN transmitted, no Link Training is required). This state exits to one of three states: - State 2 (STANDBY), when the Source device starts Link Training or stops transmitting an AV stream; either transmitting IDLE PATTERN or no Main-Link signal at all. - State 3 (SLEEP), AUX write transaction by the Source device to write 02h to the SET_POWER & SET_DP_PWR_VOLTAGE register (DPCD Address 00600h). - State 4 (OFF), due to some events within the Sink device itself (e.g., soft power-off).
2	STANDBY The Sink device has asserted HPD, and enabled AUX CH and Main-Link RX, but is receiving either IDLE PATTERN or no Main-Link signal (LANEx_CR_DONE and LANEx_SYMBOL_LOCKED both lost). This state is entered from one of three states: - State 4 (OFF), due to some events in the Sink device itself (e.g., soft power-on). (Sink device programs its SET_POWER & SET_DP_PWR_VOLTAGE register (DPCD Address 00600h) to 01h upon exiting from State 4 (OFF) and entering State 2 (STANDBY). The IRQ_HPDP pulse generation is not needed, because the action of HPD assertion notifies the Source device of Hot Plug event.) - State 3 (SLEEP), upon AUX write transaction by the Source device to write 01h to the SET_POWER & SET_DP_PWR_VOLTAGE register. - State 1 (ACTIVE), when the Source device stops transmitting an AV stream (Sink device must generate an IRQ_HPDP pulse sometime (e.g., 200ms) after it has stopped receiving the Main-Link signal, that is, neither AV stream nor IDLE PATTERN). This state exits to one of three states: - State 4 (OFF), due to some events in the Sink device itself (e.g., soft power-off). - State 3 (SLEEP), upon AUX write transaction by the Source device to write 02h to the SET_POWER & SET_DP_PWR_VOLTAGE register. - State 1 (ACTIVE), upon either the Source device's switching from IDLE PATTERN to an AV stream transmission (Link Training required to switch from no Main-Link transmission to IDLE PATTERN at the conclusion of successful Link Training, to AV stream transmission: If the Link is already established with IDLE PATTERN transmitted, no Link Training required).

表5-5：水槽设备电源状态机注意（续）

PM_State	Description
3	SLEEP The Sink device has asserted HPD, and sufficiently enabled the AUX CH to at least monitor incoming AUX CH differential signals. The Main-Link RX disabled. This state is entered from one of two states: • State 2 (STANDBY), upon AUX write transaction by the Source device to write 02h to the SET_POWER & SET_DP_PWR_VOLTAGE register (DPCD Address 00600h). • State 1 (ACTIVE), upon AUX write transaction by the Source device to write 02h to the SET_POWER & SET_DP_PWR_VOLTAGE register. This state exits to one of two states: • State 4 (OFF), due to some events within the Sink device itself (e.g., soft power-off). • State 2 (STANDBY), upon AUX write transaction by the Source device to write 01h to the SET_POWER & SET_DP_PWR_VOLTAGE register.
4	OFF The Sink device has de-asserted HPD, and disabled AUX CH/Main-Link. This state is entered from one of three states: • State 3 (SLEEP), due to some events in the Sink device itself (e.g., soft power-off). • State 2 (STANDBY), due to some events in the Sink device itself (e.g., soft power-off). • State 1 (ACTIVE), due to some events in the Sink device itself (e.g., soft power-off) (the Sink device may enter this state upon detecting Source disconnect or Powered-Source disconnect). This state exits to one state: • State 2 (STANDBY), due to some events in the Sink device itself (e.g., soft power-on) (the Sink device may exit this state upon detecting Source connect or Powered-Source connect).

5.2.5.1 DP接收器设备电源状态规范扩展

本节涵盖了此标准中DP接收器设备电源状态规范中添加的两个扩展名：

- 睡眠力量状态的延长唤醒超时
- connected_off电力状态加法

5.2.5.1.1从睡眠力量状态延长唤醒超时

DP接收器设备可以要求延长超时，以使睡眠能力状态唤醒。除非上游DP设备批准延长超时的请求，否则DP接收器设备在睡眠功率状态下通过AUX CH接收第一个AUX交易后，必须使用表5-6中列出的寄存器。（有关完整的寄存器说明，请参见表2-156和表2-165，有关DP CD地址00119H和02211H。）

表5-6：睡眠功率状态请求/赠款寄存器的延长唤醒超时

DPCD Address	Register
00119h	EXTENDED_DPRX_SLEEP_WAKE_TIMEOUT_GRANT
02211h	EXTENDED_DPRX_SLEEP_WAKE_TIMEOUT_REQUEST

5.2.5.1.2 connected_off电源状态

Connected_Off幂状态与上面定义的关闭功率状态相同，但一个例外。在Connected_off电源状态下，DP接收器设备将保持其HPD声称。

上游DP设备无法在连接的_OFF电源状态下提示下游设备（包括DP接收器设备）退出状态，就像上游设备无法在关闭电源状态下提示DP接收器设备退出状态一样。何时退出Connected_off电源状态是必须由下游DP设备做出的决定（例如，另一个软电源按钮按用户显示DP显示）。

5.2.5.1.2.1进入连接_OFF电源状态

要请求进入Connected_off电源状态的条目，DP接收器设备将connected_off_entry_requested位设置为link_service_irq_irq_irq_esi0寄存器（DPCD地址02005H，BIT 4），并生成IRQ_HPD脉冲。DP接收器设备仅在上游设备写入1以清除位后进入连接的_OFF电源状态。如果上游设备在IRQ_HPD生成后的1秒内无法清除位，则DP接收器设备删除HPD，清除位，然后进入OFF功率状态（而不是Connected_off power状态）。

在Connected_off状态期间，DP接收器设备必须继续监视上游设备的存在以及上游设备是否供电。

5.2.5.1.2.2从connected_off电源状态退出

连接式电源状态下可以过渡的DP接收器设备的功率状态是备用功率状态。当DP接收器设备决定退出Connected_Off电源状态时，它通过生成IRQ_HPD通知事件。DP设备必须能够在生成IRQ_HPD时从上游DP设备处理AUX交易。因为IRQ_HPD只是通知到上游设备的备用功率状态的通知，因此不需要设置IRQ_HPD标志位。

DP接收器设备还可以在检测到上游设备的断开并过渡到OFF功率状态后退出连接的power状态。

在检测到上游DP设备连接后，支持Connected_Off功率状态的DP接收器设备必须首先过渡到待机功率状态。一旦处于待机功率状态，DP接收器设备可以通过在link_service_irq_irq_esi0寄存器（DPCD地址02005H，位4）设置connected_off_entry_requested之后生成IRQ_HPD来请求将IRQ_HPD重新输入到Connected_off状态。

5.2.6 水槽设备DSC Bitstream处理和FEC政策

DP v1.4的新手。

DSC BITSTREAM具有解压缩功能的DP水槽设备应具有FEC解码能力。（请参阅第3.5.1.5节。）

当DP源设备在FEC_ConFiguration寄存器（DPCD地址00120H，位0）中设置FEC_READY位时，在启动链接培训之前，DP Sink设备应将链接层代码延迟到8b/10b deccrambler块上的链接层代码转发到8b/10b deScrambler块，即使该设备不同时进行FEC解码，该设备启用了该设备，该设备是DEC DODED（ins shim shim store n deste deport in desting depots）FEC解码的禁用与其HDCP解密块和链路层块是透明的。

尽管BE和BS符号序列位置是由FEC奇偶校验代码插入引起的，但DP接收器设备仍能够再生稳定的主视频。

5.3 仅SST模式的分支设备

本节介绍了仅SST模式DP分支设备的要求。分支设备类型总结了本节。

5.3.1 EDID访问处理要求

分支设备必须确保源设备传输的流可以通过链接中的至少一个接收器设备沉入。因此，一个没有其本地流式的分支设备必须将EDID访问请求从其上游设备转发到其下游设备。

当分支设备具有多个DFP时，它具有多种选择，即下游设备应接收EDID访问请求。

DP分支设备必须将EDID访问路由到连接下游设备的最低，未分配的DFP。If the DP Branch device is a matrix switch with multiple input and output ports capable of multiple connections (e.g., Input Port N to Output Port M , Input Port $N + 1$ to Output Port $M + 1$), then the subsequent SST Source devices connected must be assigned the lowest numbered, unassigned, connected DFP among the其余的。如果没有未分配的连接DFP，则必须等待分支设备，直到DFP连接或其他SST DP源设备被断开连接，然后再将端口分配到SST DP源设备。适配器必须既不缓存也不修改EDID内容。

5.3.2 分支设备链接配置要求

至于具有DP输出端口的DP分支设备的需求链接配置，请参见第2.1.4.1节。如果在SST模式下运行的DP分支设备需要根据连接的DP设备的功能更改DPCD接收器功能寄存器值，则分支设备必须从其UFP生成HPD脉冲。长HPD脉冲在SST模式下提示上游DP设备，以读取更新的接收器功能寄存器值。

只要DP链接以HBR或RBR的DP Main-Link速率提供了足够的带宽，转换器（从显示端口到法律或遗留范围至displayport）可能少于四个主链路车道。

转换器必须支持满足带宽需求的车道计数，以每条车道的比特率降低。

5.3.2.1 分支设备的功率状态过渡处理

分支设备必须确保正确更新源，如果连接或断开事件发生在分支机构的DFP上，则在省电模式下发生。 If the Branch device detect a change in HPD on a DFP or is a protocol converter and keeps its DFP connect/disconnect detection circuitry (where implemented) active during low power mode, then it must update the SINK_COUNT register (DPCD Address 00200h) and issue an interrupt (IRQ_HPDP) whenever it detects a connect/disconnect event on a DFP.

Note: *The Source can decide whether to ignore the interrupt or bring the Branch device out of low power to read the new value in the SINK_COUNT register. The Branch device must not exit low-power mode when it detects connect/disconnect. If the Branch device has downstream connect/disconnect detection circuitry but disables it during low-power mode or disables its HPD detection circuitry during power-save mode (as appropriate), then the Branch device must preserve the sense of the connected display during sleep, and on exit from low-power mode, the Branch device must reactivate its DFP connect/disconnect detection or HPD detection circuitry, update the SINK_COUNT register (only if necessary), and generate an IRQ_HPDP if the result of this update is to change the preserved value stored in the SINK_COUNT register.*

5.3.2.2 分支设备DSC BITSTREAM处理和FEC政策

DP v1.4的新事物。

DSC BITSTREAM具有DP DP分支机构的SST模式（即DP-IN， DP-IN链路速率/车道计数转换器和Active协议转换器）是DP DSC Sink设备，应具有FEC解码功能（请参阅第3.5.1.5节）。

当DP源设备在FEC_CONFIGURATION中设置FEC_READY位

注册（DPCD地址00120H，位0）至1启动链接培训之前，DP分支机设备应将链路代码转发延迟到8b/10b解码器和描述器块的限制与FEC解码所需的数量相同，即使它不执行FEC解码（也就是dp Branch设备，也可以确保dp braink Document dec dec dec dect hend hend hend forpe p n hh hd forpep, hhd off fec tection hy hd for n hend off ind of fore n hh hd fec tection hhd offec t opper n hh hd hd hd hd hd hd hd forpep, 和链接层块）。

尽管BE和BS符号序列位置是由FEC奇偶校验代码插入引起的，但DP分支设备仍能够再生稳定的主视频。

5.3.3 主动协议转换器适配器

5.3.3.1 一般要求

一个活动的协议转换器适配器必须在将其启用DP_PWR的源设备插入启用DP_PWR时，无论该转换器是否在其DFP上具有连接的显示（接收器设备），就必须主张HPD信号。

适配器必须在down_stream_port_present寄存器（DPCD地址00005H，位0）中将DFP_PRESENT位设置为1，以指示DFPS在其上游设备中的存在。它还必须在down_stream_port_count寄存器（DPCD地址00007H，位3: 0）中设置DFP_COUNT字段以指示DFPS的数量。

适配器必须在down_stream_port_present寄存器（DPCD地址00005H，位2：1）中设置DFP_TYPE字段位，以指示主DFP（DFP 0）的类型。此外，适配器必须设置详细的功能信息寄存器（DPCD地址00080H至0008FH）以显示所有下游类型，包括DFP 0。使用一个或四个字节，每个DFP类型指示使用。因此，可以存储多达16个（具有1字节描述符）或4（具有4字节描述符）DFP功能的功能。

Note: *For DP protocol converters with DPCD r1.4 (or higher), support for the Detailed Capabilities Info register is required. Even for those with DPCD r1.3 (or lower), support for the Detailed Capabilities Info register's four-byte format to provide detailed capability information is strongly recommended.*

如果DFP类型提供了检测手段，则适配器必须实现电路以检测其水槽设备的插头/拔下状态。当可能的插头/拔下插头检测时，适配器必须动态更新sink_count寄存器中的sink_count字段中连接的水槽设备的数量（dpcd地址00200H，位7、5：0）。每当更改接收器设备计数时，适配器都必须执行以下操作：

1更新sink_count寄存器。

2设置downstream_port_status_changed位在lane_align_status_updated寄存器中（dpcd地址00204H，位6）。

3发出IRQ_HPD脉冲。

源设备读取它后，适配器必须立即清除Downstream_port_status_changed位。

适配器必须指示适配器内的DPRX的接收端口是否正确接收和再生传入流，使用recee_port_1_status和Reception_port_0_status bits in sink_status寄存器（分别为dpcd地址00205H，分别为1：0）。

Note: *This definition of SINK_STATUS bits is in contrast with that for a Sink device, for which these bits indicate whether the Sink device is in synchronization with the receiving streams.*

适配器必须允许DP源设备驱动在EDID模式列表中未指定的显示模式，并驱动显示EDID中指定范围之外的显示模式（如果可以访问EDID）。

每当DP源设备都没有视频传输的视频时，适配器必须将连接的水槽设备置于低功率状态（其均值取决于电缆转换器的下游显示界面的类型），并且源设备已将02H的值写入其set_po pter&set_dp_dp_p_pwr_valtage寄存器（DPCD地址00600H）。

建议适配器在其DFP上将DDC比特速率降至1K至10kbps的能力。此外，建议适配器能够指示其默认的I2C比特率和对源设备的支持比特速率，并且允许源设备选择比特速率（使用I2C速度控制功能BIT MAP和I2C速度控制/状态位映射/状态位映射寄存器（分别为0000CH和00109H））。

down_stream_port_present寄存器（dpcd地址00005h, bit 3）中的format_conversion位时，详细的功能信息寄存器应用于0。在这种情况下，主动协议转换器的责任是按原样传输从DP源设备收到的流，而无需定时格式更改或像素数据处理。推论是，源设备必须将音频/视频格式和分辨率限制在水槽设备所宣传的那些支持的人。

具有DFP类型DisplayPort的分支设备必须至少实现两个接收端口，必须能够运输音频流，并且必须支持HBR音频。

5.3.3.2

VGA协议转换器适配器

当详细信息_cap_info_available位

DOWN_STREAM_PORT_PRESENT register (DPCD Address 00005h, bit 4) is 0 and DFPX_TY PE field in the Detailed Capabilities Info register (DPCD Address 00080h, bits 2:0) = 001 (Analog VGA), the Analog VGA DAC must support the maximum pixel rate for 24-bits-per-pixel color depth (= 3字节/像素，每个组件的8位) 在其上游DPRX的最大链路带宽内。

示例：最大链路速率是HBR（2.7Gbps/lane），最大车道计数为两个车道。最大链接带宽=540Mbps。每个像素的24位 - 像素（= 3字节）的最大像素速率为180MP/s。

适配器必须允许VGA输出以DP源设备提供的图像驱动，只要它接收有效的DisplayPort视频流，即使它未检测到连接的显示器，并且在DP源设备尝试使用EDID读取之前。

VGA协议转换器只能在sink_count和sink_count_esi寄存器（s）中更新sink_count字段（DPCD地址（ES）00200H和02002H，位7、5: 0）

当转换器可以通过负载检测方式识别连接状态时，I2C探测器或其他方法。

需要该适配器在VGA引脚上实现负载感测或等效方法，以最佳地检测连接的显示器的存在。适配器必须在Adaptor_CAP寄存器（DPCD地址0000FH）中宣传此功能。此外，默认情况下，适配器应将Adaptor_ctrl寄存器（DPCD地址001A0H，位0）的Force_load_sense位设置为1。

Note: *Given the wide variation of display implementations, VGA load sensing may not be reliable.*

5.3.3.3

DVI, HDMI和DP ++协议转换器适配器

这些协议转换器适配器必须支持表5-7所示的功能。该表涵盖了使用DPCD R1.4（及更高）的转换器的其他要求。

DPCD R1.4（及更高）数据结构包括协议转换器扩展字段（DPCD地址03000H至030FFH；请参见表2-166）。此外，还添加了两个IRQ_HPD矢量位：

- device_service_irq_vector_esi1寄存器中的cec_irq位（dpcd地址02004H，位2）
- HDMI_LINK_STATUS_CHANGED位在link_service_irq_vector_esi0寄存器（DPCD地址02005H，位3）

DP源设备应源自扫描的图像。DP-TO-HDMI协议转换器应通过AVI Infoframe SDP表示范围不足的图像类型。

当hdmi_autonomous_scrambling_disable和hdmi_edid_processing_disable中的位置中的位置hdmi_sink_ycbcr420_component_bit_bit_depth_support寄存器（DPCD地址03034H）。

当HDMI_EDID_Processing_disable设置为1时，HDMI协议转换器应~~not~~处理HDMI接收器设备的EDID，以确定对HDMI扰动的适当支持（如果TMDS字符速率少于340TMDS – 340TMDS），则自动启用HDMI scrambling（必须自动启用~~not~~，请自动启用HDMI。hdmi_sink_ycbcr420_component_bit_bit_depth_support寄存器（DPCD地址03034H应读取00h）。

当HDMI_AUTONOMOUS_SCRAMBLING_DISABLE设置为1时，HDMI的TMDS字符率扰动小于340 mcps）将由HDMI_FORCE_SCRAMBLING位控制的hdmi_force_scrambling位，protocol_converter_converter_control_1寄存器（DPCD寄存器（DPCD地址030551H，bit 3））。但是，协议转换器不得执行可能与DP源设备尝试读取HDMI接收器设备EDID的自主读取（或重叠）。协议转换器可以在对sink_count寄存器（DPCD地址00200H，位7、5: 0）中编程的sink_count字段进行编程之前，可以执行自主式EDID读数，以大于0的值，-或-可能会窥探DP源设备执行的EDID读取（建议行为）。DP源设备应在启动视频信号之前对所有EDID块进行完整的EDID读取。

表5-7: DVI, HDMI和DP ++协议转换器适配器要求

Requirement	DFP Type ^a		
	DVI	HDMI	DP++
Must support I ² C-over-AUX to facilitate an EDID read of an HDMI Sink device by a DP Source device.	Y	Y	Y
Must support all TMDS character clock rates on its DFP between 25MHz and the maximum declared TMDS character clock rate supported on the DFP of the adaptor.	Y	Y	Y
The input DP bandwidth must support the maximum TMDS character clock rate supported on the DFP of the adaptor.	Y	Y	Y
Must support all blank, total and active combinations that are valid within the maximum TMDS clock rate supported on the DFP of the adaptor. For example, if 594MHz is reported as maximum TMDS character clock rate on the DFP, the protocol converter must support 4kx2k at 60Hz with RGB/YCbCr444 pixel encoding format at 8bpc (24bpp).	Y	Y	Y
When the DETAILED_CAP_INFO_AVAILABLE bit in the DOWN_STREAM_PORT_PRESENT register (DPCD Address 00005h, bit 4) is 0 the maximum TMDS character clock rate supported on the DFP must be at least 165MHz, and the maximum color depth supported must be 8 bits per component.	Y	Y	Y
Must support RGB, YCbCr 4:4:4, and YCbCr 4:2:2 formats. Color format conversion (e.g. YCbCr <-> RGB, or YCbCr 4:4:4 <-> YCbCr 4:2:2) is not required.	N/A	Y	Y

表5-7: DVI, HDMI和DP ++协议转换器适配器要求 (续)

Requirement	DFP Type ^a		
	DVI	HDMI	DP++
Must support all color depths (bits per component) up to the declared Maximum Bits per component as long as the declared Maximum TMDS character clock rate on the DFP is not exceeded.	N/A	Y	Y
Must generate INFOFRAME SDPs to the downstream device.	N/A	Y	Y
Must be able to accept and pass through the following 3D formats: • Frame pack using CEA INFOFRAME • Side by side, and top and bottom	N/A	Y	Y
May support converting DP 3D frame sequential format (with left/right field indicated by the MISC1 field, bits 2:1) to frame pack HDMI 3D format. If supported, the adaptor must set the FRAME_SEQ_TO_FRAME_PACK bit in the Detailed Capabilities Info register (DPCD Address 0008Fh, bit 0) to 1 for the appropriate port type. If supported, the adaptor must be able to detect 3D frame sequential and automatically perform the conversion to frame pack. For a DP-to-HDMI converter with DPCD r1.4 (or higher), support is required.	N/A	O/Y	O/Y
Must implement at least two receive ports, be capable of transporting an audio stream, and support HBR audio.	N/A	Y	Y
May support DVI Dual Link on its DFP. If supported, the adaptor sets the DUAL_LINK bit in the Detailed Capabilities Info register (DPCD Address 0008Fh, bit 1) to 1 for DVI DFPs. Additionally, the adaptor must be capable of supporting higher pixel clocks and/or deeper color consistent with the Dual Link requirements of <i>DVI r1.0</i> . Note that the declared maximum TMDS clock rate capability is not the same as the maximum pixel rate in Dual Link configurations.	O	N/A	N/A
Must be able to operate as an HDCP1.x repeater.	Y	Y	Y

表5-7: DVI, HDMI和DP ++协议转换器适配器要求 (续)

Requirement	DFP Type ^a		
	DVI	HDMI	DP++
Additional Requirements for DP-to-HDMI/DP++ Converter with DPCD r1.4 for the UFP DPRX for Supporting HDMI2.0^b			
600MHz TMDS character clock support.	N/A	Y	Y
Must have the DETAILED_CAP_INFO_AVAILABLE bit in the DOWN_STREAM_PORT_PRESENT register(s) (DPCD Addresses 00005h and 02205h, bit 4) set to 1 with all the detailed info (at Bytes 1 through Byte 3).	N/A	Y	Y
Must be able to convert to DVI (instead of HDMI) when instructed by an upstream DP Source device with the PROTOCOL_CONVERTER_CONTROL_0 register (DPCD Address 03050h) value.	N/A	Y	Y
Must monitor and report downstream HDMI2.0 link status including the generation of IRQ_HPD with the HDMI_LINK_STATUS_CHANGED bit in the LINK_SERVICE_IRQ_VECTOR_ESI0 register (DPCD Address 02005h, bit 3). This capability is reported in the DOWNSTREAM_LINK_ERROR_REPORTING_SUPPORTED bit in the DOWNSTREAM_LINK_ERROR_REPORTING_SUPPORTED register (DPCD Address 03030h, bit 0).	N/A	Y	Y
Must autonomously enable HDMI2.0 scrambling and TMDS CLK CH clock frequency division by 4 when needed. Whenever the downstream HDMI2.0 sink device is capable of supporting scrambling, the converter must enable scrambling without any instruction from a DP Source device. (See also the PROTOCOL_CONVERTER_CONTROL_1 register (DPCD Address 03051h)).	N/A	Y	Y
Must interpret a portion of HDMI2.0 EDID to determine the YCbCr420 component bit depth support capability and update the HDMI_SINK_YCBCR420_COMPONENT_BIT_DEPTH_SUPPORT register (DPCD Address 03034h). (See also the PROTOCOL_CONVERTER_CONTROL_1 register (DPCD Address 03051h)).	N/A	Y	Y
Must support pixel encoding format conversion to YCbCr420 from YCbCr444 as instructed by an upstream DP Source device; the INFOFRAME SDPs must match the converted pixel encoding format with the PROTOCOL_CONVERTER_CONTROL_1 register (DPCD Address 03051h) value.	N/A	Y	Y
Must support pixel encoding format conversion to YCbCr422 from YCbCr444 as instructed by an upstream DP Source device; the INFOFRAME SDPs must match the converted pixel encoding format with the PROTOCOL_CONVERTER_CONTROL_2 register (DPCD Address 03052h) value.	N/A	O	O
YCbCr420 pass-through from DP input port to HDMI2.0 output port.	N/A	Y	Y
Must support CEC-Tunneling-over-AUX as described in this section (see Section 5.3.3.3.1).	N/A	Y	Y
Must be able to operate as an HDCP2.2 repeater.	N/A	O	O

a. Y = Required, O = Optional, N/A = Not Applicable.

b. When a DP Source and DP-to-HDMI converter are placed within a device of a single physical enclosure, such a device functions as an HDMI Source device. Which features to enable at the HDMI connector of an HDMI Source device is an HDMI Source device implementer-specific choice. Therefore, the feature support requirement indicated within this table does not apply.

5.3.3.3.1 CEC-Tunneling-over-AUX

5.3.3.3.1.1术语

表5-8: CEC-Tunneling-Aux术语

Terminology	Definition
CEC Frame	The representation of a CEC Message on the CEC Line as defined in HDMI spec. A start bit followed by a number of data bits (including all EOM and ACK bits).
CEC Message	Addressing and data content of a CEC Frame (excluding the START bit and EOM/ACK bits). An array of 8-bit bytes consisting of a Header Block and 0 to 15 Data Blocks. The (first) block of the CEC Frame with EOM=1 is the last block of the CEC Message. In case any block of a CEC frame is negatively acknowledged, then that block becomes the last block of the CEC Message, even if EOM = 0.
Broadcast Message	As defined in the HDMI Specification.
CEC Line Error	
Destination	
Follower	
Initiator	
Logical Address (LA)	
Logical HPD	Pertains to the HDMI HPD input signal for the DFP of a DP-to-HDMI converter. De-asserted only after 100ms of a low period on the HDMI HPD signal, which is required upon an EDID change and is otherwise de-bounced to avoid spurious a state transition.
Snooping	Receiving CEC messages where the DP-to-HDMI converter does not act as a Follower on the CEC bus (in the CEC standard sense, which carries obligations of controlling ACK and CEC Line Error reporting).

5.3.3.3.1.2概述

CEC-Tunneling-Over-aux是CEC消息的隧道，使用DP源设备和DP-TO-HDMI协议转换器之间的DP AUX CH进行了本机AUX Transactions。DP源设备作为CEC消息消费者和生产商运行，而DP-TO-HDMI协议转换器能够在DP源设备和CEC BUS之间进行CEC-TUNNELING-AUX-AUX操作隧道CEC消息，如图5-3所示。CEC-Tunneling-AUX的DPCD地址映射仅适用于DP CD R1.4（或更高）。

Besides tunneling CEC messages that are targeted at the CEC logical address of the DP-to-HDMI c onverter (i.e., the DP-to-HDMI converter is the Follower) or broadcast (which has the logical addre ss of Fh as the destination address), CEC-Tunneling-over-AUX as defined in this Standard allows f or the DP Source device to monitor all CEC messages, regardless of whether they are successfully ended/acknowledged, as long as the DP-TO-HDMI converter is in snooping mode. 此外，如果DP-TO-HD MI转换器支持多个逻辑地址，则DP源可以分配多个逻辑地址，DP-TO-HDMI转换器必须充 当关注者。

因为CEC消息的第一个块包含目标逻辑地址和启动器的逻辑地址，DP源设备在接收消息后可以确定该消息是否针对DP-TO-HDMI转换器。

对于具有DPCD R1.4（或更高）的DP-HDMI协议转换器，必须强制使用CEC-TUNNELING-AUX支持。对于DP源设备，CEC-Tunneling-over-aux支持是可选的。建议DP源设备支持CEC-Tunneling-Aux，DP源设备符合HDMI2.0 CEC功能。

具有多个HDMI DFP的DP-TO-HDMI协议转换器必须仅使用HDMI DFP之一进行CEC-TUNNELING-AUX。

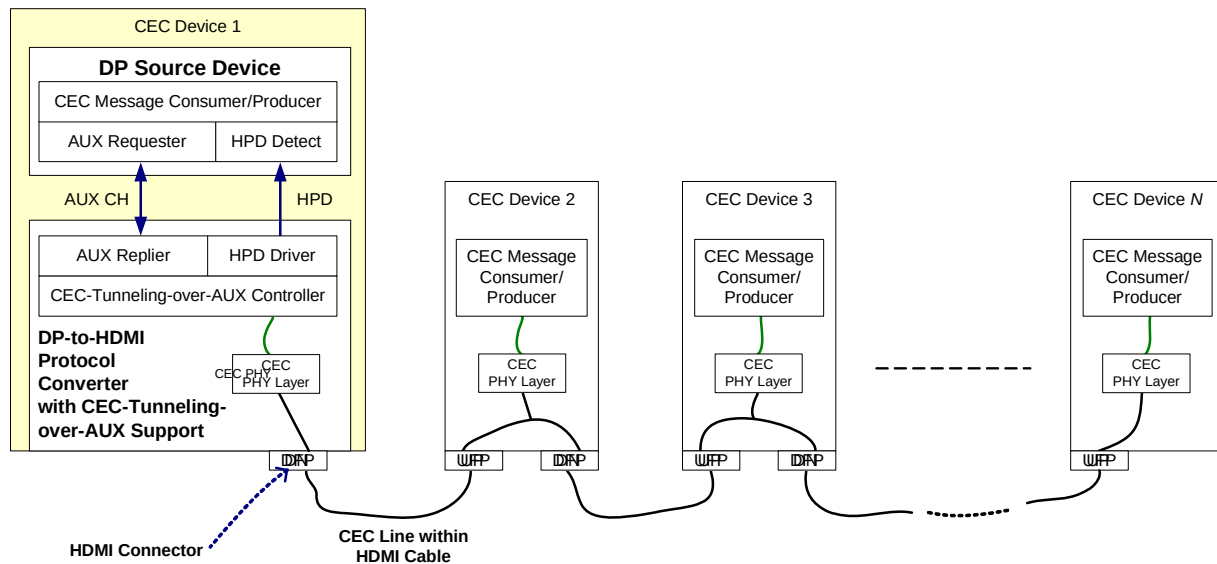


图5-3：CEC拓扑

5.3.3.3.1.3 CEC-TUNNELING-AUX场

表5-9列出了用于CEC-Tunneling-Aux的寄存器。（有关完整的登记描述，请参见表2-166。）

表5-9： CEC-Tunnelning-Aux Field

DPCD Address	Register
03000h	CEC_TUNNELING_CAPABILITY
03001h	CEC_TUNNELING_CONTROL
03002h	CEC_RX_MESSAGE_INFO
03003h	CEC_TX_MESSAGE_INFO
03004h	CEC_TUNNELING_IRQ_FLAGS
0300Eh and 0300Fh	CEC_LOGICAL_ADDRESS_MASK
03010h and 0301Fh	CEC_RX_MESSAGE_BUFFER
03020h and 0302Fh	CEC_TX_MESSAGE_BUFFER

5.3.3.3.1.4电源管理考虑

NS

源设备可能支持CEC电源管理，在这种情况下，源设备必须解释CEC电源管理命令，无论是定向还是广播备用，并且必须通过写入SET_POWER&SET_DP_PWR_VOLT_VOLTAGE寄存器（DPCD地址00600H）来将DP-TO-HDMI协议转换器通过写入SET_POWER&SET_POWER&SET_DP_PWOR_VOLT_VOLTENS（dpp_pwor_volt_voltage寄存器）。

DP-TO-HDMI协议转换器不得通过解释CEC电源管理命令输入低功率状态。相反，仅通过源设备的set_power&set_dp_pwr_voltage寄存器寄存器的编程将协议转换器放置在较低的功率状态（DPRX睡眠功率状态）中。即使放入DPRX睡眠功率状态时，DP-TO-HDMI协议转换器也必须将HPD输出保持在DP源设备高水平上，并保持与CEC-Tunneling相关的块足够活跃，以便协议转换器可以接收CEC消息并生成IRQ_HPD，并具有相应的IRQ IRQ Flag-lits集。

支持CEC-Tunneling-Aux的源设备必须支持从DP-HDMI协议转换器中唤醒IRQ_HPD。应当指出，这是源设备的政策的问题，其实现低功率状态的程度。通常，源设备不过是将gpu放置在将流到低功率状态的同时，同时保持无关的功能。

5.3.3.4 S-VIDEO/COMPOSES/其他模拟视频协议转换器适配器

从DisplayPort到S-Video, 复合视频或其他模拟视频的适配器可以实现一种检测连接显示的方法。这样的适配器不得支持I2C-Over-aux的ddc通过。

5.3.3.5 双链接DVI协议转换器适配器

DP到双链接DVI协议转换器适配器用于将DP源设备连接到双链接DVI DVI接收器设备, 如图5-4所示。适配器必须在DVI端口上使用HPD来检测连接显示的存在。

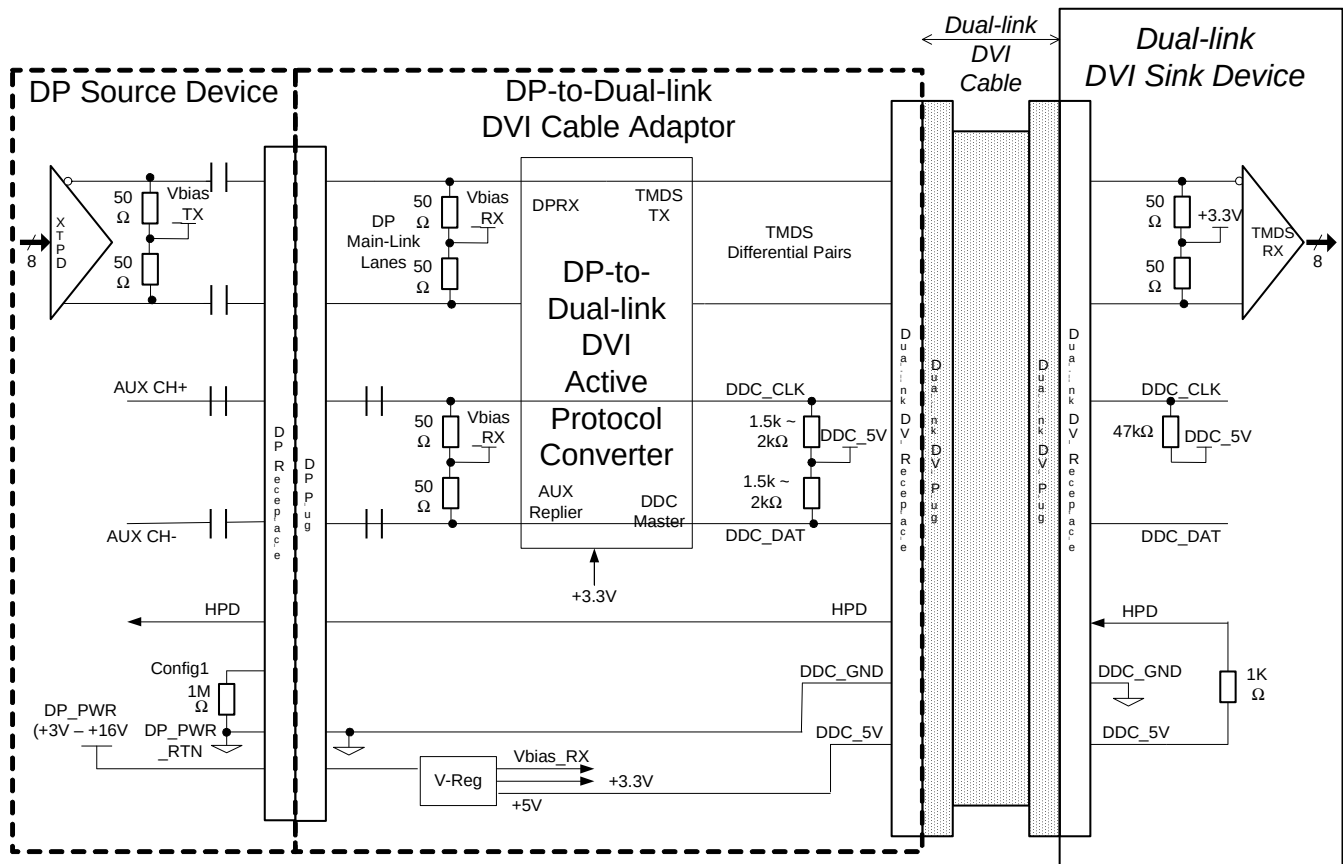


图5-4: DisplayPort-Link DVI电缆适配器

5.3.3.6 MSA水平空白扩展操作支持

DP v1.4的新手。

如第2.2.4.1.2节所述, 能够支撑MSA水平抛光扩展操作的DP分支设备应在RECEDE_PORT0_CAP_1和RECEDE_PORT0_CAP_0寄存器中表达其功能 (DPCD地址00009H和00008H, 分别为00009H和00008H)。

5.3.4 链路率和车道计数

*DP v1.4*的新手。

PHY中继器（即用来重新流动器和网状）应在DPRX PHY UFP和DPTX PHY DFP之间具有相同的链路和车道计数。PHY中继器应使用上游DP链接的串行比特率来驱动下游DP链接。

5.3.5 正向误差校正

*DP v1.4*的新事物。

LT可调位级PHY中继器的正向误差校正（FEC）支持是可选的。

5.4 MST模式下的源设备

整个部分重写了DP v1.4。

具有MST能力的源设备应支持TPS4或POST_LT_ADJ_REQ，如第3.5.1.2节所述，以避免从链接训练转换为AV流传输后的链接脆弱性。

5.4.1 提示下游设备的MST/SST功能过渡

如第5.5.1.1节和第5.6.1.1节所述，下游设备默认情况下为SST模式。

具有MST能力的源设备应通过在MSTM_CAP寄存器（DPCD地址00021H，位0）中读取MSTM_CAP位来发现下游设备是否具有MST功能。具有MST功能的DP源设备应设置UPSTREAM_IS_SRC，UP_REQ_EN和MSTM_CTRL寄存器的MSTM_EN位（DPCD地址00111H，位2: 0，位2: 0）以编程MST可靠的下游设备以MST模式为MST模式，并以MST模式为MST-MST-Capable Evection。然后，源设备应将链接灭活后的MSTM_CTRL寄存器的值更改为具有MST能力的下游设备。

要将下游设备设置回SST模式，可MST能力的DP源设备应在灭活指向MST能力下游设备的链接后清除MSTM_EN位。

5.4.2 原子消息交易生成

在字段中有具有MST能力的水槽/分支设备，可以处理~~not~~处理交织的消息交易。

为了促进下游设备的信息交易处理，具有MST能力的源设备应以原子方式生成消息交易（即，具有MST的源设备不得同时交织多个消息交易）。因此，具有MST功能的源设备应清除si_deband_msg_header中的Message_seper_no值为0。

强烈建议通过软件来支持现场策略更新的MST能力源设备，以更新策略，以放弃发出交流的消息交易的生成。

5.4.3 电源管理

在MST模式下，具有MST功能的DP源设备应使用PWR_DOWN_PHY消息事务来降低连接到整个路径的DPRX端口。此外，在MST模式下具有MST功能的DP源设备应在set_power_state字段中写入010b，以set_power&set_dp_p_pwor_voltage寄存器（dpcd地址00600H，位2: 0）在其立即下游设备上写下~~only~~ dprx ports dprx port to dprx portity to d3 d3（dpcd地址00600H，位2: 0）。

5.4.4 DSC BITSTREAM运输和FEC政策

具有DSC BITSTREAM采购能力的具有MST功能的源设备应支持FEC编码。（请参阅第3.5.1.5节。）在MST模式下具有MST能力的DP源设备应启用DSC Bitstream Transport和FEC仅在发现以下内容后进行编码：

- 通过远程dpcd寄存器读取DSC的DSC功能，在路径末端（最后一个MST分支或SST接收器设备）的存在dpcd寄存器在路径末端的存在
- 通过阅读回复的fec_apapation字段，enum_path_resources消息交易，整个路径的FEC功能

为了启用FEC编码和解码，具有MST功能的DP源应首先在FEC_Configuration寄存器（DPCD地址00120H，位0）中设置FEC_READY位，然后在启动链接培训之前设置1个。

在MST模式下具有MST能力的DP源设备，该设备可以考虑FEC编码的启用FEC的2.3%的运输开销，当它计算即将传输的AV流的PBN值时。

5.5 MST模式下的水槽设备

整个部分重写为DP v1.4。

5.5.1 带有单个DPRX上游端口的MST水槽设备

具有MST能力的水槽设备应在MSTM_CAP寄存器（DPCD地址00021H，位0）中设置MST_CAP位为1，以指示其MST功能到上游设备。

具有MST能力的源设备应支持TPS4或POST_LT_ADJ_REQ，如第3.5.1.2节所述，以避免从链接训练转换为AV流传输后的链接脆弱性。

5.5.1.1过渡到SST模式

如果存在以下四个条件中的任何一个，则具有MST能力的接收器设备应将自己配置为SST模式：

- 电源是骑自行车的
- 检测到上游设备的断开连接
 - 具有MST功能的水槽设备应实现上游设备连接和电力上游设备连接的检测
- 上游设备在MSTM_CTRL寄存器（DPCD地址00111H，BIT 0）中的MST_EN位清除为0
 - 具有MST能力的水槽设备应始终监视MSTM_CTRL寄存器值
- 用户通过接收器设备的用户界面选择SST模式（例如，通过菜单选项）
 - 当发生这种情况时

MST分支设备应采取以下操作以将自己配置为SST模式：

- 清除自己的MSTM_CTRL寄存器（DPCD地址00111H）
- 清除其自己的VC有效载荷映射表寄存器
 - payload_allocate_set寄存器（DPCD地址001C0H）
 - payload_allocate_start_time_slot寄存器（DPCD地址001C1H）
 - payload_allocate_time_slot_count寄存器（DPCD地址001C2H）
 - payload_table_update_status寄存器（DPCD地址002C0H）
 - VC_PAYLOAD_ID_SLOT_x寄存器（DPCD地址002C0H通过002FFH）
- 在以下寄存器中的边带MSG缓冲区字段中清除未偿还的请求片段
 - down_rep寄存器（DPCD地址01400H至015FFH）
 - UP_REQ寄存器（DPCD地址01600H至017FFH）

在SST模式下，具有MST能力的水槽设备应遵循SST接收器设备的策略要求，如第5.2节所述。

5.5.1.2 过渡到MST模式

在上游设备设置MSTM_CTRL寄存器的UP_REQ_EN和MST_EN位（分别为dpcd地址00111H，位1：0）之后，具有MST的接收器设备应配置为MST模式并准备好从MST设备接收消息交易，以便从上UPSTREAM设备接收到MST运输形式。

5.5.1.3 连接状态的发行通知消息交易

由于本地流式接收器已永久连接到其MST分支单元（BU），因此具有MST能力的接收器设备不得发布连接状态通知（CSN）消息事务。换句话说，绝不应为逻辑端口（即端口编号8H至FH）发出CSN。CSN的发行仅限于物理端口（即端口号0H至7H）。

5.5.1.4 发行资源状态通知消息交易

DP MST源设备当前在市场处理CSN消息交易中可用，而不是资源状态通知（RSN）消息交易。因此，MST接收器设备应**not**发出RSN消息交易。

5.5.1.5 电源管理处理

在上游设备将010B写入set_power&set_dp_p_pwr_voltage寄存器中的set_power_state字段（DPCD地址00600H，位2：0）之后，在MST模式下，MST模式下的MST式接收器设备应禁用Upstream-Facing dprx的主链接RX。

MST分支设备应在较低的功率状态下保持VC有效载荷映射表寄存器（请参阅第5.5.1.1节）。MST分支设备应仅在设备收到Clear_Pay_ID_ID_Table消息事务后清除VC有效载荷映射表寄存器，当设备过渡到SST模式时（如第5.5.1.1节中所述）。

5.5.1.6 mvid/nvid和maud/naud处理

具有MST能力的接收器设备及其直接上游MST分支机设备之间的链路速率可能与MST模式下DP源设备驾驶的链路速率不同。换句话说，具有MST能力的接收器设备收到的MVID/NVID和MAUD/NAUD值可能不符合链接符号时钟速率和像素时钟速率，以及链接符号时钟速率和音频时钟速率之间的比率。

MST模式下具有MST功能的水槽设备应能够再生像素时钟和音频时钟，而无需重新分类MVID/NVID和MAUD/NAUD值。

5.5.1.7 拆分SDP处理

具有MST能力的水槽设备应支持分裂SDP的处理。

5.5.1.8 DSC BITSTREAM处理和FEC

具有DSC BITSTREAM解压缩能力的具有MST能力的水槽设备应支持FEC解码（请参阅第3.5.1.5节）。

当上游DPTX在FEC_Configuration寄存器（DPCD地址00120H，位0）中设置FEC_Ready位时，在启动链接培训之前，将链接式链路层代码延迟到8B/10B解码器和DeScrambler块的for for fec decords decords decoding decords decord decords decords note dp note note noce dp sink设备应延迟链接层的转发代码。

尽管BE和BS符号序列序列插入引起的BE和BS符号序列位置的偏差，但具有MST功能的水槽设备应能够再生一个稳定的主视频。

5.5.1.9 交织的消息交易处理

如第5.4.2节所述，不再允许具有MST能力的源设备生成交织的消息交易。但是，该领域中有具有MST能力的源设备，它们发出了交错消息交易。因此，具有MST能力的水槽设备应继续能够处理交织的消息交易。

5.5.2 具有多个DPRX上游端口端口的具有MST能力的水槽设备

具有多个DPRX UFP的MST能力的水槽设备的策略是特定于实现的选择。例如，该设备可以选择将固定的本地流汇入每个DPRX UFP，而不会在端口之间没有任何重叠的情况下，或者采取先到先得的第一服务策略。

5.6 MST模式下的分支设备

整个部分重写了DP v1.4。

5.6.1 具有单个DPRX上游端口的MST能力分支设备

具有MST能力的分支设备应在MSTM_CAP寄存器（DPCD地址00021H，位0）中设置MST_CAP位为1，以指示其MST功能到上游设备。具有MST能力的分支设备应支持DPRX UFP和DPTX DFP的四个车道。

具有MST能力的分支设备应支持TPS4或POST_LT_ADJ_REQ，如第3.5.1.2节所述，以避免从链接训练转换为AV流传输后的链接脆弱性。

此外，建议使用DPRX UFP上的MST能力分支设备支持FEC解码并在DPTX DFP上重新编码，以支持包含DSC BITSTREAM的VC有效载荷的路由。

5.6.1.1 过渡到SST模式

如果存在以下三个条件中的任何一个，则具有MST能力的分支设备应将自己配置为SST模式：

- 电源是骑自行车的
- 检测到上游设备的断开连接
 - MST分支设备应实现上游设备连接和电力上游设备连接的检测
- 上游设备在MSTM_CTRL寄存器（DPCD地址00111H，BIT 0）中的MST_EN位清除为0
 - 具有MST的分支机构应始终监视MSTM_CTRL寄存器值

具有MST能力的分支设备应采取以下操作以将自己配置为SST模式：

- 清除自己的MSTM_CTRL寄存器（DPCD地址00111H）
- 清除其自己的VC有效载荷映射表寄存器
 - payload_allocate_set寄存器（DPCD地址001C0H）
 - payload_allocate_start_time_slot寄存器（DPCD地址001C1H）
 - payload_allocate_time_slot_count寄存器（DPCD地址001C2H）
 - payload_table_update_status寄存器（DPCD地址002C0H）
 - VC_PAYLOAD_ID_SLOT_x寄存器（DPCD地址002C0H通过002FFH）
- 清除所有具有MST的下游设备的MSTM_CTRL寄存器（DPCD地址00111H）
- 在以下寄存器中的边带MSG缓冲区字段中清除未偿还的请求片段
 - down_rep寄存器（DPCD地址01400H至015FFH）
 - UP_REQ寄存器（DPCD地址01600H至017FFH）

在SST模式下，具有MST功能的分支设备应遵循第5.3节中所述的SST分支设备的策略要求。

5.6.1.2过渡到MST模式

在上游设备设置MSTM_CTRL寄存器的UP_REQ_EN和MST_EN位（分别为DPCD地址00111H，位1：0）之后，具有MST的分支设备应通过执行以下操作来配置MST模式：

- 准备从上游设备接收消息交易，并链接培训到MST运输格式
- 设置MSTM_CTRL寄存器的UP_REQ_EN和MST_EN位（DPCD地址00111H，位1：0），在启动链接训练之前禁用主链接信号传输后，可MST可靠的下游设备的MST下游设备

MST模式下具有MST功能的分支设备应始终将下游链接设置为具有MST能力的设备，以最大链接带宽，并使用设置的MST_EN位启动链路训练以启用MST传输格式。此外，能够将FEC解码和重新编码的MST分支设备设置在FEC_Configuration寄存器（DPCD地址00120H，位0）中的FEC_Ready位为1，当它训练能够进行FEC解码的下游DPRX时。

5.6.1.3连接状态的发行通知消息交易

HPD输入用于检测下游设备的堵塞和拔下插头。不管它是DP接收器设备还是其他类型的接收器设备（例如，HDMI接收器设备），都有一个接收器设备的趋势，它们的趋势是由于各种原因切换其HPD输出。MST分支设备应避免发出热门拔出插头的CSN消息事务或对HPD输入级别更改的即时响应的热插头。相反，使用本小节中描述的策略，接收器设备应分散并可能最大程度地减少其发出的CSN消息交易的数量。

MST分支设备应为DFP的热插头发布CSN消息事务。然后，MST分支设备应等待拔出的CSN消息事务通过其即时的上游设备进行处理，然后再发出DFP热插头的CSN消息事务，如果DFP的HPD信号在ACK之前处于活动状态。建议MST分支设备除了等待ACK的直接上游设备外，要么等待来自MST源设备的PBN值的Allocate_Payload消息事务交易，以删除分配给VC有效负载的时间插槽，该时间段将其路由到未插入DFP或第一个秒数的第一个秒。

MST分支设备应在设备准备生成CSN时生成与HPD信号状态相对应的CSN消息事务。If, for example, the DFP HPD signal goes low (which prompts the issuance of a CSN message transaction for hot unplug), goes high, and then goes low again, by the time the MST Branch device has confirmed that the upstream devices have handled the hot unplug CSN message transaction, the device shall not generate CSN message transactions that indicate hot plug and hot unplug events that have occurred since the last hot unplug CSN消息事务。相反，MST分支设备不得发布任何CSN消息事务，因为当前连接状态是拔掉的，该状态与上次CSN消息交易所传达的状态匹配。

此外，已知某些以低功率模式的DP接收器设备在断言HPD信号（与DP v1.4}不符合HPD信号）时未回复AUX Transactions。建议使用MST能力的分支设备来检查在发出热插头的CSN消息交易之前，已连接的下游DP设备回复了AUX交易。如果下游DP接收器设备对AUX交易没有响应，则MST分支机设备应定期发布AUX交易，以便它可以检测到DP接收器设备何时响应。

5.6.1.4发行资源状态通知消息交易

DP MST源设备当前在市场处理CSN消息交易中可用，而不是资源状态通知（RSN）消息交易。因此，具有MST能力的分支设备应**not**发出RSN消息交易。

例如，如果下游的链路带宽恰好减少，则在MST模式下具有MST能力的MST分支设备应发布“断开连接”通知的CSN消息事务，以及另一个用于“连接”通知的CSN消息事务，并回复ENUM_PATH_PATH_RESOURCES信息交易，并具有当前链接链路bandwidth的链接交易。如本节前面所述，具有MST能力的分支设备应支持TPS4或POST_LT_ADJ_REQ，以避免链接质量的脆弱性，这可能导致链接率降低。

5.6.1.5 电源管理处理

在上游设备将010B写入set_power&set_dp_p_pwr_voltage寄存器中的set_power_state字段（dpcd地址00600H，位2：0），MST模式下的MST可靠分支设备将禁用与dptprx的主端口端口，同时保持DPTX dppps的传输端口，同时保持DPTX dppps dpts dppps dpts dfpps the mst-cap ptp rx perters int cap perts perters perts perts perts。分配的时间插槽中的VCPF符号序列。

MST分支设备接收PWR_DOWN_PHY消息事务后，将事务转发到下游路径，然后将010B写入SET_POWER_POWER&SET_DP_PWR_VOLTAGE寄存器（DPCD地址00600H，BITS 2：0）的SET_POWER_STATE字段，其即时下游设备。

MST分支设备应持有以较低功率状态时设置的VC有效负载映射表寄存器（请参阅第5.5.1.1节）。MST分支设备应仅在设备收到Clear_Pay_ID_ID_Table消息事务后清除VC有效载荷映射表寄存器，当设备过渡到SST模式时（如第5.6.1.1节中所述）。

5.6.1.6 多功能MST分支设备枚举

如第2.6.1.1节所述，多功能MST分支设备（即，在DFPS中能够传输协议转换和/或像素处理的MST分支设备）应通过虚拟DP输出端口（逻辑端口）（逻辑DP Peer设备）列举多功能功能，并具有DPCD PEER设备。

5.6.1.7 MVID/NVID和MAUD/NAUD处理

当生成SST输出流时，具有MST能力的分支设备作为最后的MST分支应用自己的计算和/或测量来代替MVID/NVID和MAUD/NAUD值。

5.6.1.8 拆分SDP处理

具有MST能力的分支设备，该设备是路径中的最后一个分支设备，应支持分裂SDP的处理。

5.6.1.9 DSC BITSTREAM处理和FE

c

DSC BITSTREAM解压缩功能具有MST功能的DP分支设备作为最后的MST分支应具有FEC解码能力（请参见第3.5.1.5节）。

只有将MST功能的分支设备定位为最后一个MST分支设备时，才能执行DSC减压。中间的MST分支设备不得执行DSC减压（因此也不进行重新压缩）。但是，中间的MST分支设备在路由携带DSC Bitstreams的VC有效载荷时，应执行FEC解码和重新编码。因此，当设备训练能够进行FEC解码的下游DPRX时，能够将FEC解码和重新编码的MST分支设备设置为FEC_C_Configuration寄存器（DPCD地址00120H，位0）的FEC_Ready位。

当上游DPTX在链接训练之前设置FEC_READY位时，在MST模式下具有MST功能的DP分支设备应将链路层代码转发到8B/10B解码器和描述块的链路层代码与FEC解码所需的数量相同，即使它不执行FEC解码。

尽管BE和BS符号序列位置是由FEC奇偶校验代码插入引起的。

5.6.1.10 交织的消息交易处理

如第5.4.2节所述，不再允许具有MST能力的源设备生成交织的消息交易。但是，该领域中有具有MST能力的源设备，它们发出了交错消息交易。因此，具有MST能力的分支设备应继续能够处理交织的消息交易。

5.6.2 具有多个DPRX上游端口端口的MST能力分支设备

具有多个DPRX UFP的MST分支设备的策略是一种特定于实现的选择。例如，将多个SST流组合到具有多个VC有效载荷的MST流中的MST分支设备可能会选择在多个SST DPRX UFPs中预先分配等同数量的时间插槽，或者采取首先要进行的，首先提供的策略。

5.7 MST模式下的分支链接设备

*DP v1.4*的新手。

具有MST能力的分支机链设备（例如，雏菊链的MST显示屏）应遵循分别第5.5节和第5.6节中所述的，具有MST能力的接收器设备和具有MST的分支设备的策略要求。

5.8 电缆连接器组件

本节介绍了电缆连接器组件的要求。

5.8.1 箱箱，最终用户可检测的电缆组件

盒子对外可拆卸的DP电缆组件必须支持四个主链路车道。

如第4节所述，可以符合高比特速率电缆规范的框对外，可拆卸的DP电缆组件必须满足高比特速率电缆规范。

如第4节所述，所有框对外的可拆卸DP电缆组件必须符合低比特率电缆规范。

框到框DP连接的交配连接器必须符合连接器规范，如第4节所述。

5.8.2 嵌入式和圈养的电缆组件

只要为较少的车道提供“足够”的链路带宽，嵌入式或圈养的DP电缆组件可能支持少于四个主链路车道。

对于嵌入式和圈养的连接，系统集成商的责任有足够的带宽容量选择电缆组件。

5.8.3

主动电缆组件

主动电缆组件是包含集成活动电路（例如驱动程序，中继器或均衡器）的组件。该电路可能位于源侧插头连接器，接收器侧塞连接器中，或两者都取决于其功能。活动电缆组件的源侧和下沉端通常无法逆转；因此，制造商必须清楚地识别每一端（在用户手册和/或通过标签中）。只要活动电缆组件满足以下所述的眼罩要求，传输介质就不会明确指定。因此，主动电缆组件可以使用各种类型的散装电缆是光学的，也可以是铜（即，不需要使用散装电缆，如第4.1.2节所述）。如第4.1.1节所述，活动电缆组件可能属于C1A，C2A，C3A或E1A类型。

主动电缆组件的交配连接器必须符合连接器规范，如第4节所述。

5.8.3.1主动电缆组件电气参数

主动电缆组件必须支持四个主链路车道。主动电缆组件必须支持降低的比特速率和高比特速率。主动电缆组件必须具有符合第3.4节的规格的AUX频道。

主动电缆组件必须在组件两端的热塞检测引脚之间提供连接。如果活动电缆组件在两端（类型C1A，C2A或C3A）都具有插头连接器，则必须在组件的两端的插头连接器的Pins Config1和Config2之间有连接，类似于图4-23所示的被动外部电缆组件。如果主动电缆组件在一端（E1A类型）上有一个插座连接器，则必须在组件的两端的连接器的PIN config1和config2之间没有连接，并且必须由 $< 100 \Omega$ 电阻器的电源电缆的电源extores Connector Endore eentor Endor eentor Connector Endore eNDOR ENDOR。

—

对主链路车道（0至3）和活动电缆组件的辅助通道的测量对配对偏斜（在两个差分车道之间的时间偏斜）不得超过2UI_HBR。有关详细测试方法，请参见DP PHY CTS规范。

如表3-28所定义的，C1A，C2A或C3A类型类型的主动电缆组件的每个主链接的输出必须满足TP3的眼睛要求，以及在表3-27和表3-21中定义的HBR的TP3_EQ。此外，如第3.5.2.8节所述，E1a类型的主动电缆组装的每个主链接的输出必须匹配或更好，只要输入与HBR和RBR的TP2的最小压力需求匹配，如表3-25和表3-26和表3-26级别（如表3-26级别），只要输入与HBR和RBR的最小压力相匹配（如表3-25和级别）（与级别的级别）（如表3-25级别），（均为2级和2级）。PRBS7图案必须用于HBR和RBR的主动电缆组件测试。对于每个受支持的比特率，输入和输出眼罩必须满足第3.5.2.7.2节中定义的抖动要求。有关详细测试方法，请参见DP PHY CTS规范。

5.8.3.2主动电缆组件DP_PWR要求

活动电缆组件是消耗DP_PWR的设备。主动电缆组件可以使用上游设备，下游设备或两者提供的电源。主动电缆组件必须满足第3.2节中消耗DP_PWR的设备的设备的要求，除了第3.2.2节的DP_PWR线要求外。即使有源电缆组件可能具有通过电缆延伸的电源线，也必须在组件两端的插头连接器的DP_PWR引脚之间没有连接。

A Audio Transport (Informative)

2.2.5节介绍了与音频相关的次要数据包。该附录旨在与该部分一起阅读，旨在为标准澄清并减少歧义，以提高具有音频能力的DP设备之间的互操作性。

A.1 音频流组件

音频流由以下组件组成：

- AUDIO_STREAM SDP
- AUDIO_TIMESTAMP SDP
- 音频Infoframe SDP（如CEA-861-F中定义）
- VB-ID的某些部分

在DisplayPort标准中，除VB-ID以外的所有与音频相关的数据包都是辅助数据包流的一部分。

AUDIO_STREAM SDP包括音频流本身以及一些属性信息，例如音频编码类型和频道计数。根据AUDIO_STREAM SDP的编码类型，它可能包含有关音频流参数的状态信息。例如，LPCM和特定的压缩音频格式遵循IEC 60958并使用样本块以串行格式传输此信息。（请参阅IEC 60958-1和IEC 60958-3。）一位音频和DST音频编码类型遵循IEC 14496-3, *Subpart 10*, 编码标准。这些编码类型将单位音频样本作为串行块（也称为“框架”）流式传输量元数据。这些编码类型的其他属性信息（例如，样本频率）必须在音频Infoframe SDP中设置。

音频Infoframe SDP用于在单独的数据包中传输音频流的属性。根据AUDIO_STREAM SDP的编码类型，Audio_stream SDP所携带的信息与Audio Infoframe SDP携带的信息之间存在一些重叠。

每当有重叠时，AUDIO_STREAM SDP携带的信息都优先。音频InfoFrame SDP必须在有限的情况下参考DP v1.4中的有限信息：

- 音频通道到扬声器映射，用于未压缩的编码类型，具有两个以上的通道（例如8通道LPCM，8通道一位或16或32通道3D LPCM）
- 一位和DST音频编码类型的样本频率

当运输1或2通道LPCM或一位音频时，CEA-861-F仅定义单个通道映射。因此，可以完全省略音频Infoframe SDP的传输。

AUDIO_TIMESTAMP SDP用于音频时钟再生，以恢复音频总时钟频率进行进一步的音频处理。

在每个BS控件符号旁边传输的VB-ID字节中携带其他信号，例如禁用音频的“音频静音”信号。

A.2节描述了如何安排Audio_stream SDP传输的时间插槽。就AUDIO_TIMESTAMP SDP和音频Infoframe SDP而言，它们必须每帧传输一次。建议在主视频流垂直空白期间传输它们。

Note: *The Audio_TimeStamp SDP may be transferred more than once per frame. It is up to each DPTX implementation to decide how many times to transfer the Audio_TimeStamp SDP.*

A.2 通过数据包ID的三种SDP类型的关联

通过DP链接传输音频流涉及三种SDP类型的传输：

- AUDIO_STREAM SDP
- AUDIO_TIMESTAMP SDP
- 音频Infoframe SDP

这三种用于单个音频流的数据包通过将每个SDP的HB0（标头字节0）携带的相同的辅助数据包ID（00h）相互关联。

A.3 AUDIO_STREAM SDP传输的安排

音频流是音频样品的连续（即等于）流，每个音频流都可能包含以预定义的样品频率（FS）的几个音频信号通道。LPCM，3D LPCM和非HBR压缩音频的样品频率通常在32至192 kHz的范围内。HBR音频的样品频率在256至1536 kHz的范围内。一个位和DST音频的样品频率在2048至24576 kHz范围内。

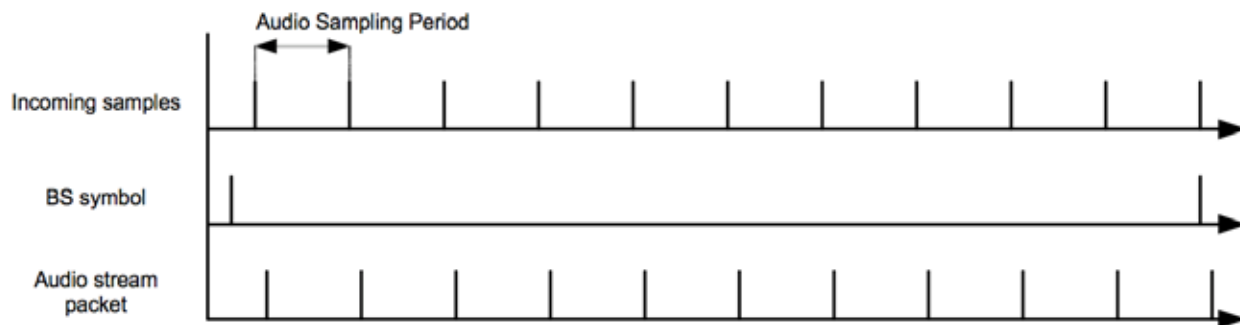
AUDIO_STREAM SDP的传输调度程序必须等待音频传输的时间插槽，在此期间，没有主视频流，主流属性数据包和其他较高的优先级辅助数据包。因此，在AUDIO_STREAM SDP等待其时间插槽时，DPTX和DPRX必须具有一些缓冲空间来容纳音频数据。

图A-1显示了当没有视频传输时，AUDIO_STREAM SDP如何通过DP链接传输。图A-2显示了Audio_stream SDP传输，主视频流正在传输。Audio_stream SDP的传输是从BE符号断言到BS符号主张的，因为主视频流在此期间占据了链接。相反，Audio_stream SDP在BS和BE之间发送。在主视频流的垂直空白期间，Audio_stream SDP传输模式将与图A-1相似。

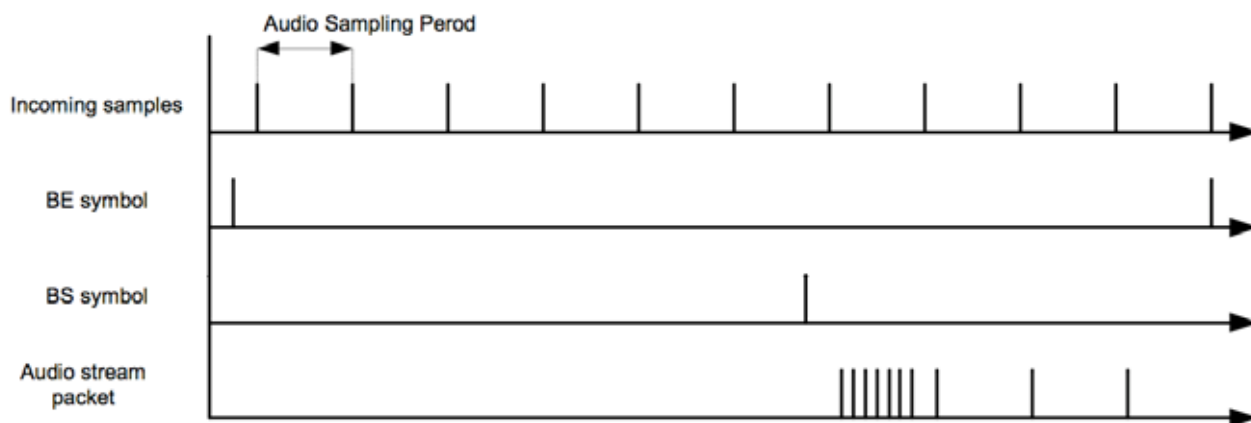
Note: *The presence or absence of main video stream is indicated in the NoVideoStream_Flag bit in the VB-ID (bit 3).*

如前所述，只要有时间插槽可用，Audio_stream SDP就可以随时通过链接传输。由于给定视频格式的视频线周期在整个视频垂直框架期间都是恒定的，因此音频示例速率也是如此，因此对于给定的视频格式，每个主视频流线周期都会通过DP传输的音频样本数量大致是恒定的。不需要特殊的音频带宽分配计算即可实现此计划控制。

音频数据速率（以Mbps为单位）越高，主视频线周期越长，缓冲区大小的要求就越大。实施者应通过确定最大音频数据速率和最长的主视频线周期来确定缓冲区的大小。



图A-1：Audio_stream SDP传输无视频或视频垂直空白



图A-2：在视频垂直活动期间带有视频的Audio_stream SDP传输

a.3.1 音频格式的处理

运输的音频格式可以随时更改。DPTX应在音频格式更改之前开始发送音频静音信号，通过在VB-ID中设置AudioMute_Flag位（位4），该位置在每个主视频流线周期（或每8192个链接每8192个链接符号时）在缺少主视频流时发送一次。音频格式更改是由以下任何一个变化引起的：

- 在压缩和非压缩音频之间
- 在不同的编码类型之间
- 以抽样率
- 在频道数量中

该信号向DPRX表明音频系统处于瞬态过程，并且目前音频流可能无效。当Audiomute_flag位为1时，DPRX必须在继续接收和处理AUDIO_TIMESTAMP SDP的同时禁用其音频输出。

DPTX应仅在完成音频源输入的瞬态过程后才将AudioMute_Flag位清除为0，并以正确且稳定的值完成音频时钟测量，并向DPRX提供有关此更改的信息。DPTX只有在传输Audio_timestamp和Audio InfoFrame SDP之后才能清除音频静音信号（如果需要）。

在DPTX将AudioMute_Flag位清除为0之后，DPRX应仅在再生音频时钟变得稳定并收集足够的音频状态信息后才能启用其音频输出。

A.4 AUDIO_STREAM SDP的结构

DP v1.4定义了Audio_stream SDP的HB3编码类型字段（位7：4）中指定的四个音频编码类型。这些音频编码类型遵循IEC 60958或IEC 14496-3, Subpart 10，编码标准。预计将来会添加其他编码类型。因此，DPRX必须检查编码类型字段，以保持与此标准的未来版本/修订版。

AUDIO_STREAM SDP的HB3 ChannelCount字段（位2：0）带有有关非3D LPCM计数或通过DP Main-Link传输的一个位音频通道的信息。该字段必须具有以下值：

- 000用于1通道LPCM或一位音频
- 001用于2通道LPCM或一位音频
- 8通道LPCM或一位音频最多为111

AUDIO_STREAM SDP的HB2 3DCHANNELCOUNT字段（位4：0）带有有关在DP Main-Link上传输的3D LPCM音频通道数的信息。3DCHANNELCOUNT字段必须具有以下值：

- 16通道3D LPCM音频的0000至1111
- 10000至11111，用于32通道3D LPCM音频

音频流有效载荷数据结构具有七个配置：

- 1或2通道LPCM音频

- 3到8通道LPCM音频
- 1-或2通道一点点音频
- 3到8通道一位音频
- 1至16通道3D LPCM音频
- 17至32通道3D LPCM音频
- 压缩DST音频

AUDIO_STREAM SDP可能具有可变的有效载荷大小。至少，以下小节中描述了Audio_stream SDP大小。

A.4.1

1或2通道音频

1或2通道音频布局结构由四个由四个ECC均衡字节保护的标头字节组成，其次是16个有效载荷数据字节，该数据受四个ECC Parity字节保护。16个有效载荷数据字节由四个32位音频通道样本组成。16个有效载荷数据中的每个字节都包含两个音频样本，每个音频样本由第一和第二通道音频样本组成。对于1通道音频，第二个通道音频示例数据必须零填充。

A.4.2

3到8通道音频

3到8通道音频布局结构由四个由四个ECC保护的标头字节组成奇偶校验字节，然后是两组16个有效载荷数据字节，每个字节都受4个ECC均衡字节保护（导致32个数据字节和8个ECC Parity字节）。与1或2通道音频一样，16个有效载荷数据中的每个字节都由四个32位音频样本组成。当通道计数小于8时，未使用的音频通道样本数据必须为零。

DPTX可以在1和2通道音频以及3到8通道音频模式下使用一个常见的AUDIO_STREAM SDP大小。在这种情况下，必须使用由32个数据字节以及八个ECC均衡字节组成的SDP有效负载配置（必须使用上一段中描述的3到8通道音频的有效负载配置）。

DPTX可以连接多组最小的SDP有效载荷，以形成一个长数据包，该长数据包最多为1或2通道音频，而在3到8通道音频的情况下，有1或2频道音频和1024个数据字节。

无论有效载荷大小如何，每个数据包都必须用SS和SE符号构架，并以4个由4个ECC均衡字节保护的标头字节开始，然后有有效载荷以16个字节的数据和4个字节的ECC奇偶校验。

Note: *All data channels within a single audio sample should be transferred in one packet. Dividing one sample into multiple Audio_Stream SDPs is **not** allowed.*

在32位音频通道数据中，最小有效的24位携带音频样本数据，而最重要的八位位具有控制，状态和奇偶校验。SP最重要的位（字节3的位7）指示是否存在音频样本。一个音频样本的所有通道（无论使用还是未使用），必须具有相同的值。

例如，即使运输了1通道音频，因此，第二个频道样本数据的所有24位均为零填充，每当第一个通道的SP设置为1时，第二个通道的SP位都必须设置为1。相同的情况适用于长数据包（数据之间的32个字节），当样本之间的差距可以被SP列出，以确定sp sp sp sp sp sp sp sp sp sp sp。

如前所述，当运输1或2通道音频时，16个有效载荷数据字节由两个音频样本组成。在这两个样本中，第二个样品可能已清除为0。对于3到8通道音频传输，SP钻头必须始终设置为1。

在其余的七个控制，状态和奇偶校验位中，有PR场（字节3的位5：4）。无论通道计数如何，仅针对第一和第二通道数据插入PR字段。其余渠道省略了公关场。

A.4.3 1到2通道一位音频

支持一位音频是DP v1.4的新音频。

1到2通道的一位音频布局结构与A.4.1节中描述的1到2通道LPCM音频布局相同。但是，这两种格式在其有效负载位定义中有所不同。如第2.2.5.3.6节所述，LPCM音频包含字节2至0中的LPCM音频数据，分别为3（BITS 7：0）=（SP，R（保留），PR，P，P，C，U和V）。一位音频包含字节3（位3：0）和字节2至0中的单位音频样本，分别为3（BITS 7：4）=（SP，V，V，C和F）。

A.4.4 3到8通道一位音频

支持一位音频是DP v1.4的新音频。

3到8通道一位音频布局结构与A.4.2节中描述的3到8通道LPCM音频布局相同。但是，这两种格式在其有效负载位定义中有所不同。如第2.2.5.3.6节所述，LPCM音频包含字节2至0中的LPCM音频数据，分别为3（BITS 7：0）=（SP，R（保留），PR，P，P，C，U和V）。一位音频包含字节3（位3：0）和字节2至0中的单位音频样品，分别为3（BITS 7：4）=（SP，V，V，C和F）。

一位音频没有PR字段插入要求。取而代之的是，必须在框架边界的所有字节3（28）位的布局中设置帧启动标志（f）控制位（字节3的位4）。

A.4.5 1至16通道3D LPCM音频

对3D LPCM音频的支持是DP v1.4的新手。

1至16通道3D LPCM音频布局结构由四个由四个ECC平价字节保护的标头字节组成。这些奇偶校验字节之后是四组16个有效载荷数据字节，每个字节都受到另外四个ECC均衡字节的保护。最终结果是64个数据字节加16个ECC均衡字节。与3到8通道LPCM音频一样，16个有效载荷数据字节中的每一个都由四个32位音频样本组成。当通道计数小于16时，未使用的音频通道样本数据必须为零。

DPTX可能会串联多组最小的SDP有效载荷，以形成一个长数据包，该长数据包在1-16频道音频时具有多达2048个数据字节。

无论有效载荷尺寸如何，每个数据包都必须用SS和SE符号构架，并以四个由四个ECC均衡字节保护的标头字节开始，然后使用有效载荷，其中有16个数据字节和四个ECC Parity字节。

Note: *All data channels within a single audio sample should be transferred within one packet. Dividing one sample into multiple Audio_Stream SDPs is **not** allowed.*

在32位音频通道数据中，最低有效的24位具有音频样本数据，而最重要的八位位具有控制，状态和奇偶校验。SP最重要的位（字节3的位7）指示是否存在音频样本。一个音频示例的所有通道（无论使用还是未使用），必须具有相同的状态。

在其余的七个控制，状态和奇偶校验位中，有PR场（字节3的位5：4）。无论通道计数如何，仅针对第一个和第二个通道数据插入PR字段。其余渠道省略了公关场。

A.4.6 17至32通道3D LPCM音频

对3D LPCM音频的支持是DP v1.4的新手。

17至32通道3D LPCM音频布局结构由四个由四个ECC平价字节保护的标头字节组成。这些奇偶校验字节之后是八组16个有效载荷数据字节，每个字节都受到另外四个ECC均衡字节的保护。最终结果是128个数据字节加32个ECC均衡字节。与3到8通道LPCM音频一样，16个有效载荷数据字节中的每一个都由四个32位音频样本组成。当通道计数小于32时，未使用的音频通道样本数据必须为零。

DPTX可能会串联多个最小SDP有效载荷，以形成一个长数据包，该长数据包在17至32频道音频时具有高达4096个数据字节。

无论有效载荷尺寸如何，每个数据包都必须用SS和SE符号构架，并以四个由四个ECC均衡字节保护的标头字节开始，然后使用有效载荷，其中有16个数据字节和四个ECC Parity字节。

Note: *All data channels within a single audio sample should be transferred within one packet. Dividing one sample into multiple Audio_Stream SDPs is **not** allowed.*

在32位音频通道数据中，最低有效的24位具有音频样本数据，而最重要的八位位具有控制，状态和奇偶校验。SP最重要的位（字节3的位7）指示是否存在音频样本。一个音频示例的所有通道（无论使用还是未使用），必须具有相同的状态。

在其余的七个控制，状态和奇偶校验位中，有PR场（字节3的位5：4）。无论通道计数如何，仅针对第一个和第二个通道数据插入PR字段。其余渠道省略了公关场。

A.4.7 压缩DST音频

对DST音频的支持是DP v1.4的新手。

DST音频布局结构与A.4.2节中描述的8通道LPCM音频布局相同。但是，这两种格式在其有效负载位定义中有所不同。如第2.2.5.3.6节所述，LPCM音频包含字节2至0中的LPCM音频数据，分别为3（BITS 7：0）=（SP，R（保留），PR，P，C，C，U和V）。DST音频在字节3（位3：0）和字节2至0中包含单位音频样本，并分别带有字节3（位7：4）=（SP，V，V，C和F）。

在所有八个子层中，单个位样品数据都是连续的，每个DST布局总计224位样本位。必须为所有八个子层设置SP钻头。与多通道LPCM或3D LPCM音频不同，通道分配不适用于DST布局，因此，DST布局中没有非活动的子层。

DST音频没有PR字段插入要求。取而代之的是，必须在框架边界的所有字节3（28）位的布局中设置帧启动标志（f）控制位（字节3的位4）。

A.5通道到讲话的映射

具有两个以上通道的DP流中的通道位置应完全对应于CEA-861-F和CEA-861.2。这意味着可以存在通道之间的差距。表A-1显示了CEA-861-F中描述的可能的通道映射之一的通道置换。

表A-1描述了3通道LPCM音频的传输，其编程为04h，在音频Infoframe SDP的字节3中。

表A-1: 3通道音频的频道对示意图= 04H

4-Lane Main-Link			
Lane 0	Lane 1	Lane 2	Lane 3
SS	SS	SS	SS
HB0	HB1	HB2	HB3
PB0	PB1	PB2	PB3
S0_Ch1_B0	S0_Ch2_B0	00h	00h
S0_Ch1_B1	S0_Ch2_B1	00h	00h
S0_Ch1_B2	S0_Ch2_B2	00h	00h
S0_Ch1_B3	S0_Ch2_B3	80h	80h
PB4	PB5	PB6	PB7
S0_Ch5_B0	00h	00h	00h
S0_Ch5_B1	00h	00h	00h
S0_Ch5_B2	00h	00h	00h
S0_Ch5_B3	80h	80h	80h
PB8	PB9	PB10	PB11
SE	SE	SE	SE

Note: *The msb (bit 7 of Byte 3) of the 32-bit audio sample data, the SP bit, indicates if an audio sample is present.*

如CEA-861-F，Table 31中所述，在音频Infoframe SDP中提供了频道对扬声器映射信息。当运输1通道音频时，它必须使用FL通道（通道1）。

在音频Infoframe SDP数据字节6到9中，提供了3D LPCM音频的通道到言语映射信息，作为扬声器掩码或通道索引设置，以及作为通道排序指令（如CEA-861.2，Section 3.6，Section 3.6和Section 3.7中所述）。

A.6 样本频率信息的传递

有关音频采样频率的信息是在Audio_timestamp SDP中传输的，该音频_timestamp SDP使用以下公式提供了音频时钟频率信息（Maud和Naud）：

$$Maud / Naud = 512 * f_s / f_{LS\_Clk}$$

其中 f_s 是传输音频流的采样频率。

根据DP标准，每个视频框架至少传输一次此信息（或在不存在主视频流时，第512 BS符号之后）。如果选择这样做，则允许DPTX更频繁地传输它。此外，该标准允许每行主视频流线路一次传输一次最小有效的MAUD值（MAUD7: 0），并且是否使用此信息，则取决于DPRX。

DPRX如何再生音频采样频率是特定于实现的，并且超出了该标准的范围。

例如，某些实现可能会使用Maud和Naud值来设置音频时钟恢复电路的初始频率，并根据音频FIFO填充速率执行良好的频率调整。使用此方法，DPRX可以忽略MAUD7: 0来自VB-ID数据包的数据。

B接收事件通知示例（信息性）

本附录描述了一种机制，仅SST模式DP接收器设备可以通知接收器事件的DP源设备，例如肖像和景观之间的显示方向开关。连接到MST上游设备的MST接收器设备必须通过sink_event_notify广播消息事务通知接收器事件。

B.1 通过来源和水槽相互识别

在热门事件中，源和接收器设备可以通过访问源设备特定字段（DPCD地址00300H至003FFH；请参见表2-158）和水槽特定的字段（DPCD地址00400H至004FFH；请参见表2-159）。有兴趣启用其“扩展”功能的源设备应将其自己的24位IEEE_OUI（组织独特ID）写入DPCD地址00300H至00302H，并从DPCD地址00400H地址00400H地址00400H地址00400h地址00400h地址00400h地址00402H。源设备可以选择编写和读取超过三个字节的IEEE OUI，以交换进一步的标识信息（例如，芯片ID和修订ID）。仅当每个设备识别其他设备支持它时，才能启用“扩展”功能。

B.2 IRQ_HPD脉冲和水槽设备特异性IRQ

支持接收器设备事件通知功能的接收器设备指示通过在特定于接收器设备特定字段中设置“sink_event_type”字节来支持哪些接收器设备事件类型（DPCD地址00400H至004FFH；请参阅表2-159）。源设备通过AUX CH读取sink_event_type字节，通过将某些sink设备事件写入“sink_event_mask”字节中的“sink_event_mask”字节。sink_event_type字节的地址映射（s）和sink_event_mask字节（s）是特定于实现的。

当选定的接收器设备事件（例如，显示方向开关）时，该设备采取以下操作：

- 程序一组参数，以特定于接收器设备特定字段的预定义地址范围
- 在sink_count寄存器（DPCD地址00201H，位6）中设置sink_specific_irq位
- 在HPD信号线上生成IRQ_HPD脉冲

源Devi CE在检测到IRQ_HPD脉冲后，进行后续 NG行动：

- 读取链接/接收器设备状态字段（DPCD地址00200H至002FFH；请参见表2-157），并确定IRQ的原因是rink设备特定于设备特定的
- 读取一组来自水槽设备特定字段的预定义地址范围的参数
- 根据读取参数执行操作：
 - 如果通知的接收器设备事件是显示方向的变化，则可能会更改视频数据的方向

C链接质量管理（信息性）

该附录提供了确保链接质量的准则，目的是在正常操作期间提供最小的中断。

C.1 边缘链接质量

链接培训程序不一定需要足够的时间才能执行完整的链接质量分析。结果是DPTX和DPRX之间的连接可能是完全训练的，但具有边际性能。长电缆，非记录中继器的使用（其实现超出了该标准的范围）以及无论出于何种原因不符合规范的系统和电缆，都更有可能发生这种情况。

症状是以下一个或多个：

- 没有视频（尽管链接培训成功）
- 闪烁/闪烁的视频
- 显示工件，包括“闪闪发光的”视频（单个像素错误）和线泪
- 其他视频扭曲

C.2 分析

表明这些症状的配置分析已显示：

- 低位错误率（<每秒10位错误）和高误差率（每秒1000位错误率）
- 成功训练后失去符号锁
- 训练后的“Interlane_align_done”丢失
- 多次插头的训练结果不一致

不一致的训练结果可能会导致可用的带宽从一个训练周期变为下一个。特别是，已经观察到，可用的带宽可以在“睡眠唤醒”周期内发生变化。

a. *INTERLANE_ALIGN_DONE bits in the LANE_ALIGN_STATUS_UPDATED and LANE_ALIGN_STATUS_UPDATED_ESI registers (DPCD Addresses 00204h and 0200Eh, bit 0, respectively).*

C.3 对位错误的容忍度

建议使用以下指南以使其容忍以下错误：

- 孤立的位错误通常应该导致任何比单像素闪闪发光更糟糕的
- 在活动视频中，在隔离的位错误上，接收器不应重置屏幕
- 接收者应实现控制数据包支持支持的鲁棒性
- 孤立的位错误不应导致以下任何一个：
 - 失去符号锁
 - 清除车道`x_y_status`和`Lane x_y_STATUS_ESI`寄存器（DPCD地址00202H和00203H）分别分别为0200CH和0200DH）
 - 清除`lane_align_status_updated`和`lane_align_status_updated esi`寄存器（分别为00204H和0200EH）
- 重新培训请求
- 预计发射器不会监视位错误计数器

C.4 链接重新训练

丢失时钟锁，符号锁或车间对齐时，接收器应通过以下方式要求重新训练：

1清除`Interlane_align_done`位中的`LANE_ALIGN_STATUS_UPDATED`和`LANE_ALIGN_STATUS_UPDATED_ESI`寄存器（DPCD地址00204H和0200EH，分别为0200EH，BIT 0）。2设置`link_status_updated` Bits在`lane_align_status_updated`和`lane_align_status_updated esi`寄存器（DPCD地址00204H和0200EH，位7分别为7）。3生成不同的`IRQ_HPD`。

接收器应避免在随后的训练中使用当前的电压摇摆/重点水平/比特率/Rx EQ设置组合。

C.5

长期链接质量监控（指南）

接收器应监视每个车道的位错误率，但不清除位错误DPCD。

如果位错误率超过实现依赖性阈值（例如，在10s窗口中发生32个错误），则接收器应：

- 内部标记当前的电压摇摆/预先重点/比特速率/Rx EQ设置为“无法支撑”
- 请求重新训练
- 避免在培训期间所有无法支撑的设置

接收器应在新连接上重置“不可支撑”标志。

接收器设备可能决定落回RBR。为此，它应该执行以下操作：

- 1在max_link_rate和/或max_lane_count寄存器中更改其功能（分别为00001H和00002H）。2
- 在link_service_irq_vector_esi0寄存器中设置rx_cap_changed位（dpcd地址02005h，bit 0）。3
- 发行IRQ_HPD。

源设备可以决定倒入RBR。它应该执行以下操作：

- 1允许在接收器设备使用“长期”链路质量监视以找到合适的设置的初始阶段（例如30s）
- 。2接收高训练请求的高率（大约两个在30或更高的请求）之后

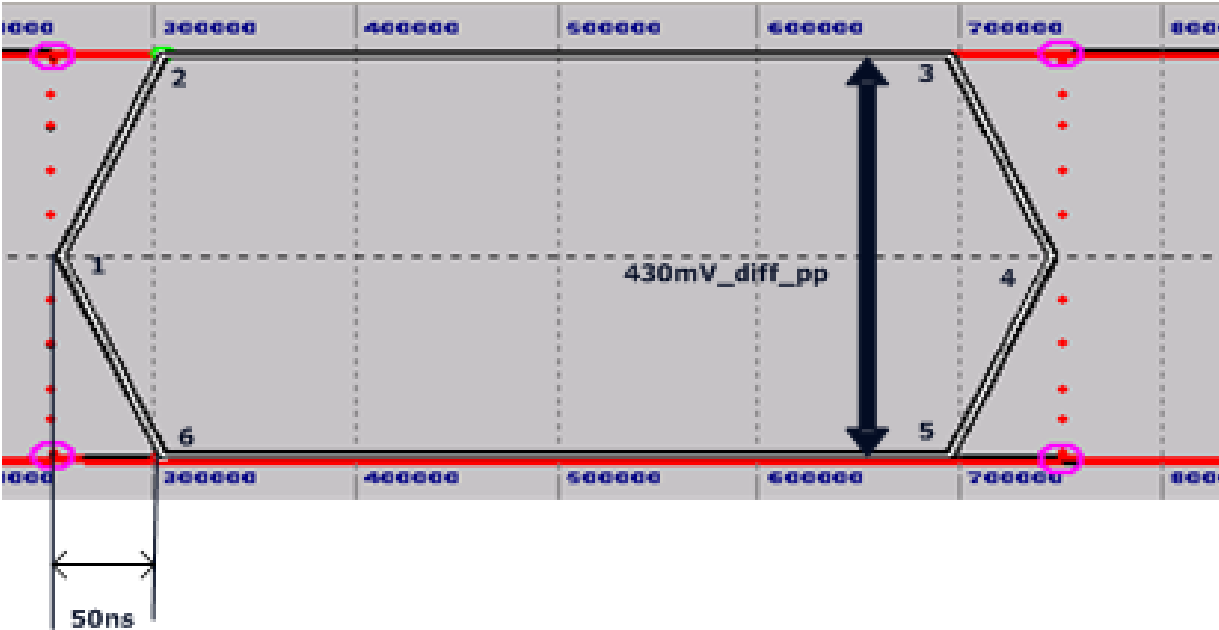
在HBR的培训中，源设备应避免在HBR上进行重新训练，而应在RBR上尝试RX功能是RX。

源设备绝不能尝试发送超过实际受过训练的带宽的视频模式，因此必须耐受重新训练的带宽比先前训练中的带宽较低的结果。

D电气规格（信息性）

D.1 AUX参数

图D-1显示了传输IC包装引脚的AUX CH_EYE蒙版（信息性），其顶点如表D-1所示。在传输设备连接器引脚（用于AUX请求交易的DFP连接器引脚）和用于AUX回复交易的UFP连接器引脚的AUX CH电压摇摆的规范规范为290MV_DIFF_PP min。在传输IC包装引脚上，Aux CH电压摆动必须高于290MV_DIFF_PP，以考虑PCB轨迹上的电压下降。

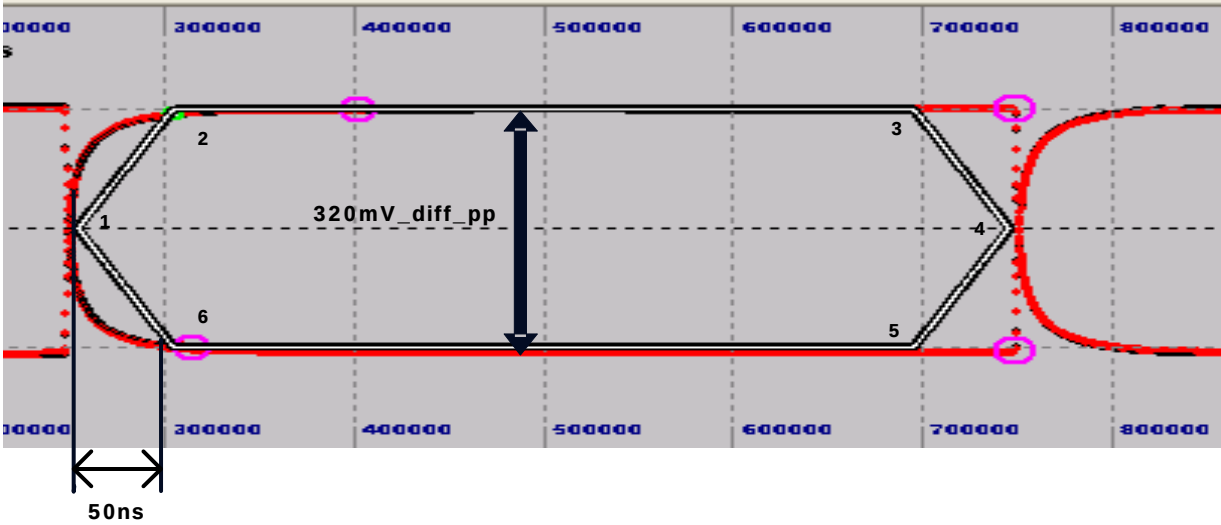


图D-1：传输IC包装引脚的Aux CH眼罩（信息）

表D-1：用于传输IC包装销的AUX CH的掩蔽顶点（信息）

Point	Time (UI)	Minimum Voltage Value at Six Vertices (mV)
1	0.01	0
2	0.11	Higher than 145
3	0.89	Higher than 145
4	0.99	0
5	0.89	Lower than -145
6	0.11	Lower than -145

在接收IC包装引脚及其顶点值（信息性）上的Aux CH眼膜分别显示在图D-2和表D-2中。在传输设备连接器引脚（用于AUX请求交易的UFP连接器引脚和AUX回复交易的DFP连接器引脚）处的AUX CH电压摆动的规范规范为270MV_DIFF_PP。在接收IC包装引脚上，由于PCB轨迹上的电压下降，AUX CH电压挥杆势必低于270MV_DIFF_PP。



图D-2：接收IC包装销时的Aux Ch眼罩（信息）

表D-2：接收IC包装销的AUX CH的掩蔽顶点（信息）

Point	Time (UI)	Minimum Voltage Value at Six Vertices (mV)
1	0.01	0
2	0.11	Lower than 135
3	0.89	Lower than 135
4	0.99	0
5	0.89	Higher than -135
6	0.11	Higher than -135

D.2

主链接参数

Note: *Informative parameters in this section will be updated to cover HBR3 link rate range in the future version of this Standard.*

表D-3和表D-4分别指定硅垫和TX引脚的信息性发射器参数，这些参数旨在作为发射器设计的参考。这些内容丰富的参数值是定义源TP2参数的参考。通过合规性的来源不必满足这些参数值。符合这些信息参数值的发射器设计由于源设备的系统设计而仍可能会失败。发射器和源设备的系统均应仔细设计，以确保源 - 设备的合规性。

表D-3: DP主链接TX硅参数（信息性）

Symbol	Parameter	Min	Nom	Max	Units	Comments
V_{BIAS_TX}	TX DC Bias Voltage	0		2.0	V	
$V_{TX-AC-CM\_HBR\_RBR}$	TX AC Common Mode Voltage			20	mV rms	Measured using an ANSI 8b/10b valid pattern with 50% transition density. Measured at supported frequencies within the frequency tolerance range. Time-domain measurement.
$V_{TX-AC-CM\_HBR2}$	TX AC Common Mode Voltage			30	mV rms	
$V_{TX-DIFFp-p-Level0}$	Differential Peak-to-peak Output Voltage Swing Level 0	0.34	0.4	0.46	V	See Figure 3-12 for definition of differential voltage. Voltage Swing Level 3 for RBR and HBR is optional. For embedded connection, support of programmable voltage swing levels is optional. Voltage Swing Level 3 must be greater than Voltage Swing Level 2.
$V_{TX-DIFFp-p-Level1}$	Differential Peak-to-peak Output Voltage Swing Level 1	0.51	0.6	0.68	V	
$V_{TX-DIFFp-p-Level2}$	Differential Peak-to-peak Output Voltage Swing Level 2	0.69	0.8	0.92	V	
$V_{TX-DIFFp-p-Level3\_RBR\_HBR}$	Differential Peak-to-peak Output Voltage Swing Level 3	0.85-	1.2	1.38	V	
$V_{TX-PREEMP-RATIO}$	Pre-emphasis Level 0	0.0	0.0	0.0	dB	Support for Pre-emphasis Levels 0, 1 and 2 is required. Support for Pre-emphasis Level 3 is optional. For an embedded connection, support of programmable pre-emphasis levels is optional.
	Pre-emphasis Level 1	2.8	3.5	4.2	dB	
	Pre-emphasis Level 2	4.8	6.0	7.2	dB	
	Pre-emphasis Level 3	7.5	9.5	11.4	dB	

表D-3: DP主-link TX硅参数 (信息性) (续)

Symbol	Parameter	Min	Nom	Max	Units	Comments
$V_{TX-PREEMP-POST2-RATIO}$	Pre-emphasis Post Cursor2 Level 0	0.0	0.0	0.0	dB	See Figure 3-13 for definition of Post Cursor2. Support for Pre-emphasis Post Cursor2 is optional.
	Pre-emphasis Post Cursor2 Level 1	-1.1	-0.9	-0.7	dB	
	Pre-emphasis Post Cursor2 Level 2	-2.3	-1.9	-1.5	dB	
	Pre-emphasis Post Cursor2 Level 3	-3.7	-3.1	-2.5	dB	
$F_{TX-REJECTION-BW}$	Clock Jitter Rejection Bandwidth			4	MHz	Transmitter jitter must be measured at source connector pins using a signal analyzer that has a second-order PLL with closed-loop tracking bandwidth of 20MHz (for D10.2 pattern) and damping factor of 1.428.
$C_{TX-OUTPUT}$	TX Output Capacitance for Return Loss			1.5	pF	For HBR2. Represents only the effective lump capacitance seen at the package/die interface that shunts the on-die TX termination.

表D-4: DP主-link TX TP1包装引脚参数 (信息)

Symbol	Parameter	Min	Nom	Max	Units	Comments
T _{TX-EYE-CHIP_HBR2}	Minimum TX EYE Width at TX package pins	0.73			UI	For HBR2 using a D10.2 pattern.
T _{TX-EYE-MEDIAN-to-MAX-JITTER_CHIP_HBR2}	Maximum time between the jitter median and maximum deviation from the median at TX package pins			0.135	UI	
T _{TX-EYE-CHIP_HBR}	Minimum TX EYE Width at TX package pins	0.72			UI	For HBR.
T _{TX-EYE-MEDIAN-to-MAX-JITTER_CHIP_HBR}	Maximum time between the jitter median and maximum deviation from the median at TX package pins			0.147	UI	
T _{TX-EYE-CHIP_RBR}	Minimum TX EYE Width at TX package pins	0.82			UI	For RBR.
T _{TX-EYE-MEDIAN-to-MAX-JITTER_CHIP_RBR}	Maximum time between the jitter median and maximum deviation from the median at TX package pins			0.09	UI	
T _{TX-RISE_CHIP} , T _{TX-FALL_CHIP}	D+/D- TX Output Rise/Fall Time at TX package pins	50		130	ps	At 20 to 80%.
V _{TX-DC-CM}	TX DC Common Mode Voltage	0		2.0	V	Common mode voltage is equal to V _{bias_TX} voltage.
I _{TX-SHORT}	TX Short Circuit Current Limit			50	mA	Total drive current of the transmitter when it is shorted to its ground.
RL _{TX-DIFF}	Differential Return Loss at 0.675GHz at TX package pins	12			dB	Straight loss line between 0.675 and 1.35GHz.
	Differential Return Loss at 1.35GHz at TX package pins	9			dB	
L _{TX-SKEW-INTRA_PAIR_CHIP}	Lane Intra-pair Output Skew at TX package pins			20	ps	Applies to all supported lanes.
T _{TX-RISE_FALL_MISMATCH_CHIPDIFF}	Lane Intra-pair Rise-fall Time Mismatch at TX package pins.			5	%	D+ rise to D- fall mismatch and D+ fall to D- rise mismatch.

表D-5到表D-7在RX引脚和硅垫上指定接收器参数，该参数旨在用作接收器设计的参考。这些内容丰富的参数值用作从中定义了sind tp3参数的参考。通过合规性的接收器设备不必满足这些内容丰富的参数值。符合这些信息参数值的接收器设计由于水槽设备的系统设计而可能仍会失败。接收器和接收器设备系统都应仔细设计，以确保水槽设备的合规性。

表D-5: DP主链接RX TP4软件包PIN参数（信息）

Symbol	Parameter	Min	Nom	Max	Units	Comments
$V_{RX-DIFFp-p}$	Differential Peak-to-peak Input Voltage at RX package pins	120			mV	For HBR. See Figure 3-12 for definition of differential voltage.
$V_{RX-DIFFp-p}$	Differential Peak-to-peak Input Voltage at RX package pins	40			mV	For RBR. See Figure 3-12 for definition of differential voltage.
T_{RX-EYE_CHIP}	Minimum Receiver EYE Width at RX package pins	0.47			UI	For HBR. $T_{RX-EYE-MEDIAN-to-MAX-JITTER}$ specifies the total allowable DJ.
$T_{RX-EYE-MEDIAN-to-MAX-JITTER\_CHIP}$	Maximum time between the jitter median and maximum deviation from the median at RX package pins			0.265	UI	
T_{RX-EYE_CHIP}	Minimum Receiver EYE Width at RX package pins	0.22			UI	For RBR. $T_{RX-EYE-MEDIAN-to-MAX-JITTER}$ specifies the total allowable DJ.
$T_{RX-EYE-MEDIAN-to-MAX-JITTER\_CHIP}$	Maximum time between the jitter median and maximum deviation from the median at RX package pins			0.39	UI	
$V_{RX-DC-CM}$	RX DC Common Mode Voltage	0		2.0	V	Common mode voltage is equal to V_{bias_RX} voltage.
$I_{RX-SHORT}$	RX Short Circuit Current Limit			50	mA	Total drive current of the transmitter when it is shorted to its ground.
$RL_{RX-DIFF}$	Differential Return Loss at 0.675GHz at RX package pins	12			dB	Straight loss line between 0.675 and 1.35GHz.
	Differential Return Loss at 1.35GHz at RX package pins	9			dB	
$C_{RX-INPUT}$	RX Input Capacitance for Return Loss			1.1	pF	For HBR2.

表D-6: 带有HBR/RBR的DP主链接RX硅垫 (信息)

Symbol	Parameter	Min	Nom	Max	Units	Comments
$V_{\text{BIAS\_RX}}$	RX DC Bias Voltage	0		2.0	V	

表D-7: 带有HBR2的DP Main-Link RX硅垫 (信息性)

Symbol	Parameter	Min	Nom	Max	Units	Comments
$V_{\text{BIAS\_RX}}$	RX DC Bias Voltage	0		2.0	V	
$T_{\text{RX-TJ\_8b10b\_HBR2}}$	Minimum Receiver EYE Width	0.30			UI	For HBR2. Measured at 1E^{-9} BER using the HBR2 Compliance EYE pattern.
$T_{\text{RX-DIFFp-p\_HBR2}}$	RX Differential Peak-to-Peak EYE Voltage	50			mV	For HBR2. Measured at 1E^{-9} BER using the HBR2 Compliance EYE pattern.

D.3

双迪拉克抖动Modela

应当理解的是，尽管可以使用双迪拉克模型来描述抖动，但不应理解系统中的抖动确实是双边过的。通常，抖动将分布或结构化，双迪拉克描述仅仅是在特定BER处的CDF的线性化。还应理解，这里的双DIRAC模型的使用，并且在系统预算中只是一种语言，可以帮助定义系统中的抖动，并不意味着这应该是系统中抖动的规范性推导方法。

需要三个工具来描述双DIRAC模型：

第一：dirac-delta功能：

$$\delta(x - x_0) \equiv \begin{cases} 0, & x \neq x_0 \\ \rightarrow \infty, & x = x_0 \end{cases} \quad \text{with} \quad \int \delta(x - x_0) dx = 1$$

第二：RJ PDF是高斯：

$$PDF_{RJ}(x) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left[-\frac{x^2}{2\sigma^2}\right]$$

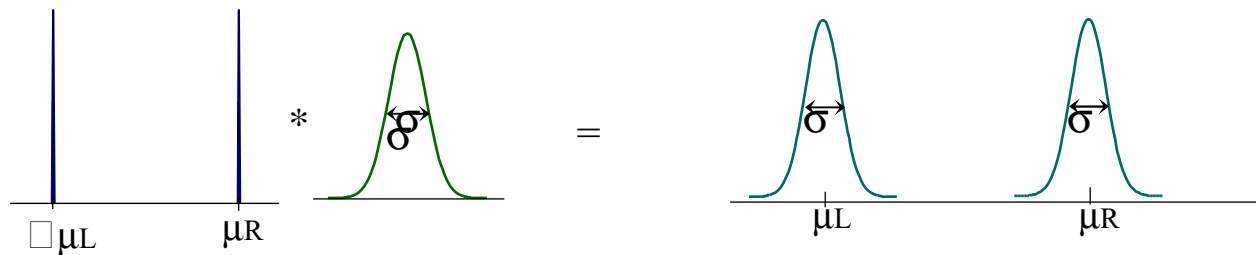
第三：不同的抖动组件通过卷积结合：

$$\begin{aligned} PDF(x) &= PDF_{DJ}(x) * PDF_{RJ}(x) \\ &= \int PDF_{DJ}(u) * PDF_{RJ}(x - u) du \end{aligned}$$

a. Referenced and reused with permission from Ransom Stevens on "What The Dual-Dirac Model is and What it is Not," available on www.ransomstevens.com.

The Dual-Dirac is made up from the following elements:

$$[\delta(x - \mu_L) + \delta(x - \mu_R)] * \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{x^2}{2\sigma^2}\right) = \frac{1}{\sqrt{2\pi}\sigma} \left[\exp\left(-\frac{(x - \mu_L)^2}{2\sigma^2}\right) + \exp\left(-\frac{(x - \mu_R)^2}{2\sigma^2}\right) \right]$$



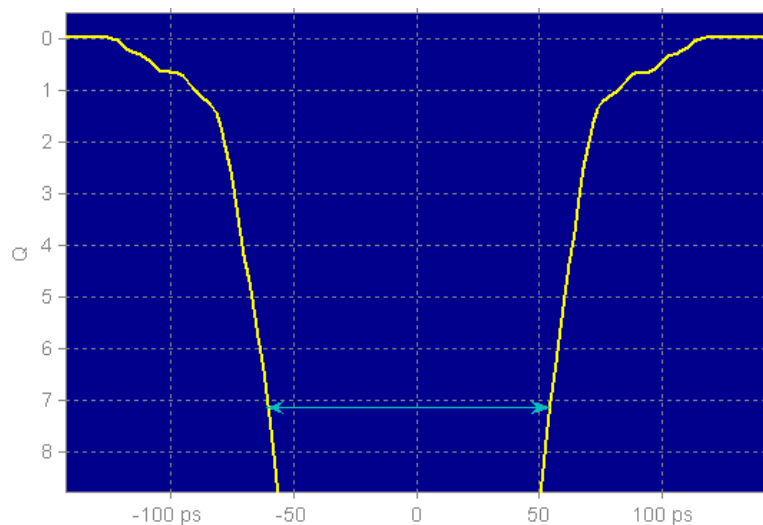
Dual-Dirac DJ

$$DJ(p-p) = \mu_R - \mu_L$$

Gaussian RJ

$$RJ = \sigma$$

TJ (BER) 在双dirac中的推导：通常我们可以定义浴缸图。



$$\text{BER}(x) = \rho_T \int_x^\infty \text{PDF}(x') dx' + \rho_T \int_{-\infty}^x \text{PDF}(x' - T) dx'$$

×

×

插入双dirac:

$$\text{BER}_{\delta\delta}(x) = \rho_T \left[\text{erfc} \left(\frac{x - \mu_L}{\sqrt{2}\sigma} \right) + \text{erfc} \left(\frac{(x - T) - \mu_R}{\sqrt{2}\sigma} \right) \right]$$

评估互补错误函数, $\text{ERFC}(x)$, 然后获取:

$$TJ(BER) = 2Q_{BER} \times RJ(\delta\delta) + DJ(\delta\delta)$$

对于50%密度模式, 例如PRB7和Ber = 10-9的HBR2合规性模式, $Q_{BER} = 5.884$ 。

在这些条件下的抖动模型将是:

$$11.77RJ + DJ = TJ$$

E crambler C代码参考（信息）

下列 C代码提供了有关争夺的信息 R定义。

```
/** lfsr.h * scram  
bler **/
```

```
void resetlfsr () ; void advancelfsr () ;外部  
未签名的短LFSR； 外部未签名的短LFSrsee  
d;
```

```
/** lfsr.c * Scram  
bler **/
```

```
#include “dpsscramble.h” #inclu  
de “lfsr.h”
```

```
/*此例程在内部LFSR多项式中以并联形式实现串行扰动/删除算法： $x^{16} + x^5 + x + x^4 + x^3 + 25$  XOR大门要实施（使用静态寄存器）
```

```
提前8位/时钟是位0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 8 9 10 11 12 13 14 15 0 1 2 3 4 5 6 7 8 9 10 1  
1 12 13 13 14 15 8 9 10 11 12 13 13 14 15 8 9 10 11 12 13 14 15 */
```

```
未签名的短LFSR； 未签名的短lfs  
rseed;
```

```
void resetlfsr () {lfsr = lfsrseed; }
```

```
void Advancelfsr () {
```

```
int i; int bit [16]; int bitout [16]; for (i = 0; i < 16; i++) //将lfsr转换为位阵列, 以获取可读性位
[i] = (lfsr >> i) & 1; //推进LFSR 8串行时钟bitout [0] = bit [8]; bitout [1] = bit [9]; bitout [2] =
bit [10]; bitout [3] = bit [11] ^ bit [8]; bitout [4] = bit [12] ^ bit [9] ^ bit [8]; bitout [5] = bit [13] ^ bit [10]
^ bit [9] ^ bit [8]; bitout [6] = bit [14] ^ bit [11] ^ bit [10] ^ bit [9]; bitout [7] = bit [15] ^ bit [12] ^ bit [11] ^
bit [10]; bitout [8] = bit [0] ^ bit [13] ^ bit [12] ^ bit [11]; bitout [9] = bit [1] ^ bit [14] ^ bit [13] ^ bit [12];
bitout [10] = bit [2] ^ bit [15] ^ bit [14] ^ bit [13]; bitout [11] = bit [3] ^ bit [15] ^ bit [14]; bitout [12] = bit
[4] ^ bit [15]; bitout [13] = bit [5]; bitout [14] = bit [6]; bitout [15] = bit [7]; LFSR = 0; for (i =
0; i < 16; i++) //将LFSR转换回整数lfsr += (bitout [i] << i) ; }/ *** DisplayPort crambler **包
括DP控制符号的扰动, 以及 * DP控制符号和K代码之间的转换 */
```

```
外部布尔培训;
外部bool多发达;
外部bool dp_tx;
DP接收器Extern bool增强了framing;

使用增强的框架
```

```
//如果在训练序列中为true
//如果使用多流格式, 则为true
//在DP发射器上为true, false at

//为SST-Mode连接true
```

```
extern int srSeq[4];
```

```
// k-code单流程多流程#define K28D0 0x11C // SR GP1索引|2 #Define K28D1 0x13C // CP GP2 RSVD #DEFINE K28D2 0x15C // K28D4 0x19C // RSVD GP2 RSVD #Define K28D5 0x1BC // BS GP2 SR #Define K28D6 0x1DC // RSVD GP1 GP1 5 #DEFINE K28D7 0x1FC // RSVD GP2 GP2 GP2 RSVD7 / fef7 k23 rk23 gp1索引|0 #define k27d7 0x1fb // be gp1索引|1 #define k29d7 0x1fd // se gp1 index 6 #define k30d7 0x1fe // fs gp1 index 7
```

```
//单流操作的控制符号
```

```
enum {sr = k28d0, cp = k28d1, ss = k28d2, bf = k28d3, bs = k28d5, fe = k23d7 fs = k30d7};
```

```
//多流操作的控制符号
```

```
enum {ms_sr = k28d5};
```

```
Extern const int scrcontroltokcode [8];
```

```
void resetsrseq () ;
```

```
enum ms_sr_states {ms_sr_reset, ms_sr_lock1, ms_sr_lock2, ms_sr_locked, ms_sr_error1, ms_sr_error2};
```

```
int scramblebyte (int inbyte) ;
```

```
/* * * displayport scrambler * */
```

```
#include "dpsscramble.h" #include "lfsr.h"
```

/*此例程实现并行形式的加扰/描述算法。数据用LFSR的顶部字节拼写。请注意，以并行形式争夺的效果是将LFSR的顶部字节倒倒。

数据位7 6 5 4 3 2 1 0
LFSR位8 9 10 11 12 13 14 15

此例程在TX一侧被调用以扰乱传出符号
并在RX一侧描述传入的符号

the parameter inByte is either a data value in the range 0 - 255 a representation of a K-code, represented as 0x100+val a representation of a DP Control Symbol, represented by 0x200+index (applies only on the transmit/scrambling side) a representation of an errored symbol, represented by 0x400 the return value is encoded similarly a data value in the range 0 - 255 a representation of a K-code, represented as 0x100+val a representation of a DP Control Symbol, represented by 0x200+index (applies only on the receive/descrambling side) for robustness scrambler reset purposes, this function maintains the state variable inEnhSRSeq between calls */// the following defines the conversion between scrambled symbol index to K code //

0 1 2 3 4 5 6 7

```
const int scrcontroltokcode [8] = {k23d7, k27d7, k28d0, k28d2, k28d3, k28d6, k28d6, k29d7, k30d7};
```

```
int srseq [4];布尔·伊恩赫斯拉克 (Bool Inenhsrseq) ; // true如果已经识别出增强的框架crambler重置序列枚举MS_SR_STATES MS_SR_STATE = MS_SR_RESET; unsigned简短int ms_sr_symbol_count = 0; // 16位, 计数为65535 void resetsrseq () {int i; for (i = 0; i < 4; i++) srseq [i] = 0; } int scramblebyte (int inbyte) {int scrambit [16]; int bit [16]; int i, Outbyte; int温度; //进行调试
```

if (inbyte < 0) //在流到流结束后呼叫返回-1; //在多发达模式下在接收器处进行描述, 将第1组中的kcodes转换为控制符号索引

```
if (Multistream &&! DP_TX)
{
for (i = 0; i < 8; i++)
if (inbyte == scrcontroltokcode [i])
{
inbyte = i + 0x200;
休息;
}
}
for (i = 0; i < 16; i++) { //将lfsr转换为位阵列, 以获取可读性位[i] = (lfsr >> i) & 1; } for (i = 0; i < 11; i++) //将字节转换为 (un-) scrambled for for for plagibity scrambit [i] = (inbyte >> i) & 1; //保存kcode and Control符号与众不同的位if ( ( ( ( ( (inbyte & 0x100) ) == 0x100) ) & & //如果不是kcode, (! { //争夺或解开数据争夺[0] ^= bit [15]; //数据和多发行控制符号位0 Scrambit [1] ^=位[14]; //数据和多发行控制符号位1 Scrambit [2] ^=位[13]; //数据和多发行控制符号位2拼印[3] ^=位[12]; //数据位3 Scrambit [4] ^=位[11]; //数据位4 Scrambit [5] ^=位[10]; //数据位5 Scrambit [6] ^=位[9]; //数据位6 Scrambit [7] ^=位[8]; //数据位7} advancelFsSr (); //在crambler重置时间的reset scrambler如果 (multistream) { // dp标准MS_SR_SYMBOL_COUNT中定义的多发达++; if (inbyte == ms_sr)
```

```

{ //在此处基于SR接收器//以正确的间隔（每65536个符号）基于SR接收器的稳健性重置机制 - 请
参见DP MST部分开关（MS_SR_STATE） {case MS_SR_RESET: resetlfsr ( )      MS_SR_SY
MBOL_COUNT = 0; //重置输入到lock1 ms_sr_state = ms_sr_lock1;      休息;      case ms_sr_loc
k1: if (ms_sr_symbol_count == 0) {resetlfsr ( ) ;      MS_SR_STATE = MS_SR_LOCK2;
} //其他保留在此状态下MS_SR_SYMBOL_COUNT = 0; //重置重新进入状态休息的计数器;
case ms_sr_lock2: if (ms_sr_symbol_count == 0) {resetlfsr ( ) ;      MS_SR_STATE = MS_SR
_LOCKED;      } else { //重置符号MS_SR_SYMBOL_COUNT = 0的位置无效位置; //重置输入到
lock1 ms_sr_state = ms_sr_lock1;      }      休息;      case ms_sr_locked: if (ms_sr_symbol_co
unt == 0) {resetlfsr ( ) ;      } else { //重置符号MS_SR_STATE = MS_SR_ERROR1;      //不
要调整符号计数} break;      case ms_sr_error1: if (ms_sr_symbol_count == 0) {resetlfsr ( ) ;
MS_SR_STATE = MS_SR_LOCKED;      } else { //重置符号MS_SR_STATE = MS_SR_ERROR2;
//不要调整符号计数} case ms_sr_error2: if (ms_sr_symbol_count == 0) {resetlfsr ( ) ;

```

```

MS_SR_STATE = MS_SR_LOCKED;      } else { //重置符号MS_SR_SYMBOL_COUNT = 0的位
置无效位置; //输入到lock1 ms_sr_state = ms_sr_lock1; //重新启动同步} break;      } // ms_sr鲁棒
状态机的结束} //处理sr} else { //单流if (earlancedframing) {if ( ( ( ( ( ( ( ( (inbyte == sr)
) 根据//检测序列SR + BF + BF + SR或SR + CP + CP + CP + SR // ?? + bf + bf + ??假定为BS,
而不是SR, if ( ( (inbyte == sr) || (inbyte == cp) cp) || (inbyte {inbyte == bf) ) inenhsrseq
= true;      for (i = 0; i < 3; i++) srseq[i] = srseq[i + 1]; //改组Srseq[3] = ( ( inByte == sr ) || (i
nbyte == cp ) ) || || (inbyte == bf) ) ? inbyte: 0;      if ( ( ( ( (srseq[0] == sr) && ( (
(srseq[1] == bf) || || (srseq[1] == cpp) ) ) || (srseq[2] == cp) ) ) ) || ( (srseq[0]
== sr) && (srseq[3] == sr) == bf) ) && (srseq[3] == sr) ) || ( ( ( ( (srseq[2] == cp)
cp) || (v57} (srseq[2] resetlfsr ( ) ;      resetsrseq ( ) ;      inenhsrseq = false;      } if ( (
(srseq[0] == 0) && (srseq[1] == 0) && (srseq[2] == 0) && (srseq[3] {3} == 0) ) //必须
是由于//生成隔离的CP或SR} //稳健性机制的结束} else { //默认框架if (inbyte {inbyte == sr resetlfs
r ( ) ;      }

```



```

}

Outbyte = 0;
for (i = 0; i < 11; i++) { //将数据转换回整数
temp = scrambit [i] << i;
Outbyte += (scrambit [i] << i) ;
}

//在发射器处的多式磁模式以kcode将控制符号转换为if (Multistream && dptx && ( ( (
OUTBYTE & 0X200) == 0x200) ) OUTBYTE = SCRCONTROLTOKCODE [outbyte & 0x7
]; 返回Outbyte; }

```

F拓扑管理/有效载荷带宽管理用法示例（信息性）

此主题应以*MST Use Case Example Ver.1*的方式涵盖，以提供信息目的。

G系统初始化期间的链接管理（信息性）

G.1 背景

一些DP源设备解决方案在很大程度上依赖于操作系统视频/显示驱动程序来处理DP协议中的许多高级功能。

启动后（在加载操作系统之前）并在操作系统安全模式下立即，未加载产品特定于产品的视频驱动程序。在这些情况下，视频BIOS或同等用品用于配置图形输出。但是，VBIO通常不会实现中断处理，因此它无法响应BIOS最初调用后发生的链接状态变化。

实施BIOS例外处理会导致离散图形卡的系统不兼容问题，因此这不是可行的长期解决方案。

G.2 问题语句

G.2.1 问题 # 1 - 接收器连接和动力，但HPD低

说明 - 如果接收器设备在电源时始终保持HPD始终断言，则在调用VBIO时，源可能无法检测到水槽。在这种情况下，即使该输出可用，源也不会启用所讨论的输出。

解决方案 - 除非DP接收器设备处于OFF状态，否则必须保持HPD的主张。请参阅第5.2.5节。

G.2.2

问题2 - 接收器HPD拔下事件，然后进行插头事件

说明 - 如果打开源设备并调用VBIO后，打开了接收器设备，或者被拔掉并重新插入，则依赖于VBIOS进行链接训练的源设备将无法训练链接

解决方案案例1 - 在这种情况下，DP源可以检测HPD，但只能运行快速的链接训练（无需使用AUX交易而训练）。

DP源设备

- 如果需要传输视频，请将快速链接培训运行至1车道RBR链接配置，并且通过链接传输640x480安全模式
 - 1车道RBR/640x480均由所有DP接收器设备支持，并且最有可能没有全LT（链接培训）工作
 - 为此，解决方案要求DP接收器设备支持快速链接训练预期1车道RBR链接配置

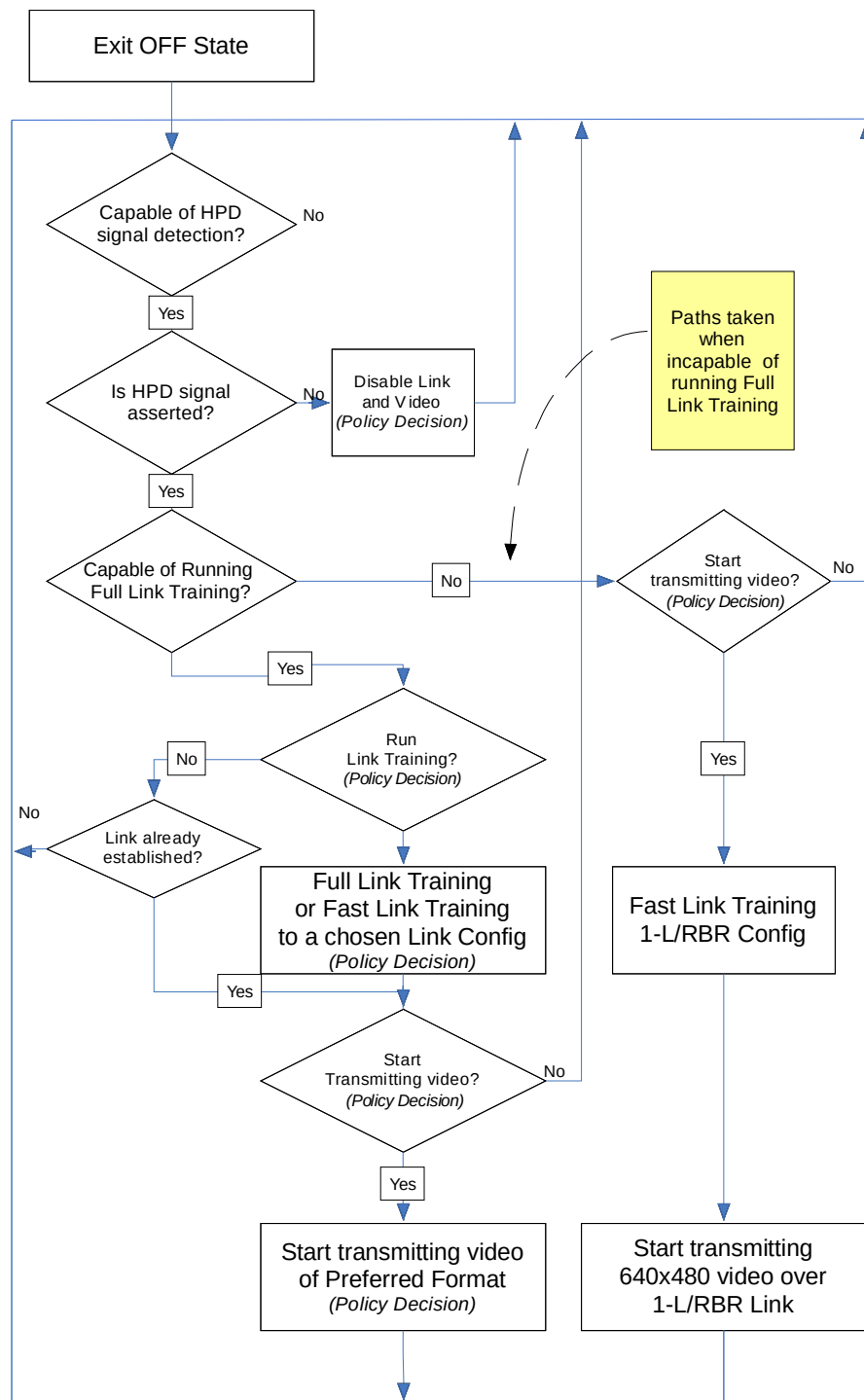
DP接收器设备

- 如果能够支持快速链接训练（DP标准中的可选RX功能）
 - 准备接收与1车道RBR链接配置的快速链接培训，然后车道 $x\_cr\_done/ lane\ x\_symbol\_locked$ ，一个640x480视频流

此标准：

- 当不存在“最后一个已知的良好”链接配置时，将1车道RBR定义为DP源和DP源设备的“默认”链接配置，并且

- 没有影响与DP源设备范围HPD的操作或互操作的影响，并且能够运行完整的链接训练



图G-1: 链接质量管理与快速链接培训

解决方案案例2：在这种情况下，DP源无法检测HPD。

DP源设备

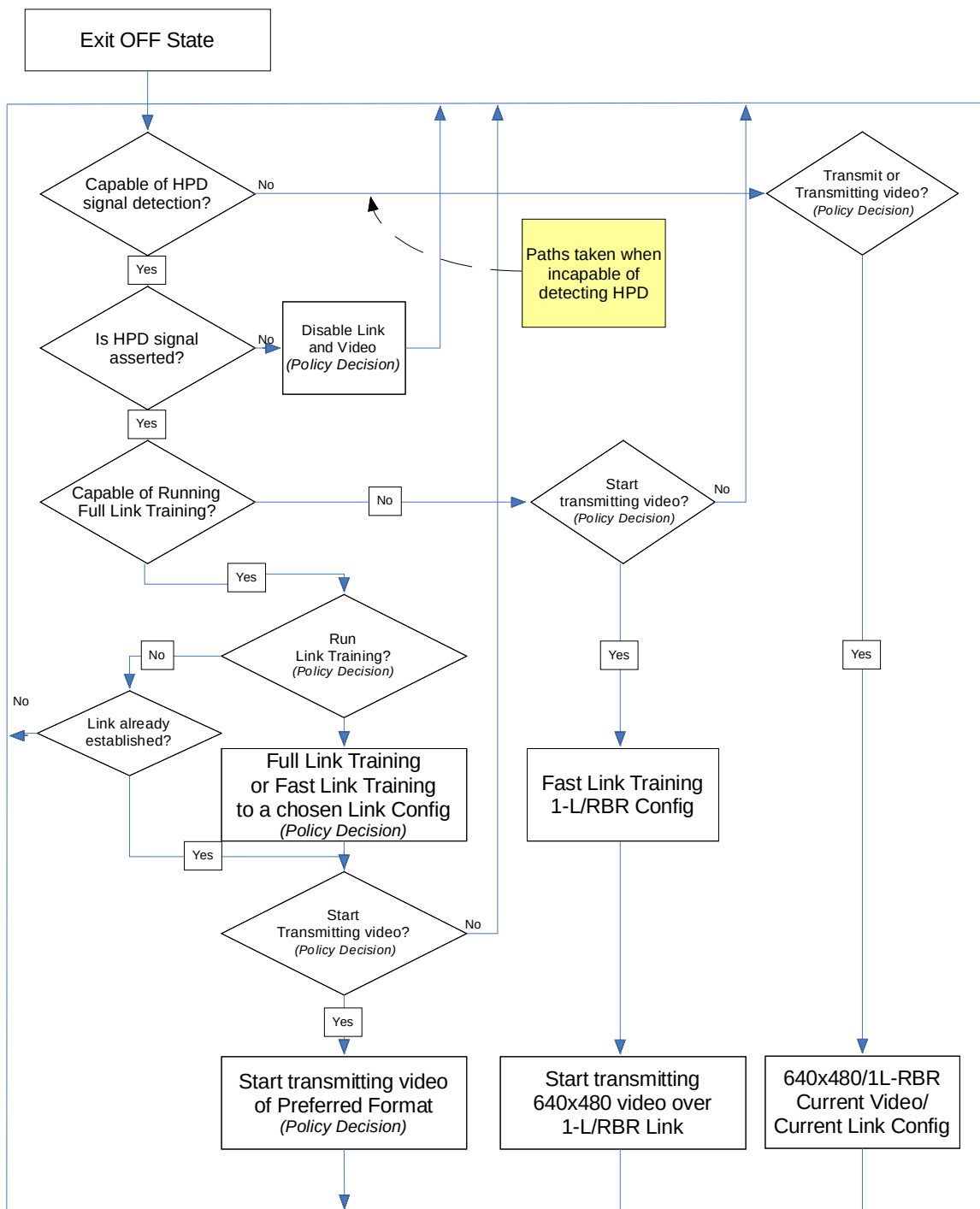
- 如果没有已知良好的链接配置（DP源后连接或供电的监视器供电）并且需要传输视频，请在1车道的RBR Main-Link上传输640x480安全模式
 - 1车道RBR/640x480由所有DP接收器设备支持，并且最有可能没有全LT（链接培训）工作
 - 为了避免显示，不需要DP接收器即可无需LT预期1车道RBR链接配置即可接收主链接信号
- 如果建立链接后有线插入并插入电缆，DP源将继续通过先前建立的链接配置传输视频
 - 为了避免显示，不需要DP接收器即可接收主链接信号，而不会预见“最后的良好件”链接配置；如果将相同的DP接收器插入回去，则可以使用

DP接收器设备

- 如果能够接收没有LT的主链接信号（DP V1.1a中未描述的RX功能）
 - 准备接收到1车道RBR或最后一个已知的链接配置的主链接信号

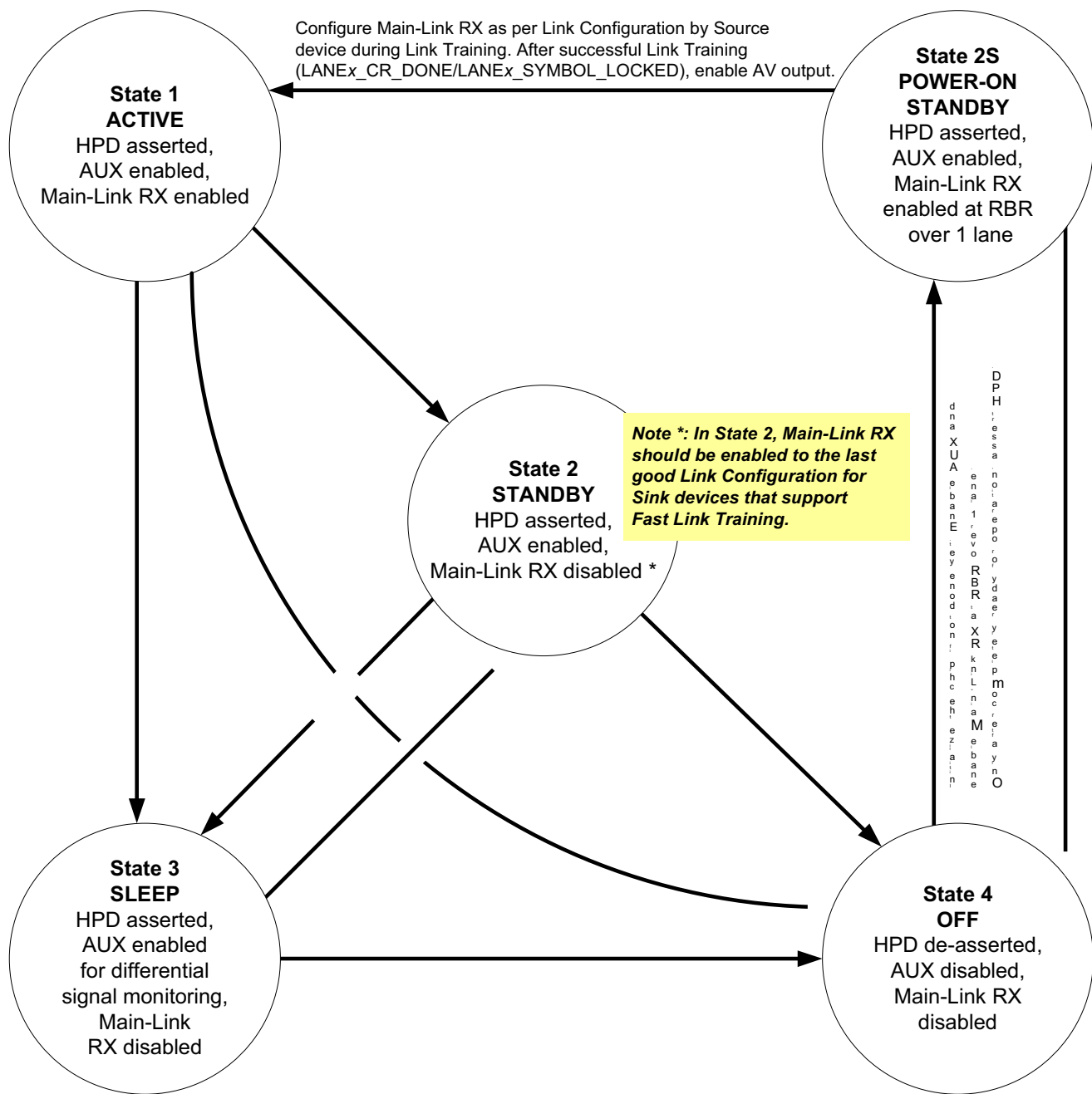
该提案对与DP源设备的互操作运行没有影响，并且能够运行完整的链接培训。

图G-2显示了源侧行为，图G-3显示了接收器侧功率状态机。在这种情况下，通过添加状态2s来扩展接收器电源状态图，以避免在DP源无法实现HPD时避免显示。



图G-2: 链接质量管理来源安全m

颂



图G-3: 显示器设备电源管理状态图带有状态2s的DP上游设备无法HPD断言处理

H协议支持3D立体声显示

DisplayPort在四个车道上有10.8Gbps，提供了足够的带宽，可在120Hz处运输高达1080p（FHD）3D立体视频数据（即每个60Hz，每个60Hz左右帧）。在四个车道上的32.4Gbps处，带宽足以容纳240Hz的1080p 3D立体声视频（即每个120Hz，左右帧）。

H.1 带3D立体声信号传导方法

此外，该标准提供了两种源机制，源设备可以通过这些机制指定它正在传输的3D立体视频格式的属性：

- 第一个方法使用MSA MISC1字段
- 第二种方法使用辅助数据包，称为VSC数据包

具有DPCD修订版1.2或更高版本的水槽设备必须支持这两种方法。

H.1.1 MSA MISC1方法

表H-1定义了MISC1字段，位2：1。

表H-1： MISC1字段， 位2： 1定义

Value	Definition
00	• 3D Stereo in-band signaling does not use this field; either no 3D Stereo is being transmitted or 3D Stereo is being transmitted with the VSC packet in-band signaling mechanism
01	• For progressive video, the next (upcoming) video frame is RIGHT EYE • For interlaced video, TOP field is RIGHT EYE, BOTTOM field is LEFT EYE
10	RESERVED
11	• For progressive video, the next (upcoming) frame is LEFT EYE • For interlaced video, TOP field is LEFT EYE, BOTTOM field is RIGHT EYE

h .1.2 video_stream_configuration数据包方法

DP源设备可以通过将MSA数据包MISC1字段（位2： 1）清除到00，使用VSC数据包发送3D立体信号传导。

H.1.2.1 VSC数据包标头

Table H-1描述了VSC PAC的数据包标题字节 肯特。

表H-1: VSC数据包标题字节

Byte #	Bit #	Content
HB0	7:0	Secondary-data Packet ID = 0
HB1	7:0	07h
HB2	4:0	Revision Number 01h = VSC packet supporting 3D stereo only 02h = VSC packet supporting 3D stereo and PSR (applies to eDP Standard version 1.3 and above)
	7:5	RESERVED Read all 0s.
HB3	4:0	Number of Valid Data Bytes 01h = VSC packet supporting 3D stereo only (when HB2 = 01h) 08h = VSC packet supporting 3D stereo and PSR (when HB2 = 02h)
	7:5	RESERVED Read all 0s.

H.1.2.2 VSC数据包有效载荷

表H-2显示了VSC数据包有效载荷的字节0 (DB0) 的位定义。

表H-2: VSC数据包有效载荷

DB0, bits 3:0 = Stereo Interface Method Code	DB0, bits 7:4 = Stereo Interface Method Specific Parameter
0 = Non Stereo Video	Must be cleared to 0x0.
1 = Frame/Field Sequential	Frame/Field Sequential Type Value 0x0: Left and Right view indication based on MISC1 field, bits 2:1. Value 0x1: Right when Stereo Signal = 1 Value 0x2: Left when Stereo Signal = 1 All other values for this field (0x3-0xF) are reserved for future use. Note: <i>Stereo Signal refers to an out-of-band signaling, indicating the left and right frame and can be conveyed using VESA stereo connector or some other equivalent means.</i>
2 = Stacked Frame	Stacked Frame Type Value 0x0: Left view is on top and right view on bottom All other values for this field (0x1-0xF) are reserved for future use.

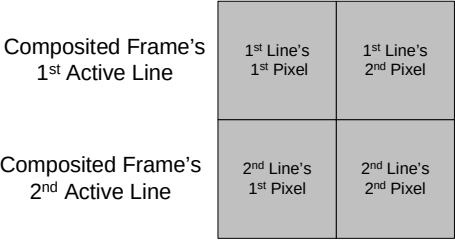
表H-2: VSC数据包有效载荷 (续)

DB0, bits 3:0 = Stereo Interface Method Code	DB0, bits 7:4 = Stereo Interface Method Specific Parameter																		
3 = Pixel Interleaved	Interleave Pattern Type For interleave pattern type 1 through 4, a 2x2 pattern grid (as shown in Figure 2) is used to illustrate the interleaving pattern of the composited stereo frame. Value 0x0: Interleave pattern corresponding to 2-way horizontally interleaved stereo where right view pixels are on even lines. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Left View Pixel</td><td>Left View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Right View Pixel</td><td>Right View Pixel</td></tr></table> Value 0x1: Interleave pattern corresponding to 2-way horizontally interleaved stereo where right view pixels are on odd lines. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Right View Pixel</td><td>Right View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Left View Pixel</td><td>Left View Pixel</td></tr></table> Value 0x2: Interleave pattern corresponding to a checkerboard pattern with alternating left and right view pixels starting with left view pixel. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Left View Pixel</td><td>Right View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Right View Pixel</td><td>Left View Pixel</td></tr></table>	Composited Frame's 1 st Active Line	Left View Pixel	Left View Pixel	Composited Frame's 2 nd Active Line	Right View Pixel	Right View Pixel	Composited Frame's 1 st Active Line	Right View Pixel	Right View Pixel	Composited Frame's 2 nd Active Line	Left View Pixel	Left View Pixel	Composited Frame's 1 st Active Line	Left View Pixel	Right View Pixel	Composited Frame's 2 nd Active Line	Right View Pixel	Left View Pixel
	Composited Frame's 1 st Active Line	Left View Pixel	Left View Pixel																
	Composited Frame's 2 nd Active Line	Right View Pixel	Right View Pixel																
	Composited Frame's 1 st Active Line	Right View Pixel	Right View Pixel																
	Composited Frame's 2 nd Active Line	Left View Pixel	Left View Pixel																
Composited Frame's 1 st Active Line	Left View Pixel	Right View Pixel																	
Composited Frame's 2 nd Active Line	Right View Pixel	Left View Pixel																	

表H-2: VSC数据包有效载荷 (续)

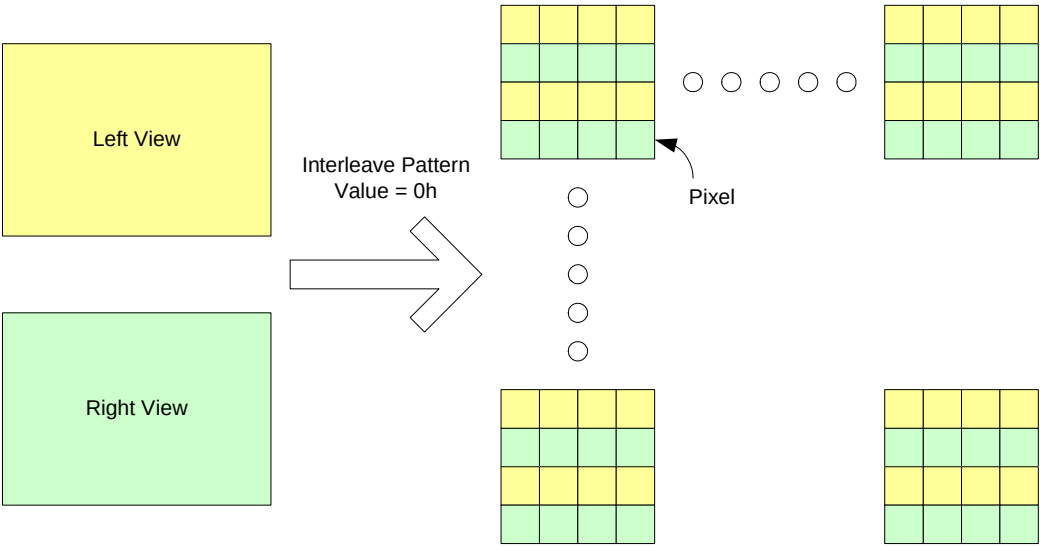
DB0, bits 3:0 = Stereo Interface Method Code	DB0, bits 7:4 = Stereo Interface Method Specific Parameter												
3 = Pixel Interleaved (continued)	Value 0x3: Interleave pattern corresponding to 2-way vertically interleaved stereo starting with left view pixels. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Left View Pixel</td><td>Right View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Left View Pixel</td><td>Right View Pixel</td></tr></table> Value 0x4: Interleave pattern corresponding to 2-way vertically interleaved stereo starting with right view pixels. The corresponding 2x2 pattern is shown below. <table><tr><td>Composited Frame's 1st Active Line</td><td>Right View Pixel</td><td>Left View Pixel</td></tr><tr><td>Composited Frame's 2nd Active Line</td><td>Right View Pixel</td><td>Left View Pixel</td></tr></table> All other values for this field (0x5-0xF) are reserved for future use.	Composited Frame's 1 st Active Line	Left View Pixel	Right View Pixel	Composited Frame's 2 nd Active Line	Left View Pixel	Right View Pixel	Composited Frame's 1 st Active Line	Right View Pixel	Left View Pixel	Composited Frame's 2 nd Active Line	Right View Pixel	Left View Pixel
Composited Frame's 1 st Active Line	Left View Pixel	Right View Pixel											
Composited Frame's 2 nd Active Line	Left View Pixel	Right View Pixel											
Composited Frame's 1 st Active Line	Right View Pixel	Left View Pixel											
Composited Frame's 2 nd Active Line	Right View Pixel	Left View Pixel											
4 = Side-by-side	Value 0x0: A value of 0x0 indicate left half of the image represents left EYE view and right half represents right EYE view. Value 0x1: A value of 0x1 indicate left half of the image represents right EYE view and right half represents left EYE view. All other values for this field (0x2-0xF) are reserved for future use.												
Values 0x5-0xF are reserved	RESERVED												

图H-1显示了像素交织方法的像素模式表示。



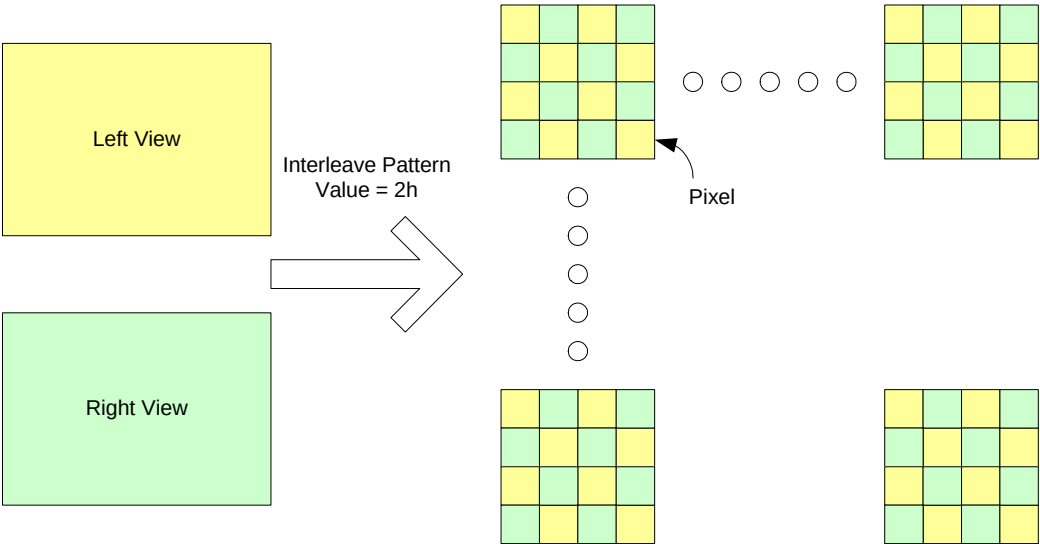
图H-1：像素交织方法的像素模式表示

图H-2显示了对应于2路交织的立体声的交织模式，其中右图像像素在偶数线上。



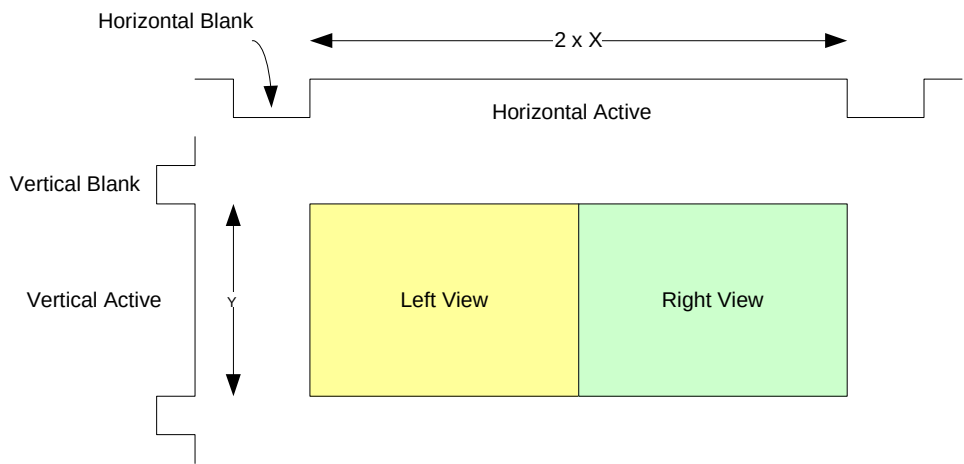
图H-2：交织模式对应于2向交错立体声，其中正确的图像像素在线上均匀线

图H-3显示了与棋盘格式相对应的交流图案，左右视图图像像素。



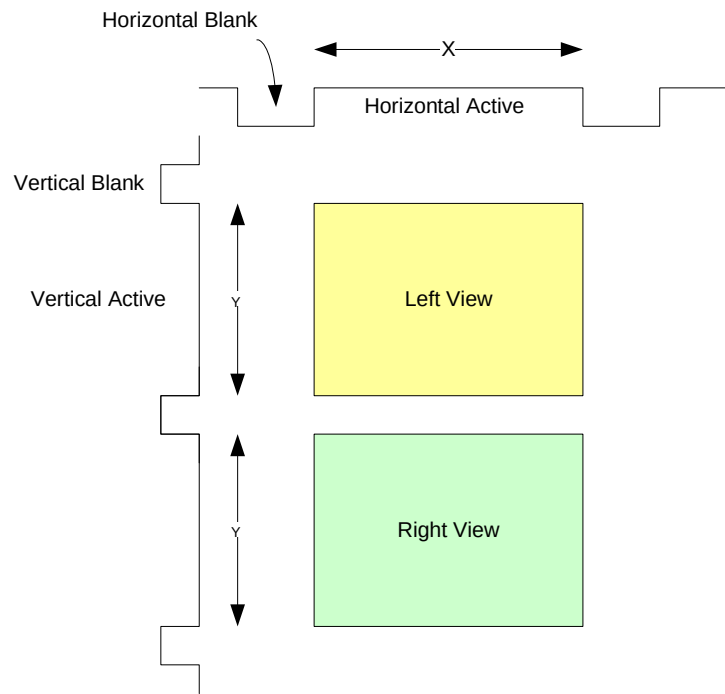
图H-3：与与左右图像的交替图像相对应的交流图案

图H-4显示并排立体声格式，左视图后面是右视图。



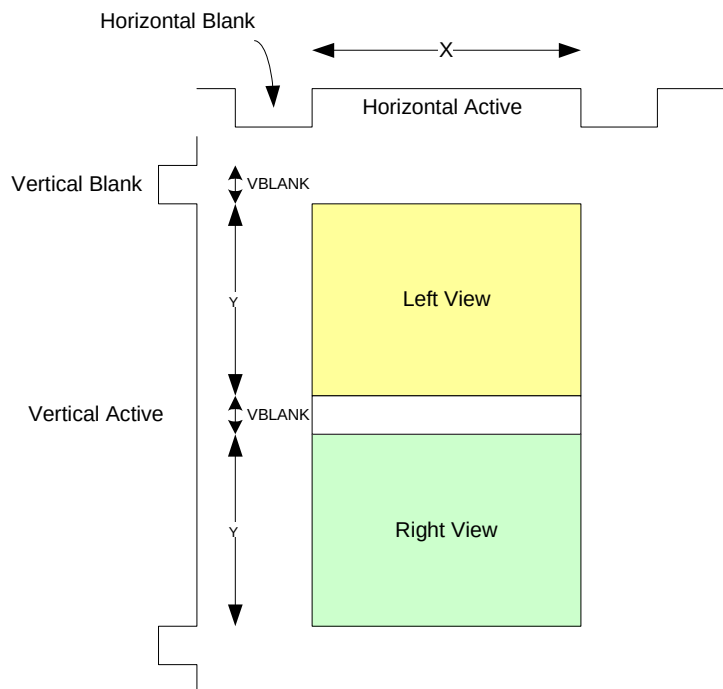
图H-4：侧 - 侧面立体声格式，左视图，然后是r ight视图

图H-5显示了带有左视图的字段顺序立体声格式，并通过MISC1字段2: 1表示左图，并显示了右视图。



图H-5: 字段顺序立体声格式，左图和右视图通过MISC1字段指示，位于MSA的位2: 1

图H-6显示了堆叠的顶部，底部立体声格式，底部和底部的右视图。



图H-6: 堆叠的顶部，底部立体声格式，底部和右图左图

H.2 3D立体声显示功能声明

3D立体声能力可以在EDID和DisplayID中暴露。3D立体声格式通常与特定的时机相关联，因此希望指出哪些时间支持3D立体声格式，哪些时间不支持。此外，对于支持3D立体声格式的给定时间安排，需要指示支持哪种立体声格式。EDID和displayID都可以在每个计时公开3D立体声能力，但DisplayID提供了更有效，灵活的格式声明。

H.2.1 EDID 3D立体声显示功能声明

18个字节详细的定时描述符具有一个字段，可提供有关立体声查看支持的信息。表H-3中描述的字段允许在没有任何立体声3D支持或特定的立体声3D格式的情况下声明定时。

表H-3: EDID V1.4 3D立体声显示功能声明

Byte #	# of Bytes	Bit Definitions					Detailed Timing Definitions
17	1	7	6	5	4	3 2 1 0	Signal Interface Type:
		0	--	--	--	--	Non-Interlaced (1 frame = 1 field)
		1	--	--	--	--	Interlaced (1 frame = 2 fields)
		–	6	5	--	--	Stereo Viewing Support:
			0	0	--	--	Normal Display – No Stereo. The value of bit 0 is “don’t care”
			0	1	--	--	Field sequential stereo, right image when stereo sync signal = 1
			1	0	--	--	Field sequential stereo, left image when stereo sync signal = 1
			0	1	--	--	2-way interleaved stereo, right image on even lines
			1	0	--	--	2-way interleaved stereo, left image on even lines
			1	1	--	--	4-way interleaved stereo
			1	1	--	--	Side-by-Side interleaved stereo
		–	--	--	4	3 2 1 –	Analog Sync Signal Definitions:
			0	0	--	--	Analog Composite Sync:
			0	1	--	--	Bipolar Analog Composite Sync:
			0	--	0	--	----- Without Serrations;
			0	--	1	--	----- With Serrations (Hsync during Vsync);
			0	--	--	0	----- Sync On Green Signal only
			0	--	--	1	----- Sync On all three (RGB) video signals
		–	--	--	4	3 2 1 –	Digital Sync Signal Definitions:
			1	0	--	--	Digital Composite Sync:
			1	0	0	--	----- Without Serrations;
			1	0	1	--	----- With Serrations (Hsync during Vsync);
			1	1	--	--	Digital Separate Sync:
			1	1	0	--	----- Vertical Sync is Negative;
			1	1	1	--	----- Vertical Sync is Positive;
			1	--	--	0	----- Horizontal Sync is Negative (outside of Vsync)
			1	--	--	1	----- Horizontal Sync is Positive (outside of Vsync)

H.2.1.1

在图H-4和图H-6中所示的扫描格式中，该框架包含在单个框架中并排包装在一起的左右眼场。在左右的包装中，垂直空间区域（VSR）必须分开左眼和右眼视图。当VSR位于垂直活性区域内时，该区域不得包含活动视频栅格，并且必须等于总垂直空白（VBL，包括垂直同步（VS），垂直前廊（VFP）和垂直后廊（VBP）（VBP），并且不包括边框）。该区域必须由流源发射机预先编码到包装的缓冲区中，并且可以由接收器设备使用以生成正时或视线控制。

确定VSR大小的公式是:

$$VSR = VBL = VFP + VS + VBP$$

主动垂直高度 (VA) 的公式为:

$$V_A = 2 \times VEV + VSR$$

Note: *Vertical Eye View (VEV) and VSR are related to padding inside the frame raster, neither of which affects any frame. Therefore, VTOTAL, VACTIVE, and other MSA timing fields must be computed and conveyed as a normal, single-EYE-view (i.e., 2D) display.*

在仅具有EDID的显示屏中，源设备可以通过检查显示纵横比以及EDID显示正时数据（DTD）中的VA和主动水平高度（HA）字段来确定水槽设备是否支持并排使用左斜右右或右右右右右右右右右右方或右右右右右右右右右右方的展示显示器中，通过检查显示纵横比的使用是，是否支持使用左侧右翼还是右派，是否通过检查显示器和右派的右派，在使用EDID的显示器中，通过检查显示屏以及EDID显示时代的主动水平高度（HA））如果EDID字节15和16中的纵横比表示景观/肖像模式的正常4: 3或16: 9 h，而V. Va va va va表示HA > 2x 2x VA，则这是左 - 旁边 - 左斜式 - 右模式。同样，如果VA指示给定纵横比的预期尺寸至少两倍，则是左ABOVE-RIGHT模式。

关于EDID字节12、13和14中的可寻址图像大小字段，对于左斜板填料，垂直可寻址的图像大小是正常设置的，并且水平尺寸仅设置为一个眼视图的大小。在左右右包装的情况下，将水平尺寸设置为正常的，而垂直尺寸仅设置为一种眼视图的尺寸。

H.2.2 DisplayID 3D立体声显示功能声明

在DisplayID中，I型和II型详细计时描述符的定时选项字段（表H-4中显示）揭示了指示时间是否没有立体声显示，带有立体声或基于所显示的内容进行动态配置的功能。

表H-4: DisplayID v1.1, 3D立体声显示功能声明

3	7	6	5	4	3	2	1	0	Timing Options	FLAGS
	1	–	–	–	–	–	–	–	Preferred "Detailed" Timing	
	–	6	5	–	–	–	–	–	3D Stereo Support	FLAG
	–	0	0	–	–	–	–	–	This timing is always displayed monoscopic (no stereo)	
	–	0	1	–	–	–	–	–	This timing is always displayed in stereo	
	–	1	0	–	–	–	–	–	This timing is displayed in mono or stereo depending on a user action (wearing the stereo glasses, etc.)	
	–	1	1	–	–	–	–	–	RESERVED	
	–	–	–	4	–	–	–	–	Interface Frame Scanning Type	FLAG
	–	–	–	0	–	–	–	–	Progressive Scan Frame	
	–	–	–	1	–	–	–	–	Interlaced Scan Frame	
	–	–	–	–	3	–	–	–	Reserved Bit	
	–	–	–	–	0	–	–	–	Clear to 0	
	–	–	–	–	–	2	1	0	Aspect Ratio	
	–	–	–	–	–	0	0	0	1:1	
	–	–	–	–	–	0	0	1	5:4	
	–	–	–	–	–	0	1	0	4:3	
	–	–	–	–	–	0	1	1	15:9	
	–	–	–	–	–	1	0	0	16:9	
	–	–	–	–	–	1	0	1	16:10	
	–	–	–	–	–	–	–	–	All other values are RESERVED	

除了宣布每个定时立体3D功能外，DisplayID还具有更灵活的格式，用于宣布各种3D立体声格式。DisplayID标准的立体显示接口数据块部分描述了各种3D立体声格式。

表H-5描述了3D立体声格式，包括在DisplayID v1.2中支持的新添加的堆叠框架立体声。

表H-5： 3D立体声显示格式在DisplayID v1.2中支持

Code	Interface Method
00h	Field Sequential Stereo
01h	Side-by-Side Stereo
02h	Pixel Interleaved Stereo
03h	Dual Interface, Left and Right Separate
04h	Multi-view
05h	Stacked Frame Stereo
06h through FEh	RESERVED
FFh	Proprietary

H.3 DisplayPort立体声3D政策要求互操作性

本节介绍了支持DP立体声3D的源和接收器设备的要求。 必须满足这些要求，以确保通过打开的框向框DP链接在启用3D立体声源和接收器设备之间的3D立体声互操作性。

H.3.1 需要支持DisplayPort立体声3D水槽设备

本节介绍了DisplayPort Stereo 3D接收器设备的要求。 立体声3D的支持对于DP接收器设备是可选的。

DP立体3D接收器设备必须在立体3D模式下至少支持以下显示分辨率之一：

- 1920x1080
- 1600x900
- 1440x900
- 1366x768
- 1280x720

以下各节中描述了上述显示决议的时序要求。 水槽必须支持HBR和RBR链接率，HBR2/HBR3支持是可选的。接收器设备还可以支持其他立体3D显示决议；但是，给定的源设备可能会或可能不支持此类决议。

DP立体3D接收器设备必须支持以下两种定时格式：

- 现场顺序立体声格式，如图H-5所述
- 堆栈框架模式，如图H-6所述

H.3.1.1 立体声3D接收器字段顺序模式

如图H-5所述，DisplayPort立体声3D接收器必须支持字段顺序的立体声格式。字段顺序立体声格式必须使用RBR或HBR至少支持表H-6中列出的显示分辨率之一，并在指示的范围内指定的像素速率。水槽将在详细的时序结构中暴露支撑的时机。表H-6中显示的最低和最大像素速率是从CVT v1.2得出的：

- 最小像素时钟频率与CVT v1.2减少的空白相同
- 最大像素时钟频率与CVT v1.2普通空白相同

最小垂直和水平掩盖时间必须受到限制，如下所示：

- 最小水平掩盖将是CVT v1.2减少空白的指定
- CVT v1.2减少的空白指定的最小垂直掩埋将是

表H-6：允许3D立体声汇的定时范围，用于字段顺序立体声格式

Display Resolution	Vertical Blank Rate (Hz) ^a	Pixel Rate (MP/s) ^b	
		Min	Max
1920x1080	120Hz	285.5	369.5 ^c
1600x900		201.25	254.25
1440x900		182.75	228.25
1366x768		148.75	185.0
1280x720		131.75	162.0

- a. Vertical blanks occur for each frame, as described in Figure H-5. The 120Hz vertical blank rate provides one left and right frame pair at a 60Hz rate.
- b. Minimum and maximum pixel rate values have a tolerance of $\pm 0.5\%$, as per DMT v1 r13.
- c. For 4-lane HBR implementations, 360MP/s is the maximum achievable pixel rate when using 24bpp. Rates beyond 360MP/s can be achieved by using 18bpp.

H.3.1.2立体声3D水槽堆叠顶部，底部立体声格式

如图H-6所述，DisplayPort立体声3D接收器必须支持堆叠的顶部，底部立体声格式（也称为堆叠框架格式）。堆叠的顶部，底部立体声格式必须使用RBR或HBR支持表H-7中列出的显示分辨率之一，并在指定的范围内具有指定的像素速率。如VESA DisplayID标准版本1.2或更高版本中所述，该水槽设备将在显示ID扩展中露出支持的时机。除1920x1080 24Hz格式外，表H-7中列出的最低和最大像素率是从CVT v1.2派生的：

- 最小像素时钟频率与CVT v1.2减少的空白相同
- 最大像素时钟频率与CVT v1.2普通空白相同

最小垂直和水平掩盖时间必须受到限制，如下所示：

- 最小水平掩盖将是CVT v1.2减少空白的指定
- CVT v1.2减少的空白指定的最小垂直掩埋将是

表H-7：允许3D立体声水槽的定时范围，用于堆叠的顶部，底部立体声格式

Display Resolution	Vertical Blank Rate (Hz) ^a	Pixel Rate (MP/s) ^b	
		Min	Max
1920x1080	23.976/24	74.176	74.25
1920x1080	59.94/60	285.5	369.5 ^c
1600x900	60	201.25	254.25
1440x900		182.75	228.25
1366x768		148.75	185.0
1280x720		131.75	162.0

- a. One vertical blank occurs for each left and right view pair, as described in Figure H-6. The 24Hz vertical blank rate delivers one left frame and one right frame at a 24Hz rate. The 60Hz vertical blank rate delivers one left frame and one right frame at a 60Hz rate.
- b. Minimum and maximum pixel rate values have a tolerance of $\pm 0.5\%$, as per DMT v1 r13.
- c. For 4-lane HBR implementations, 360MP/s is the maximum achievable pixel rate when using 24bpp. Rates beyond 360MP/s can be achieved by using 18bpp.

H.3.2需要支持DisplayPort Stereo 3D源设备

本节介绍了DisplayPort立体声3D源设备的要求。3D立体声的支持对于DP源设备是可选的。

DP立体声3D源设备必须支持以下定时格式之一：

- 现场顺序立体声格式，如图H-5所述
- 如图H-6所述，堆叠的顶部，底部立体声格式

Note: *In keeping with the above stated requirements, the Source device must support 4-lane Main-Link operation up to HBR. It is optional for a DP Stereo 3D Source device to support HBR2 and HBR3.*

对于支持字段顺序立体声格式的源设备，源设备必须支持符合H.3.1.1节中描述的时间标准的任何水槽设备。来自源设备的字段顺序立体声格式将用MSA数据包的MISC1字段（位数为2：1）标识。使用VSC数据包是可选的。

对于支持堆叠顶部和底部立体声格式的源设备，源设备必须支持符合H.3.1.2节中描述的时间标准的任何水槽设备。将通过使用VSC数据包来识别堆叠的顶部，底部立体声格式，而MSA数据包的MISC1字段2：1必须清除为00。

i QUERY_STREAM_ENCRYETPTY_ 状态消息交易处理CP树拓扑中

在引入MST传输格式和DP标准中的MST拓扑特征之前，一个或多个DP显示输出端口中的每个端口都由源设备的每个发射器（例如GPU）控制，并且每个显示输出端口上的内容状态均已知并由GPU控制。

由于GPU通常是内容保护（CP）技术的“许可源组件”，因此必须将这些输出端口上CP协议的状态稳健地传达给支持批准的输出保护协议的内容播放器。但是，在MST拓扑中，内容流的路由发生在GPU之外，通常是通过Aux CH上的不安全的小型边带MSG来控制的软件控制。

I.1 分支机构的自我检查

通过CP许可，可能需要分支机构应用“自我检查”政策。遵守策略，分支设备将要检测错误的配置，并直接应用许可证策略控制，例如，通过禁用未经确定的输出端口或通过分支设备级别下进行采样，并反映对上游发射器的成功/失败，例如，通过失败后的身份验证。

在分支机构级别进行自我检查的困难在于，策略在内容之间有所不同
许可证和CP技术。某些内容许可（例如DTCP）禁止设备
干扰内容的显示（例如，通过禁用显示输出端口），无论是否已成功建立身份验证，即使在“副本”策略中出示了即使可以保护内容本身，就可以成功建立。当连接的显示不支持批准的CP协议时，其他许可证（例如，AAC）需要对内容进行下采样。

QUERY_STREAM_ENCRYPTICT_STATUS消息交易的优点

QUERY_STREAM_ENCRYPTICT_STATUS消息交易具有允许将流路由状态鲁棒性传达到MST拓扑的源设备的优势，同时保留任何特定CP协议和/或策略的DisplayPort标准不可知。

CP许可的源组件设备（例如GPU）负责指示具有CP能力的端点以及对内容播放器应用程序的身份验证/撤销状态，其符合CP许可证所需的鲁棒性和支持许可内容的其他API许可。

作为使用模型，希望MST拓扑中独立输出流的加密状态不会影响其他输出流。例如，考虑将非CP设备加热到MST分支设备的方案，而由MST拓扑源设备驱动的连接已经进行了认证，并且已经对源设备的流量输出进行了加密。在这种用法方案中，希望未能验证新添加的非CP设备不会导致身份验证在无关的流输出上流产；这种行为与来自多个物理显示输出端口的多个显示流的源设备的行为不符，或者显示连接器（即，每个显示连接器一个显示流）。

相反，当将具有CP功能的设备加热到MST分支设备并获得身份验证成功时，输入流到MST Branch设备可能会在特定的流上进行加密，以将其路由到新插入的CP CPAPABABLE设备，并且该对该特定流媒体的加密功能不应要求不需要无关的输出流到该特定的流媒体流到也已被封装。

MST分支设备可以被视为多个独立虚拟中继器设备的收集。CP策略必须应用于每个流量输出的中继器功能。为了促进流量输出的身份验证状态，可以从其上游（或父）链接状态可见，query_stream_encryption_status message Message Transaction在每个流中为此信息提供了对源设备的稳健性。

I.3

QUERY_STREAM_ENCRYPTICT_STATUS消息交易处理 CP树拓扑

在任何时候，任何设备都插入了已经经过身份验证的CP树拓扑，其中包含带有分支单元的MST源设备和MST设备（一个源设备是上游发射器最上游的发射机），Connection_status_notify消息交易是在向上游传播到发射机的上游。新添加设备的上游的设备立即使用新设备启动身份验证。如果身份验证失败，则不能在其上游链接上禁用身份验证。当将流添加到新设备中时，源设备可以通过启动来查询流的身份验证状态

query_stream_encryption_status请求消息事务。

源设备针对直接连接到源的MST分支设备上的QUERY_STREAM_ENCRYPTION_STATUS消息事务。MST设备带有分支单元的设备支持QUERY_STREAM_ENCRYPTION_STATUS消息事务，在收到消息事务后，准备状态并将其安全地传递到上游设备，直到它到达源设备，源设备可以在该设备上启用输出流对新添加的设备的加密，并遵守CP许可证策略。源设备应等待QUERY_STREAM_ENCRYPTICT_STATUS消息的答复，然后再启动另一个此类消息。来源只能有一个杰出的

query_stream_encryption_status消息一次。

在准备回复QUERY_STREAM_ENCRYPTICT_STATUS请求消息交易时，MST分支设备仅使用单独共享的秘密设备以及通过单个DP链接连接的即时上游设备来生成签名。为了填充消息回复的字段，分支设备必须查询所有连接的下游设备的状态，并向其发送指定的流ID。答复是所有下游状态的摘要。

Note: *The QUERY_STREAM_ENCRYPTION_STATUS message does not affect encryption status on any other streams within the tree. However, a Branch device must re-initiate any authentication processes, as necessary, to include the latest (not stale) terms in the computation of L. This may be necessary if a link is currently in the unauthenticated state.*

I.3.1 源设备提供的IDS for QUERY_STREAM_ENCRYPTICT_STATUS请求消息交易

在启动QUERY_STREAM_ENCRYPTICT_STATUS消息交易后，源设备必须为表I-1中列出的ID提供。

表I-1: 源设备提供的IDS for QUERY_STREAM_ENCRYPTINE_
STATUS请求消息交易

Bit #	Definition
7:0	Stream ID The Client (the Source device) specifies an ID of the Stream (S_id) for which Status is requested. MST Branch devices, as they forward the request message transaction, must update the Stream ID, because the Stream ID is governed by Branch Payload Bandwidth Manager of each MST Branch device and is bound to be unique on each link, as described in Section 2.6. Each MST Branch device uses the Stream ID it has received from the immediate upstream device (i.e., incoming VC Payload ID) when computing the signature as the downstream device. The MST Branch device uses the Stream ID it has updated to as it forwarded the message transaction (i.e., outgoing VC Payload ID) when computing the signature as the upstream device.
63:8	Client ID A 56-bit Client (the Source device) supplied nonce (Q_id), which an MST Branch device supporting QUERY_STREAM_ENCRYPTION_STATUS message transaction includes when computing the signature. The nonce is provided in Little Endian format, and must be non-repeatable (e.g., pseudo random number).
65:64	Stream Event 00 = CP_IRQ event generated on stream status change. Stream status is defined in Table I-2. 01 = No event generated on stream status change. 10, 11 = RESERVED for future use. The default state of this field after initial power-on is 00. If a Branch device supports the QUERY_STREAM_ENCRYPTION_STATUS method, it must support both options within this field.
66	Stream Event Mask 0 = Ignore Stream Event field in this message. 1 = Indicates that the Stream Event field has valid changes to be applied.
68:67	Stream Behavior Reflects the policy to apply to the stream contents. 00 = Force re-authentication of the parent link. 01 = Block flow of encrypted content to unauthenticated outputs (e.g., black raster). 10, 11 = RESERVED for future use. This may influence the Branch device's behavior when encrypted content (e.g., using HDCP encryption) is directed toward an unauthenticated output (e.g., not HDCP-capable, not authenticated, etc.). The default state of this field after initial power-on is 00. If a Branch device supports the QUERY_STREAM_ENCRYPTION_STATUS method, it must support both options in this field.
69	Stream Behavior Mask 0 = Ignore Stream Behavior field in this message. 1 = Indicates that the Stream Behavior field has valid changes to be applied.
71:70	RESERVED for future use

i.3.2 QUERY_STREAM_ENCRYPTICT_STATUS中的流状态回复交易

MST分支设备必须回复QUERY_STREAM_ENCRYPTICT_STATUS消息事务，并带有状态信息，如表I-2所示。

表I-2：分支设备回复的流状态信息

Bit #	Definition ^a
1:0	Stream State This field reports the state of the stream specified in the Stream ID field of the QUERY_STREAM_ENCRYPTION_STATUS message. This field is not a summary of downstream status. It is only based on the Branch device's state which is forming the reply. 00 = Stream does not exist. The stream ID specified in the request message is not present in the Payload Allocation table. All other fields in the reply other than Signed and the Signature can be ignored. 01 = Stream Not Active. The stream exists in the Payload Allocation Table, but it is not being driven to an output port (possibly due to a POWER_DOWN_PHY request). If all downstream-facing ports (DFPs) report this status, then the Branch device must report this status in the reply. All other fields in the reply other than Signed and the Signature can be ignored. 10 = Stream Active. The stream exists and is being actively driven to an output port. 11 = RESERVED
2	Stream Repeater Function Present 0 = A simple Sink termination within the Branch device. For example, the Branch device has a display, and the stream terminates in this device, and is not subsequently presented on any other physical output ports on this Branch device. Physical output ports are described in Section 2.5.1. 1 = A Repeater Function is present on this stream in this Branch device. The stream is directed to one or more outputs of the Branch device
3	Stream Encryption 0 = Stream Encryption is Off. 1 = Stream Encryption is On (i.e., the combination of Link Encryption and VC Payload Encryption as described in ECF (Encryption Control Field) as described in Section 2.6).
4	Stream Authentication 0 = Stream has not completed authentication. 1 = Stream completed all parts of authentication. Indicates all the downstream Branch devices and Leaf devices connected to this stream have completed all applicable parts of authentication.
7:5	RESERVED Must be 0.

表I-2：分支设备回复的流状态信息（续）

Bit #	Definition ^a
10:8	Stream Output Sink Type Reports the Branch Device Output connected to this stream. Stream unconnected state is indicated when all the output type bits are cleared to 0.
8	1 = Stream is connected via a Branch Device Output to has one or more non-authenticable Legacy Devices (e.g., analog CRT, TV) devices connected.
9	1 = Stream has one or more devices connected that do not support content protection on DP links or the QUERY_STREAM_ENCRYPTION_STATUS message. This includes DVI/HDMI Sink devices or Sink/Repeater devices designed for DisplayPort v1.1a (or lower).
10	1 = Stream has one or more DP MST-capable Sink/Branch devices connected that support the QUERY_STREAM_ENCRYPTION_STATUS message.
12:11	Stream Output CP Type Reports the type of Content Protection supported on all devices connected to this stream. This field is a bit mask. All bits that apply to the specified stream must be set appropriately. Each Branch device must include its own capabilities, as well as the capabilities reported from downstream devices, in the reply.
11	1 = HDCP 1.x (no 2.x support) devices connected to the stream.
12	1 = HDCP 2.x capable devices attached to the stream.
14:13	RESERVED Must be cleared to 0.
15	Signed 0 = Signature L' is not provided. 1 = Signature L' is provided.
23:16	Stream ID The Stream ID of the stream for which status is being reported. This should match the Stream ID contained in the QUERY_STREAM_ENCRYPTION_STATUS request message.

a. Stream refers to VC Payload.

I.3.3 QUERY_STREAM_ENCRYPTICT_STATUS中的流状态签名回复消息交易

使用表I-3中显示的格式，需要支持query_stream_encryption_status消息交易的MST分支设备与状态组装在一起。

表I-3：流状态签名

Bytes	Definitions
19:0	Stream State Signature L' The SHA-1 signature of the message digest, Presented in Little Endian format: <i>Stream-Status Q_id S_id Link_id Link_Pk Link_S Link_s</i>

I.3.4

通过源设备使用水槽类型的流型流状态

流式接收器类型在状态信息中的目的

QUERY_STREAM_ENCRYPTICT_STATUS回复消息事务是允许源设备确定连接的设备是简单的DVI/HDMI, SST模式接收器设备或Repeater设备还是MST设备。如果将流克隆到多个分支设备输出上, 则存在的类型字段是所有连接类型的位掩码。

I.3.5

状态查询

源设备可以使用QUERY_STREAM_ENCRYPTICT_STATUS消息事务来查询特定流的下游状态(即VC有效负载)。每个查询都使用64位唯一ID启动, 该ID是56位查询NONCE (Q_ID) 和8位流ID (S_ID)。下游MST分支设备将请求消息事务转发到其已分配的即将卸下的VC有效载荷ID之后, 将请求消息事务转发到其下一个立即下游设备(如第2.6节所述)。

用于计算20个字节签名的通用方程为简单的接收器设备如下:

$$L' = SHA-1(Stream-Status \mid Q\_id \mid S\_id \mid Link\_id \mid Link\_Pk \mid Link\_s)$$

带有一个或多个中继器功能的水槽设备的一般方程式:

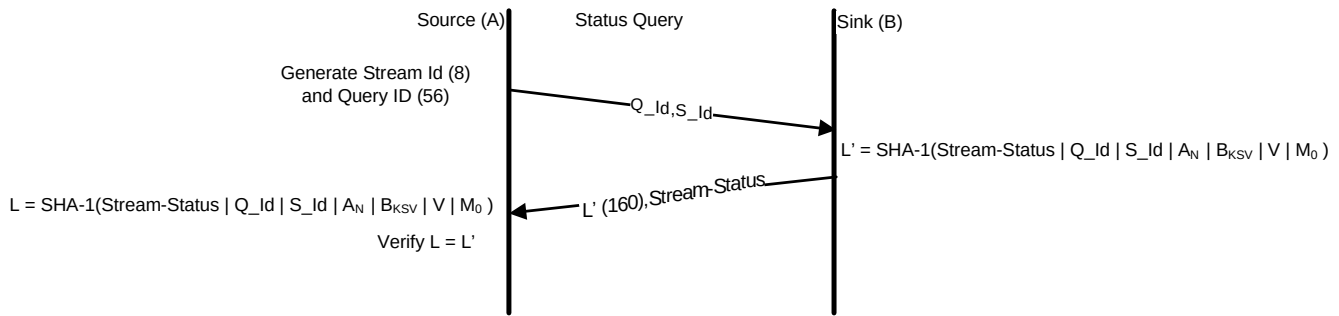
$$L' = SHA-1(Stream-Status \mid Q\_id \mid S\_id \mid Link\_id \mid Link\_Pk \mid Link\_S \mid Link\_s)$$

表I-4列出了由分支设备计算的值。

表I-4: 分支设备状态查询计算值

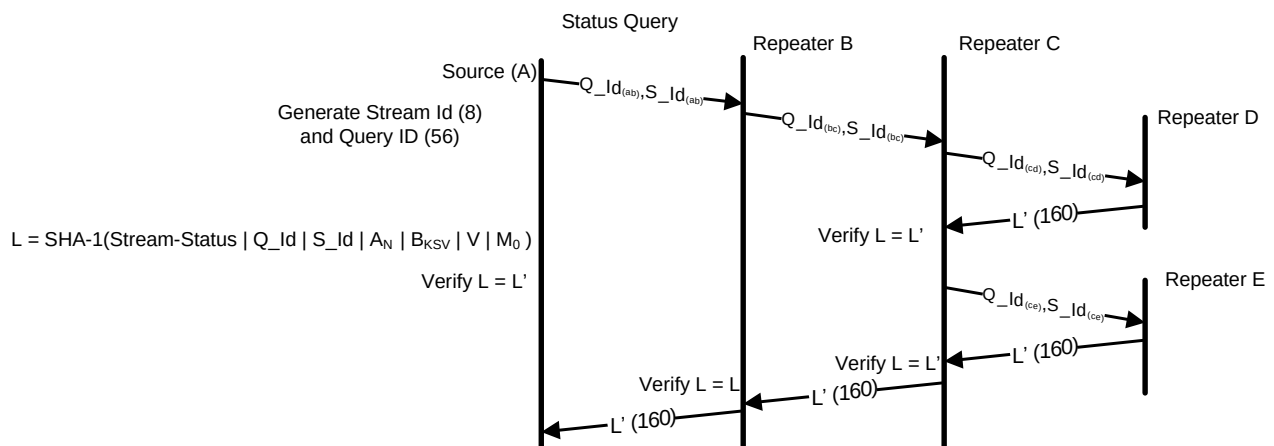
Value	Description
Stream-Status (16 bits)	Branch device determined status value as defined above.
Q_id (56 bits)	Client (Source device) supplied nonce, which the Branch device includes in computing the signature.
S_id (8 bits)	Client specifies an ID of the Stream for which Status is requested; the downstream MST Branch device updates the S_id to the outgoing VC Payload ID it has assigned to the stream.
Link_id	Link session identifier, a nonce that was generated when link encryption was first initiated.
Link_Pk	Public key of the Sink device receiver on the link.
Link_S	Hash-signature of all the authenticated Sink devices connected to this Branch device, if this Branch device includes any repeater functions (as indicated by Status bit 2).
Link_s	Secret link value, which is held confidential and not available except as derived internally by transmitter and receiver.

图I-1至图I-3说明了如何在各种CP拓扑中转发和执行QUERY_STREAM_ENCRYPTION_STATUS消息交易。



图I-1: query_stream_encryption_status消息事务执行时，源设备直接连接到MST接收器设备

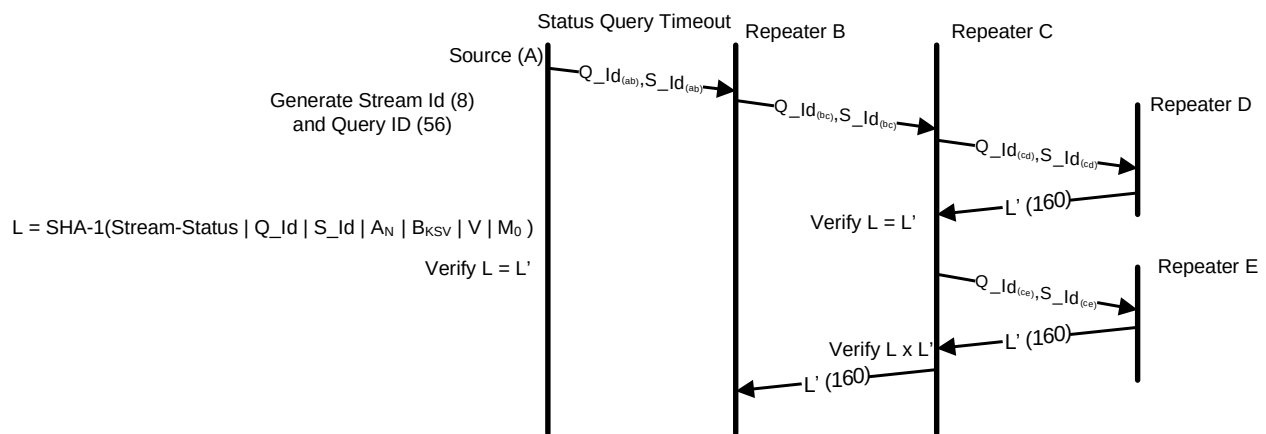
当源设备通过MST分支设备连接到接收器设备时，源设备针对MST分支设备（图I-2中的Repeater B）的QUERY_STREAM_ENCRYPTION_STATUS请求消息交易。每个分支将生成自己的query_stream_encryption_status消息下游，直到状态请求到达最后一个分支设备。随着答复的生成，上游设备（中继器C）生成L并根据返回的L'验证它。如果中继器C具有多个DFP（在图I-2中为中继器D和中继器E），则中继器C在所有DFP上执行L-TO-L-to-L'验证。如果该状态签名验证通过，则以其自身状态准备了新的状态，并计算出新的L'，以从上游设备（图I-2中的Repeater B和Repeater C之间）响应查询。上游设备重复该过程，直到到达源设备。



图i-2: query_stream_encryption_status消息事务转发和执行，当源设备通过MST分支设备连接到接收器设备时

在每个级别上，报告的流状态中报告的加密状态和身份验证状态必须是连接到该流的所有分支设备输出端口，以及从直接下游设备提供的状态。如果Repeater C认证了连接到中继器D的输出端口，但是如果未对中继器D上的任何流量输出端口进行认证，则Repeater C向中继器B提出的集体流状态必须反映出该流未经身份验证。通过这种方式，回复源设备的流状态始终是拓扑的最低共同点。

如果在任何阶段L验证失败，则该设备可能会继续提供流状态，但不得在上游提供查询签名(L') (图I-3)。然后，query_stream_encryption_status消息事务最终将超时，或用零签名回复（如状态的位15所示）。不提供状态查询L'必须被视为身份验证故障。此外，上游设备也必须无法签署其状态，并且类似地无法向其上游设备提供状态签名l'。



图I-3: QUERY_STREAM_ENCRYPTICT_STATUS消息交易转发和执行时，L-TO-L'验证错误存在

I.3.6

query_stream_encryption的应用_STATUS消息交易到HDCP

当将QUERY_STREAM_ENCRYPTICT_STATUS消息交易应用于HDCP树拓扑时，预计此消息事务的使用不会影响HDCP树拓扑中任何其他流的加密状态。

当将新设备插入HDCP树时，预计将新设备热插入的DFP的分支设备至少会导致使用新设备的身份验证的第一部分，只要这种行为符合HDCP规范和许可证策略。 Furthermore, if a change in the Branch device's physical topology has not already resulted in fresh Stream Status values, the Branch device is expected to initiate any relevant portions of authentication upon receiving the QUERY_STREAM_ENCRYPTION_STATUS request message transaction as necessary to ensure the latest Bksv-List is collected, and re-computing a fresh (Link_S) signature V' (and asserting READY as appropriate) for inclusion in the Stream Status result L',只要分支机构的这种行为以符合HDCP规范和许可证策略的方式完成。

至于流状态中的身份验证状态，位4等于1表示AN和AKSV的通过，R0的生成和检查，以及HDCP身份验证第1、2和3中定义的KSV列表和签名的集合和检查。

至于流状态签名生成，必须将以下值用于HDCP：

- link-id (64位) = an
- link_pk (40位) = link public键= bksv
- link_s (64位) = 链接秘密= m0
- link_s (160位) = 链接签名= v'

J 16-Bit Frame CRC Example

CRC计算在整个帧上执行。根据以下多项式，每个颜色成分生成16位CRC：

$$f(x) = x^{16} + x^{15} + x^2 + 1$$

CRC计算仅在活动像素上进行。MSB首先移动。对于每个组件少于16位的任何颜色格式，LSB均为零。

以下是一种颜色分量的16位CRC生成的示例。

```
模块CRC16_16 (  
//输出Dout,
```

```
//输入重置, clk, d, enable) ;
```

```
//输入和输出输入[15: 0] d; 输  
入clk; 输入重置; 输入启用  
; 输出[15: 0] DOUT;
```

```
//内部信号reg [15: 0] b; 电  
线[15: 0] DOUT;
```

```
//内部分配分配dout = b; //定义lfsr  
始终 @ (posedge clk) 开始如果  
(重置) 开始b <= 16'h0; 结束如  
果 (启用) 开始
```

```
B [15] <= B [0] ^ B [1] ^ B [2] ^ B [3] ^ B [4] ^ B [5] ^ B [6] ^ B [6] ^ B [V11] ^ B [7] ^ B [11] ^ B [12] ^ B [1  
4] ^ B [15] ^ D [0] ^ D [1] ^ D [2] ^ D [2] ^ D [6] ^ D [7] ^ D [8] ^ D [9] ^ D [10] ^ D [11] ^ d [12] ^ d [12] ^ d [v32]  
d [14]
```

```
B [14] <= B [12] ^ B [13] ^ D [12] ^ D [13];
```

$B[13] \leq B[11] \oplus B[12] \oplus D[11] \oplus D[12]; B[12] \leq B[10] \oplus B[11] \oplus D[10] \oplus D[11];$
 $B[11] \leq B[9] \oplus B[10] \oplus D[9] \oplus D[10]; B[10] \leq B[8] \oplus B[9] \oplus D[8] \oplus D[9]; B[9]$
 $\leq B[7] \oplus B[8] \oplus D[7] \oplus D[8]; B[8] \leq B[6] \oplus B[7] \oplus D[6] \oplus D[7]; B[7] \leq B[5] \oplus B$
 $[6] \oplus D[5] \oplus D[6]; B[6] \leq B[4] \oplus B[5] \oplus D[4] \oplus D[5]; B[5] \leq B[3] \oplus B[4] \oplus D[3] \wedge$
 $D[4]; B[4] \leq B[2] \oplus B[3] \oplus D[2] \oplus D[3]; B[3] \leq B[1] \oplus B[2] \oplus B[15] \oplus D[1] \oplus D[2]$
 $\oplus D[15]; B[2] \leq B[0] \oplus B[1] \oplus B[14] \oplus D[0] \oplus D[1] \oplus D[14];$

$B[1] \leq B[1] \oplus B[2] \oplus B[3] \oplus B[4] \oplus B[5] \oplus B[6] \oplus B[V59] \oplus B[7] \oplus B[11] \oplus B[12] \oplus B[13] \oplus B[14] \oplus D[1]$
 $\oplus D[2] \oplus D[2] \oplus D[v69] \oplus D[3] \oplus D[3] \oplus D[4] \oplus D[4] \oplus D[7] \oplus D[8] \oplus D[9] \oplus D[10] \oplus D[11] \oplus D[12] \oplus D[13]$
 $\oplus D[13] \oplus D[14];$

$B[0] \leq B[0] \oplus B[1] \oplus B[2] \oplus B[3] \oplus B[4] \oplus B[5] \oplus B[V87] \oplus B[6] \oplus B[10] \oplus B[11] \oplus B[12] \oplus B[13] \oplus B[15]$
 $\oplus D[0] \oplus D[1] \oplus D[5] \oplus D[6] \oplus D[7] \oplus D[8] \oplus D[9] \oplus D[10] \oplus D[11]$ 端端端模块

K Adaptive-Sync

*DP v1.4*的新手。

多年来，展示行业一直以固定的刷新率（例如60Hz）运行的显示业务。这与以下事实形成鲜明对比：可以将多种类型的内容发送到显示器，每个内容都有其独特的，有时是不同的框架速率。当显示刷新速率与内容框架速率不同步时，用户可能会遇到不良效果（例如，撕裂和口吃）。对于移动应用程序（例如，表和笔记本电脑），不必要的静态和视频内容显示刷新率可以增加功率并降低电池寿命。这些因素引起了对一项无缝允许显示刷新速率适应内容框架速率的技术的需求。VESA开发了一种行业标准，该标准可以在DP和嵌入式DisplayPort（EDP）接口（称为“Adaptive-sync”）上实现可互操作，可变的刷新率功能。Adaptive-Sync是由*DP v1.4*（及更高）支持的可选功能，它利用第2.2.4.1.1节中描述的忽略MSA选项使源和下沉设备无缝且动态地改变了刷新率。

本附录描述了自适应同步的源和接收器设备的要求和建议：

- 源和接收器设备应支持忽略MSA选项，如第2.2.4.1.1节和*eDP v1.4b*, *Section 3.7*所述。
- 源设备应通过*DP EDID CTS v1.2*, *Section 3.3.5*中描述的源设备测试过程的测试用例。
- 水槽设备应通过*DP EDID CTS v1.2*, *Section 4.8*中描述的接收器设备测试过程的测试用例。
 - 作为该测试的一部分，需要接收器设备在接收到源框架时从源设备接收到帧时间的一小部分内，毫不延迟。
- 需要支持自适应同步的水槽设备以表示EDID中自适应-Sync范围的支持，以及DPCD中的忽略MSA选项。
- 支持自适应同步的源设备需要读取EDID的接收器设备DPCD功能和自适应-Sync范围的功能，并确保源设备框架持续时间范围落在该范围内。
- 如果在EDID中报告了音频支持以及自适应Sync功能，则在启用忽略MSA选项的同时，接收器设备应支持音频渲染。

- 如果在EDID中报告了多个分辨率支持，则对于在流动池设备的自适应-Sync范围内的所有分辨率，接收器设备应在正常模式下支持分辨率的操作，无论有没有忽略MSA选项。
- 例如，如果水槽设备通过在显示范围限制描述符中宣布自适应同步垂直刷新率为30至100Hz，则在EDID已建立的，标准的和详细的显示范围内报告的时间表，这些时间范围内的范围内（即，在30至100Hz范围内的垂直范围内的垂直刷新率），应为SUDECTINE SUDECTINCE SUDECT范围，以便适用于100hz范围内的范围）由EDID的定时定义为最小支持范围。

Note: *Timing exposed in EDID is usually optimized for bandwidth by using minimum horizontal and vertical blank (i.e., using CVT v1.2 timing standards). To achieve a lower refresh rate at same pixel and line rate, vertical blank is extended.*

- 如果在EDID中暴露的时序超出了接收器设备的自适应-Sync范围（即，上述示例的24Hz定时），则源设备不得在该时间安排上忽略MSA选项。
- 对于可以通过忽略MSA选项和常规的非符号MSA操作来支持的时间安排，它是源设备根据源设备支持的用例确定启用哪种操作模式的责任。

自适应-Sync刷新率范围和启用自适应-Sync操作的用例超出了该标准的范围，并且依赖于源设备策略。

1每行计算DSC切片的信息和示例

DP v1.4的新手。

L.1 切片计数要求的推导

表2-141中列出的每个显示行的规范切片来自以下计算：

- MP/s单位的总像素吞吐率（显示峰像素率（PPR））是所有供电单个显示的流的累积率
- DSC发动机必须至少支持两个最大编码器吞吐率之一，具体取决于显示器的PPR：
 - 小于或等于2720mp/s的吞吐量率 - 使用340MP/s
 - 大于2720mp/s的吞吐量率 - 使用400MP/s（假设这些高端显示器将使用更快的处理器构建）
- 使用的公式：
 - 最终切片计数应舍入以下值之一 - 1、2、4、8、12、16、20或24
 - 如果PPR小于或等于2720 - 切片计数= $PPR / 340$ （如果需要时汇总）
 - 如果PPR大于2720 - 切片计数= $ppr / 400$ （如果需要时汇总）

Note: See Table 2-141 and information related to the table in Section 2.7.3. Section 2.7.3 addresses a maximum slice width, as well as a special case for display modes that support only native 4:2:0 mode (DSC v1.2 or higher).

L.2用法示例

此处提供的示例假定2560像素的最大切片宽度（MaxSliceWidth）。如果DSC最大切片宽度寄存器（DPCD地址0006CH）允许更大的切片宽度，则DP DSC源设备可以选择使用该宽度而不是2560值。

对于支持表L-1中列出的模式的显示，该显示器应支持表2-141所指示的每个模式的切片数。

表L-1：示例显示配置

Sample Configuration	Resolution	Refresh Rate (Hz)	Mode ^a	Peak Pixel Rate (ppr) (MP/s) ^b
a	8Kx4K	120	4:2:0	~ 4260
b	8Kx4K	60	4:4:4, 4:2:0	~ 2100
c	5Kx2880	60	4:4:4, 4:2:0	~ 940
d	5Kx2880	15	4:4:4, 4:2:0	~ 230
e	4Kx2K	60	4:4:4, 4:2:0	~ 525
f	4Kx2K	30	4:4:4	~ 260

a. 4:2:0 mode is supported only by DSC v1.2 (or higher).

b. Actual ppr values will vary; numbers used here are for illustrative purposes only.

因此，浏览这个示例：

一个8KX4K / 120Hz / 4: 2: 0, PPR ~ 4260MP / S

由于此模式仅在4: 2: 0中可用，假设它可以使用本机4: 2: 0模式（DSC v1.2或更高），因此它可以使用表2-141中的“替代性每片每张显示线要求”列，该列允许每行8片。

将线路宽度（7680像素）除以8片的切片宽度为960像素，小于2560像素=好的。

请注意，如果此显示还提供了以外的4: 2: 0的分辨率/刷新率，则必须支持12片。

B 8KX4K / 60Hz / 4: 4: 4和4: 2: 0, PPR ~ 2100MP / S

由于此显示模式支持4: 2: 0以外的其他模式，因此它应使用表2-141的值，而无需修改。在2100MP/s时，表2-141表明该显示应支持每个像素线8片，这是允许的值。

将线路宽度（7680像素）除以8片的切片宽度为960像素，小于2560像素=好的。

c 5KX2880 / 60Hz / 4: 4: 4和4: 2: 0, PPR ~ 940MP / S

由于此显示模式支持4: 2: 0以外的其他模式，因此它应使用表2-141的值，而无需修改。在940MP/s时，表2-141表明该显示应支持每个像素线4片，这是允许的值。

将线路宽度（5120像素）除以4片的切片宽度为1280像素，小于2560像素=好的。

D 5KX2880 / 15Hz / 4: 4: 4和4: 2: 0, PPR ~ 230MP / S

由于此显示模式支持4: 2: 0以外的其他模式，因此它应使用表2-141的值，而无需修改。在230mp/s时，表2-141表明显示器应支持每个像素线1片，这是允许的值。

将线宽度（5120像素）除以1片，导致切片宽度为5120像素。这大于最多2560像素。因此，应使用可接受值的下一个更高的切片计数。在这种情况下，每行是2个切片，其切片宽度为2560像素=好的。

E 4KX2K / 60Hz / 4: 4: 4和4: 2: 0, PPR ~ 525MP / S

由于此显示模式支持4: 2: 0以外的其他模式，因此它应使用表2-141的值，而无需修改。在525MP/s时，表2-141表明该显示应支持每个像素线2片，这是允许的值。

将线路宽度（3840像素）除以2片的切片宽度为1920像素，小于2560像素=好的。

F 4KX2K / 30Hz / 4: 4: 4和4: 2: 0, PPR ~ 260MP / S

由于此显示模式支持4: 2: 0以外的其他模式，因此它应使用表2-141的值，而无需修改。在260MP/s时，表2-141表明该显示应支持每个像素线1片，这是允许的值。

将线宽度（3840像素）除以1片，导致切片宽度为3840像素。这大于最多2560像素。因此，应使用可接受值的下一个更高的切片计数。在这种情况下，每行是2片，结果在1920像素的切片宽度中=好的。

M主要贡献者历史记录（以前的版本）

表M-1: 主要贡献者历史记录（以前的版本）

Company	Name	Contribution	Version
Advanced Micro Devices, Inc.	Quinn Carter	Contributor	1.1, 1.1a, 1.2
	Nancy Chan	Contributor	1.1, 1.1a, 1.2,
		Technical Content	1.3
	Nicholas Chorney	Contributor	1.2
	Richard Fung	Contributor	1.1, 1.1a, 1.2
	David Glen	Contributor	1.1, 1.1a, 1.2
	Jim Goodman	Contributor	1.1, 1.1a
	Mike Foxcroft	Contributor	1.2
	James Hunkins	Technical Content	1.2a, 1.3
	Syed Athar Hussain	Contributor	1.1, 1.1a, 1.2
		Technical Content	1.2a, 1.3
	Sandra Liu	Contributor	1.2
	Betty Luk	Contributor	1.1, 1.1a
	Mazen Salloum	Contributor	1.1, 1.1a
	Frank Sodek	Technical Content	1.3
Agilent Technologies	Brian Fetz	Contributor	1.1, 1.1a, 1.2
	Michael Hertz	Contributor	1.1a
Analogix Semiconductor, Inc.	Mehran Badii	Technical Content	1.3
	Jianbin Hao	Contributor	1.0, 1.1, 1.1a
	Jae Lee	Contributor	1.2
	Greg Stewart	Technical Content	1.3
	Prasanna Swaminathan	Contributor	1.1, 1.1a
	Craig Wiley	Contributor	1.0, 1.1, 1.1a
	Ning Zhu	Contributor	1.0, 1.1, 1.1a, 1.2

表M-1: 主要贡献者历史记录 (以前的版本) (续)

Company	Name	Contribution	Version
Apple, Inc.	Wei Chen	Contributor	1.1, 1.1a
	Bill Cornelius	Contributor	1.1, 1.1a, 1.2
	Shannon Fields	Contributor	1.2
	Matt Herndon	Contributor	1.2
	Girault Jones	Contributor	1.2
	Rainer Kelly	Technical Content	1.3
	Min Chul Kim	Contributor	1.2
	George Kyriazis	Contributor	1.2
	Cheung-Wei Lam	Contributor	1.1, 1.1a, 1.2
	Pete Lawrence	Contributor	1.2
	Mike Maciesowicz	Contributor	1.2
	Tim McIntosh	Technical Content	1.3
	Anil Pannikkat	Contributor	1.2
	Sree Raman	Technical Content	1.3
	Bob Ridenour	Contributor	1.2
		Technical Content	1.2a, 1.3
	Niel Warren	Contributor	1.2
	Glenn Wheelock	Contributor	1.2
	Colin Whitby-Strevens	Contributor	1.1, 1.1a
		Task Group Co-editor	1.2
		Technical Content	1.2a, 1.3
ATI Technologies	Richard Fung	Contributor	1.0
	David Glen	Contributor	1.0
	Jim Goodman	Contributor	1.0
	Betty Luk	Contributor	1.0
	Mazen Salloum	Contributor	1.0
Barco, Inc.	Dirk Ballyn	Technical Content	1.3
	Alan Ricker	Contributor	1.2
Bitec Spain SL	Marco Denicolai	Technical Content	1.3
Broadcom Corporation	Christopher Pasqualino	Contributor	1.0, 1.1, 1.2
California Micro Devices	Jeffrey C. Dunnihoo	Contributor	1.0, 1.1
Dell	Joe Giannuzzi	Contributor	1.0, 1.1, 1.1a
	Joe Goodart	Contributor	1.0, 1.1, 1.1a
	Lee Mohrmann	Contributor	1.0, 1.1, 1.1a
	Bruce Montag	Task Group Chair	1.0, 1.1, 1.1a, 1.2
	Jeff Thelen	Contributor	1.1a, 1.2
Display Labs	Jim Webb	Contributor	1.0, 1.1, 1.1a

表M-1: 主要贡献者历史记录 (以前的版本) (续)

Company	Name	Contribution	Version
EIZO NANA O Corp.	Yoshinobu Banba	Contributor	1.2
		Technical Content	1.2a, 1.3
Foxconn Electronics Inc.	James R. Koser	Contributor	1.1a
	Glenn Moore	Contributor	1.2
		Technical Content	1.2a, 1.3
	Steve Sedio	Contributor	1.2
Genesis Microchip	Jeff Frankel	Contributor	1.1a
	Alan Kobayashi	Task Group Editor	1.0, 1.1, 1.1a
	Ali Noorbakhsh	Contributor	1.0, 1.1, 1.1a
	Larry Prather	Contributor	1.0, 1.1, 1.1a
	Bob Rutkowski	Contributor	1.1
Hewlett-Packard	Bob Myers	Task Group Vice-chair	1.0, 1.1, 1.1a, 1.2
Hirose	Karl Kwiat	Contributor	1.2
Hosiden Corporation	James Eilers	Contributor	1.2
	Hayato Kondo	Contributor	1.2
	Takahisa Ohtsuji	Contributor	1.2
Integrated Device Technology	Jeff Lukanc	Contributor	1.1a
	Prashant Shamarao	Contributor	1.2
		Technical Content	1.2a
InFocus	Jory Olson	Contributor	1.0, 1.1
Intel Corporation	Vishnu Balraj	Contributor	1.2
	Kiran Bhat	Technical Content	1.2a
	Scott Chen	Contributor	1.1, 1.1a
	Greg Daly	Contributor	1.1, 1.1a, 1.2
	Sylvia Downing	Contributor	1.1, 1.1a, 1.2
	Greg Ebert	Contributor	1.1, 1.1a, 1.2
	Simon Ellis	Contributor	1.2
	Michael Hamann	Contributor	1.1, 1.1a, 1.2
		Technical Content	1.3
	George Hayak	Technical Content	1.2a
		Contributor	1.1, 1.1a, 1.2
	Jamie Johnston	Contributor	1.1, 1.1a, 1.2
		Technical Content	1.2a
	Srikanth Kambhatla	Contributor	1.1, 1.1a, 1.2
		Technical Content	1.2a, 1.3
	Anoop Karunan	Technical Content	1.3
	Christine Krause	Technical Content	1.3

表M-1: 主要贡献者历史记录 (以前的版本) (续)

Company	Name	Contribution	Version
Intel Corporation	Jamie Johnston	Technical Content	1.3
	Jingbo Li	Technical Content	1.3
	Yun Lingx	Contributor	1.1, 1.1a
	Kwasi Mireku	Contributor	1.1a
	Ansari Nausheen	Technical Content	1.3
	Prakash Radhakrishnan	Technical Content	1.3
	Lakshmi Uppala	Contributor	1.1, 1.1a
	Max Vasquez	Contributor	1.1, 1.1a, 1.2
		Technical Content	1.2a
	Kai A. Wang	Contributor	1.1a
	Tom Willis	Contributor	1.1, 1.1a
	Nick Willow	Contributor	1.1a, 1.2
Intersil	Gourgen Oganessyan	Technical Content	1.2a
JAE	Ron Muir	Contributor	1.0, 1.1
	Mark Saubert	Contributor	1.0, 1.1, 1.1a, 1.2
	Toshio Shimoyama	Contributor	1.0, 1.1, 1.1a, 1.2
Kawasaki Microelectronics	Yoshihiro Uchiyama	Contributor	1.1a
Lattice Semiconductor	Gang Sun	Contributor	1.0, 1.1
Lenovo	George Diatzikis	Contributor	1.1, 1.1a, 1.2
	Hiroji Itoh	Contributor	1.1, 1.1a
	Howard Locker	Contributor	1.2
Luxtera	Eileen Robarge	Contributor	1.1, 1.1a
	Jim Webb	Contributor	1.2
MegaChips Technology America Corporation	Alan Kobayashi	Technical Content and Task Group Chair	1.3
	John Garrett	Technical Content	1.3
Molex	Mark Bugg	Contributor	1.2
	JengDe Lin	Contributor	1.1, 1.1a
	Vincent Lin	Contributor	1.0
	Scott Sommers	Contributor	1.0, 1.1a, 1.1, 1.2
	Jason Squire	Contributor	1.0, 1.1, 1.1a

表M-1: 主要贡献者历史记录 (以前的版本) (续)

Company	Name	Contribution	Version
NVIDIA Corporation	Cameron Buschardt	Contributor	1.2
	Sunitha Chandra	Contributor	1.2
	Sherry Cheung	Contributor	1.2
	Spoorthi D'Silva	Technical Content	1.3
	Michael Hopgood	Contributor	1.2
	Gregory Kodani	Contributor	1.2
	Manish Modi	Contributor	1.2
	Pablo Ortega	Technical Content	1.2a
	Mark Overby	Contributor	1.2
	Devang Sachdev	Contributor	1.1a, 1.2
	Varun Sampath	Technical Content	1.3
	Bill Simms	Contributor	1.1, 1.1a, 1.2
	David Stears	Contributor	1.1a, 1.2
		Technical Content	1.2a, 1.3
	William Tsu	Contributor	1.0, 1.1, 1.1a
	David Wyatt	Contributor	1.2
NXP Semiconductors (formerly Philips Semiconductor)	Glenn Adler	Contributor	1.0, 1.1
	Michael Epstein	Contributor	1.0, 1.1
	Alexandre Esquenet	Contributor	1.2
	Dave Evoy	Contributor	1.2
	Arjan Hoogendoorn	Contributor	1.1a
	Ken Jaramillo	Contributor	1.2
		Technical Content	1.2a
	Patrick LeJoly	Contributor	1.2
	Nic Roozeboom	Contributor	1.2
	Marc Vauclair	Contributor	1.0, 1.1
	Bart Vertenten	Contributor	1.2
	Patrick Yu	Contributor	1.0, 1.1
Parade Technologies, Ltd.	Jimmy Chiu	Contributor	1.0, 1.1, 1.1a
	Ding Liu	Contributor	1.2
	Ding Lu	Contributor	1.1, 1.1a
	Mark Qu	Contributor	1.1, 1.1a, 1.2
	Craig Wiley	Contributor	1.2
		Technical Content	1.2a, 1.3
	Jack Zhao	Contributor	1.0, 1.1, 1.1a
Qualcomm	George Wiley	Contributor	1.0, 1.1
Quantum Data	Jeff Stenhouse	Technical Content	1.2a
S3 Graphics	Ram Ganapathi	Contributor	1.2

表M-1: 主要贡献者历史记录 (以前的版本) (续)

Company	Name	Contribution	Version
Samsung	Brian Berkeley	Contributor	1.1a, 1.2
	Ian Miller	Contributor	1.0, 1.1
	J.K. Park	Contributor	1.1a
	Dale Stoltzka	Technical Content	1.3
SMK	Naoyuki Ono	Contributor	1.1a
Sony Corp.	Katsuhiro Shimizu	Contributor	1.2
STMicroelectronics	John Garrett	Contributor	1.2
		Technical Content	1.2a
	Alan Kobayashi	Task Group Editor	1.2
		Technical Content and Task Group Chair	1.2a
	Larry Prather	Contributor	1.2
	Vincent Wang	Contributor	1.2
Synaptics, Inc.	Prashant Shamarao	Technical Content	1.3
SyntheSys Research	Bent Hessen-Schmidt	Contributor	1.2
	Sudheer Vemulapalli	Contributor	1.1a
TE Connectivity, Ltd.	Jim McGroth	Technical Content	1.3
Tektronix	John Calvin	Contributor	1.1, 1.1a, 1.2
	Ken Price	Contributor	1.2
		Technical Content	1.2a
Texas Instruments, Inc.	Jason Acevedo	Contributor	1.1a, 1.2
	Falk Aliche	Contributor	1.2
	Mike Campbell	Technical Content	1.3
	Gary Chard	Contributor	1.1a, 1.2
	Julie Hwang	Contributor	1.2
	Pradeep Katikaneni	Contributor	1.1a
	Brian Quach	Technical Content	1.3
	Ajinder Pal Singh	Contributor	1.2
	Yoon Lee	Technical Content	1.3
THine	Jun Okamura	Contributor	1.0, 1.1
	Yohei Ishizone	Contributor	1.0, 1.1
Tyco Electronics	Doron Lapidot	Contributor	1.0, 1.1, 1.1a, 1.2
	Jim Leidy	Contributor	1.0, 1.1, 1.1a, 1.2
ViewSonic	Alain d’Hautecourt	Contributor	1.0, 1.1, 1.1a
VTM Group/VESA Consultant	Bob Crepps	Consultant	1.2
		Technical Content	1.3
Xponent Photonics	Hank Blauvelt	Contributor	1.0, 1.1
	Larry Stark	Contributor	1.1